



ALL PROGRAMMABLE™

XAPP1294 (v1.0) 2016 年 8 月 30 日

# シングルエンド入力または差動入力向けのスケラブルな軽量 4x オーバーサンプリング非同期データ リカバリ ユニット

著者: Catalin Baetoni, David Taylor, Vincent Vendramini

## 概要

このアプリケーション ノートでは、SelectIO™ インターフェイス プリミティブを使用して非同期通信でデータをキャプチャする方法について説明します。この方法では、同等の周波数 ( $< \pm 10,000$  ppm) を持つクロックでデータのオーバーサンプリングを実行し、複数の入力データ サンプルを異なる位相で取得し、これら进行处理して最適なポイントでデータ サンプルを取得することで、エラーのないデータ リカバリを実現します。

SelectIO インターフェイスは、IDDR プリミティブを使用して 4X 非同期オーバーサンプリングを実行します。クロックは MMCM または PLL プリミティブから生成され、BUFG クロック ネットワークに經由して、デバイス内の任意の入力を使用したシングルエンドまたは差動信号で動作します。

このアプリケーション ノートで提供するサンプル デザインは、AC701 評価ボードで動作する Artix®-7 XC7A200T-1FBG676C FPGA (-1 スピード グレード) 向けに設計されています。Vivado® Design Suite IP カタログに追加して使用する IP リポジトリ ブロックとして提供されます。

このデザインは、チャンネルあたり約 20 の LUT を使用し、最大 200 Mb/s で動作します。また、200 Mb/s でデータ リカバリを提供するために、MMCM または PLL からの 400 MHz、200 MHz、および 100 MHz のクロックを必要とします。データ リカバリの動作速度は適用されるクロック レートによって決まり、全体で同じクロック比が維持される場合は簡単に変更できます。

デザイン仕様は次のとおりです。

- 最小デューティ サイクル: 40 %/60 %
- 動作時の許容誤差: 10,000 ppm
- I/O パンクに対する配置制限のないシングルエンド デザイン

このアプリケーション ノートの[サンプル デザイン](#)は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

## はじめに

クロックとデータの同期は、デバイス間で通信を実現するための一般的な手法です。クロックをあるチャンネルで送出し、データは1つまたは複数の別の入力(差動またはシングルエンド)で送出します。レシーバーのクロックは遅延の同期後にデータをキャプチャするために使用されます。これをソース同期通信と呼びます。

個別の付随クロック信号を使用せずにデータを送信する場合は、データのキャプチャに用いるクロックは、受信側で入力データストリームから復元されなければなりません。これは非同期通信と呼ばれ、データ/クロック リカバリとしても知られています。ザイリンクスのシリアルトランシーバーはこの原理を用います。データ リカバリによって、レシーバーは入力クロック/データストリームからデータを抽出し、そのデータを新しいクロックドメインへ移動させることができます。リカバリ クロックは、前方へのデータ処理または送信に使用することがあります。

このアプリケーション ノートで説明する回路は、実際にはクロックを復元しないものの、非同期データから入力データを完全に抽出するソリューションを提供します。

## デザインの詳細

### 非同期オーバーサンプリング

信号処理でのオーバーサンプリングとは、サンプリングされる信号の2倍の帯域幅(または最大周波数)よりも著しく高いサンプリング周波数を使用して、信号をサンプリングすることです。このアプリケーション ノートで説明する通信インターフェイスでは、この非常に高いサンプリング周波数を、高速クロックの異なるエッジを用いて得ています。サンプリング周波数の生成に使用されるクロックの周波数は、通常データストリームと同等ですが、厳密な一致や同期はしないため、この方法は非同期オーバーサンプリングと呼ばれます。

ここで対象とする回路は、キャプチャされるデータストリームと同じ標準の周波数の整数倍で動作するクロック(ローカルオシレーター)を使用します。ここでいう標準とは、ローカルオシレーターが入力クロック/データストリームと比較して若干高速または低速であることを意味します。

DRU\_PHY のオーバーサンプリング (PHY ブロック) は、400 MHz のクロックを使用して、立ち上がりエッジと立ち下がりがエッジでデータをキャプチャします。800 MSPS の連続サンプルレートで動作し、データリカバリユニット (DRU ブロック) に 200 MHz クロックで4ビットの未処理出力を供給します。

未処理出力は、必要に応じてデバッグポートとしても使用できます。

### データリカバリユニット

DRU ブロックは、未処理のオーバーサンプルデータに 200 MHz のクロックを使用し、データリカバリに 100 MHz のクロックを使用します。すべてのクロックは同じクロックウィザードモジュールからエッジが揃えられます。

DRU には XOR アレイが備わっており、アレイ E4 でキャプチャされた未処理オーバーサンプルデータ内のデータ遷移を特定します。E4 内のエッジ位置は、どのオーバーサンプルビットが有効であるかを特定するために、データ選択 FSM で使用されます。つまり、データ遷移から離れたデータビットが選択されます。

データ選択の有限ステートマシン (FSM) を図 1 に示します。FSM ステートは、E4 の遷移情報に基づいて有効なオーバーサンプルビットを決定します。

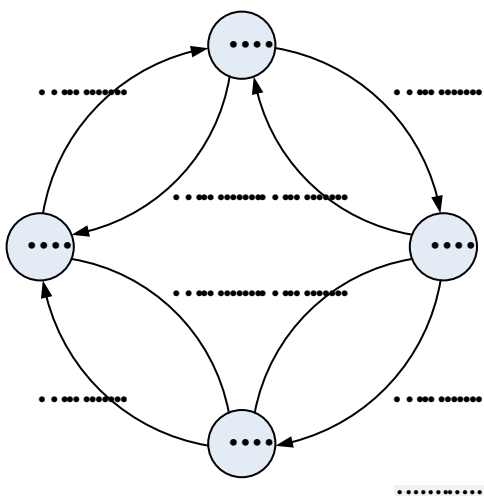


図 1: エッジ情報を用いたデータ選択

現在のオーバーサンプルワードから別のワードへのエッジ移行が検出された場合、これはビットスキップと呼ばれ、FSM は正または負の方向に 1 回転分遷移します。これにより、出力サイクル上のサンプルビットが挿入または削除され、受信したデータストリームとローカルクロックソース間の非同期周波数の差が補正されます。たとえば、ローカルクロックよりも高速な 200 Mb/s のデータの受信中にビットスキップが発生すると、3つの有効なデータビットがセットされます。ローカルクロックよりも低速なデータの受信中にビットスキップが発生すると、1つの有効なデータビットがセットされます。

DRU の x4 FSM とビットスキップの動作の詳細は、アプリケーションノート『Virtex-6 FPGA で LVDS を使用した、1.25 Gb/s での 4X 非同期オーバーサンプリング』(XAPP881) [参照 1] を参照してください。

出力データバスの構成を表 1 に示します。

表 1: 出力データバスの構成

データレート	データ幅とデータ有効ビット幅 100 MHz クロックドメイン	標準出力
200 Mb/s	3+3 ビット	2 有効ビット

## 物理インターフェイス

図 3 に示す DRU\_PHY IP コアの入力および出力信号を表 2 に記載します。

表 2: DRU\_PHY IP コアの物理インターフェイス

信号名	方向	説明
RxData	入力	受信データ。
CLK1x	入力	最も低速なクロック、または公称周波数の半分。公称データレートが 200 Mb/s の場合、このクロックは 100 MHz。
CLK2x	入力	公称周波数クロック。データレートが 200 Mb/s の場合は 200 MHz。
CLK4x	入力	公称クロックの 2 倍の周波数のオーバーサンプリングクロック。データレートが 200 Mb/s の場合は 400 MHz。
dout_raw[3:0]	出力	PHY の出力。デバッグに使用。CLK2X に同期。
dout[2:0]	出力	DRU のデータ出力。CLK1X に同期。
dout_valid[2:0]	出力	有効なデータ出力を示す。001 で dout LSB が有効、011 で dout[1:0] が有効、111 で dout[2:0] が有効。CLK1x に同期。

## DRU IP コアのリソース使用量

表 3 に単独 DRU チャンネルのリソース使用量を示します。

表 3: DRU IP コアのリソース使用量

説明	数量
ターゲット デバイス	Artix-7 XC7A200T-1FBG676C FPGA
スライスの LUT 数	17
スライス レジスタ数	44
配置済みスライス	12
ブロック RAM	0
BUFG	0
MMCM	0

## 実装とサンプル デザインの作成

DRU は IP コアとして提供されます。Vivado IP カタログに追加後は、HDL コード内に、または Vivado IP インテグレート プロジェクトの一部としてインスタンスシートできます。

### 必要な環境

#### ハードウェア



ヒント: 次の 3 つのアイテムは AC701 評価キットに含まれています。

- AC701 評価ボード
- 電源: 100 ~ 240 VAC 入力、12 VDC 5.0 A 出力
- USB ケーブル (x1) (標準 A プラグ/micro-B プラグ)
- SMA ケーブル (x1)

#### コンピューター

- 次を備えた X86 ベースのコンピューター
  - 2 つの USB ポート
  - Vivado Design Suite でサポートされている OS

#### ソフトウェア

このリファレンス デザインでは、サンプル デザインを構築および実行する前にソフトウェアをインストールする必要があります。

- Vivado Design Suite 2016.2
- Silicon Labs Dual CP210x USB UART ドライバー (シリアル通信に必要な UART ドライバー)。インストール手順の詳細は、『Silicon Labs CP210x USB-to-UART インストール ガイド』(UG1033) [参照 3] を参照してください。

## AC701 評価ボードのセットアップ

図 2 について説明します。

1. スイッチ SW1 を OFF の位置にして、J49 に電源を接続します。
2. AC701 評価ボードの JTAG コネクタに USB ケーブルを挿入してコンピューターに接続します。
3. J33 (ユーザー Clk P) から J31 (ユーザー GPIO P) までを SMA ケーブルで接続します。

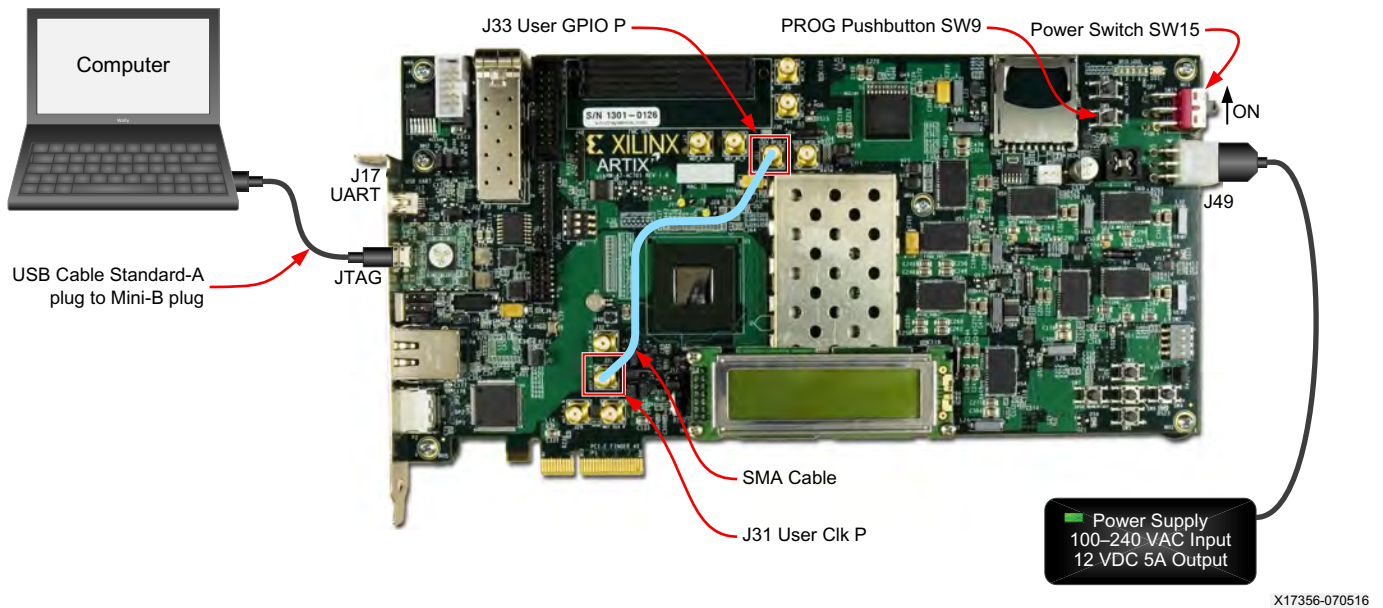


図 2: AC701 評価ボードの接続

## リファレンス デザイン ファイルのダウンロード

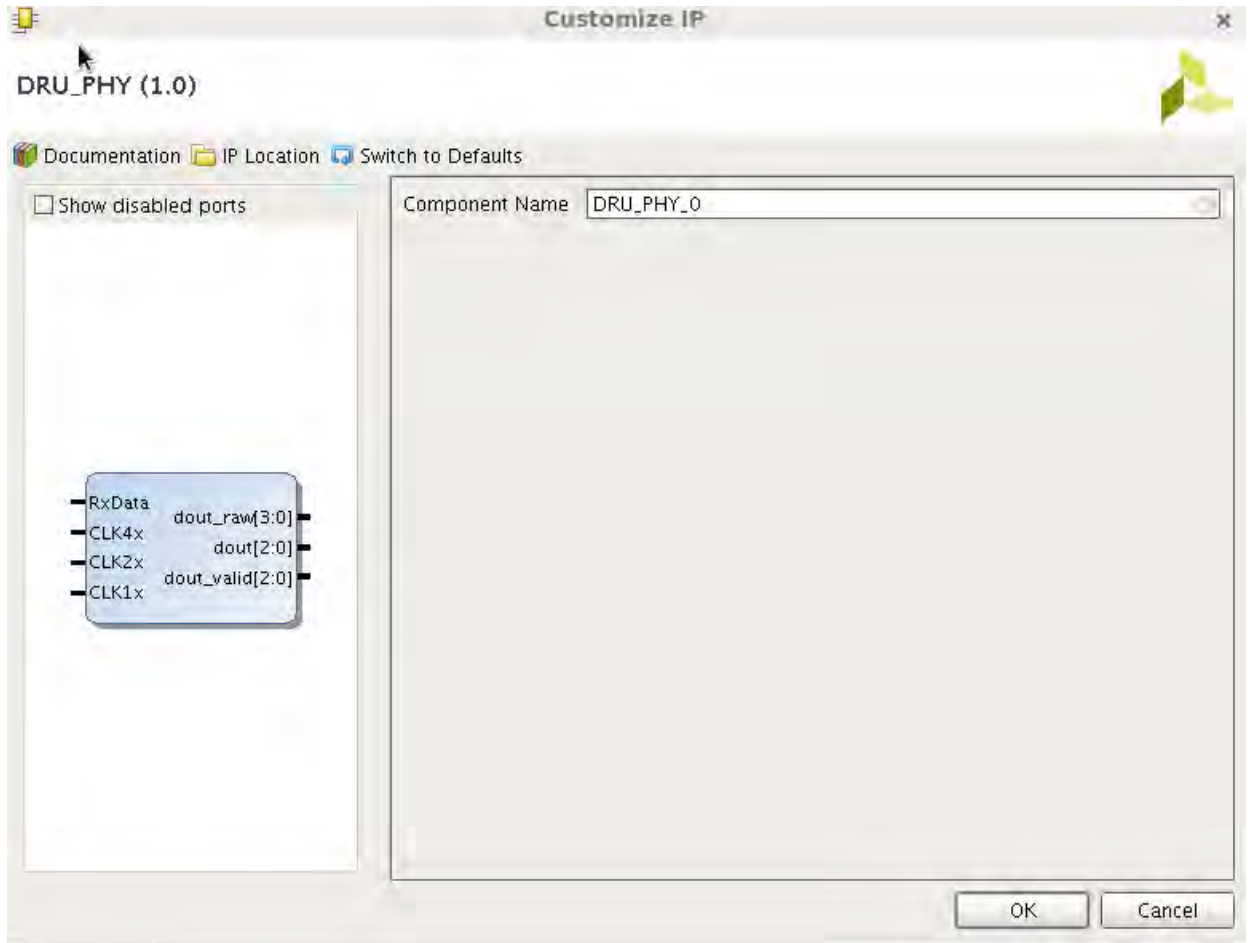
1. [リファレンス デザイン ファイル](#) をダウンロードしてコンピューターの <作業ディレクトリ> に解凍します。

## DRU IP コアのプロジェクトへの追加

ここでは、プロジェクトに DRU を追加する手順を説明します。

1. Vivado Design Suite でプロジェクトに IP リポジトリを追加します。[Tools] → [Project Options] をクリックし、左側のウィンドウで [IP] を選んで [Add Repository] をクリックし、<作業ディレクトリ>/DRU\_PHY フォルダーを選択します。
2. [Vivado IP catalog] をクリックします。[User Repository] → [FPGA Features and Design] → [IO Interfaces] の下に DRU\_PHY IP が表示されます。

3. [DRU\_PHY] を右クリックして [Customize IP] をクリックします。DRU 名以外にユーザーが設定できるオプションはありません (図 3)。[OK] をクリックします。



X17354-070516

図 3: DRU\_PHY IP の構成

## サンプル デザイン

図 4 に、サンプル デザインを示します。

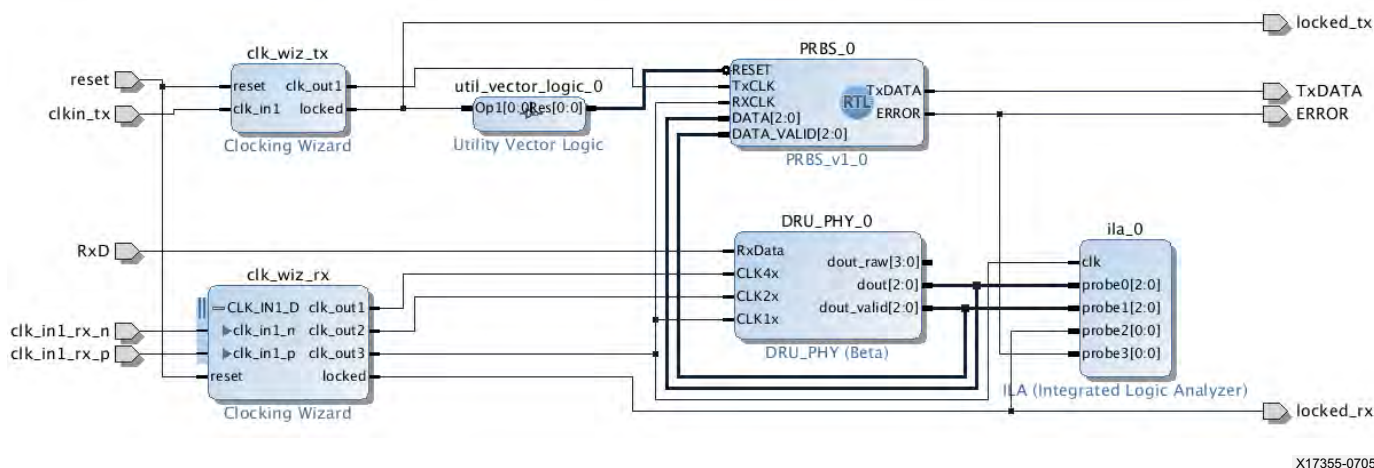


図 4: Vivado IP インテグレーターのサンプル デザイン

DRU\_PHY IP コアをプロジェクトに追加した後、AC701 評価ボード向けのサンプル デザインを作成できます。

図 4 に示したサンプル デザインを生成するには、次の手順を実行します。

1. Vivado [Sources] ウィンドウで [DRU\_PHY] IP コアを見つけます。
2. [DRU\_PHY] を右クリックして [Generate example design] をクリックします。

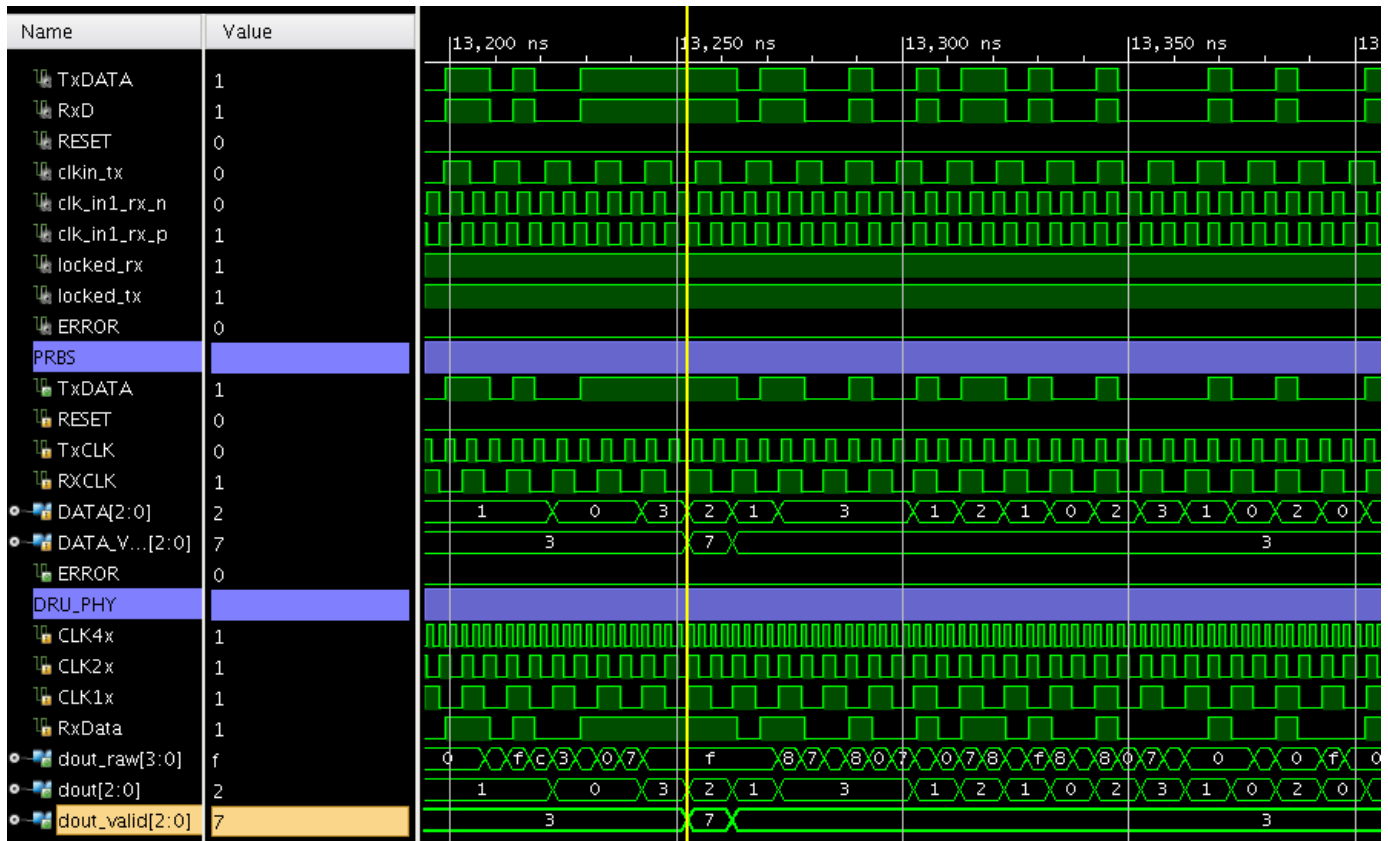
サンプル デザインには、合成可能な疑似ランダム バイナリ シーケンス (PRBS) ジェネレーターおよびチェッカーに加えて、必要なクロッキング ウィザードと ILA (Integrated Logic Analyzer) が含まれています。送信データ向けのクロッキング ウィザードは、デューティサイクルが 40/60 の 201 MHz クロックを生成し、レシーバーのクロッキング ウィザードはデューティサイクルが 50/50 の 100 MHz、200 MHz、および 400 MHz クロックを生成します。その他の入力クロック レートに対応するクロッキング ウィザードも構成できます。

## テストベンチと検証

リファレンス デザインには、システムの論理シミュレーション向けのテストベンチが含まれています。図 5 に示すシミュレーションを開始するには、Vivado Flow Navigator で [Run simulation] をクリックします。テストベンチに含まれる機能は次のとおりです。

- 200 Mb/s のライン レート
- PRBS31 パターンの生成とエラー チェック
- ±10,000 ppm のクロック オフセット
- 40/60 データのデューティサイクルの歪み

図 5 に、シミュレーションでのビット スキップを示します。DRU 基準クロックに対してクロックが高速である場合、dout\_valid = 111 という追加ビットが定期的にデータ出力に挿入されます。



X17362-070816

図 5: サンプル デザインのシミュレーション波形



# リファレンス デザイン

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできません。表 4 に、リファレンス デザインの詳細を示します。

表 4: リファレンス デザインの詳細

パラメーター	説明
<b>全般</b>	
開発者	Catalin Baetoni, David Taylor, Vincent Vendramini
ターゲット デバイス	Artix-7 XC7A200T-1FBG676C FPGA
ソース コードの提供	あり
ソース コードの形式	VHDL および Vivado IP インテグレーター
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード/IP の使用	あり
<b>シミュレーション</b>	
論理シミュレーションの実施	あり
タイミング シミュレーションの実施	あり、合成後
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	あり
テストベンチの形式	VHDL
使用したシミュレータ ツール/バージョン	Vivado simulator バージョン 2016.2
SPICE/IBIS シミュレーションの実施	なし
<b>インプリメンテーション</b>	
使用した合成ツール/バージョン	Vivado Design Suite 2016.2
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite 2016.2
スタティック タイミング解析の実施	あり
<b>ハードウェア検証</b>	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	AC701 評価ボード <a href="#">[参照 2]</a>

## リファレンス デザインのリソース使用量

表 5 に、DRU チャネルを使用したサンプル デザインのリソース使用量を示します。

表 5: リファレンス デザインのリソース使用量

説明	数量
ターゲット デバイス	Artix-7 XC7A200T-1FBG676C FPGA
スライスの LUT 数	1,202
スライス レジスタ数	1,793
配置済みスライス	571
ブロック RAM	1
BUFG	8
MMCM	2

## 参考資料

- 『Virtex-6 FPGA で LVDS を使用した、1.25 Gb/s での 4X 非同期オーバーサンプリング』([英語版](#)、[日本語版](#))
- 『Artix-7 FPGA 用 AC701 評価ボード ユーザー ガイド』([UG952](#))
- 『Silicon Labs CP210x USB-to-UART インストール ガイド』([UG1033](#))
- AC701 評価キットのウェブ ページ ([japan.xilinx.com/AC701](http://japan.xilinx.com/AC701))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016 年 8 月 30 日	1.0	初版

## お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

### 自動車のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。