



XAPP1305 (v1.0) 2017 年 3 月 24 日

PS および PL ベースの 1G/10G イーサネット ソリューション

著者: Bhargav Shah, Naveen Kumar Gaddipati, Akhilesh Mahajan, Srin Gaddam

概要

このアプリケーション ノートでは、Zynq® UltraScale+™ デバイスにイーサネット デザインをインプリメントする方法について説明します。まず、プロセッシング システム (PS) 内のギガビット イーサネット コントローラー (GEM) を MIO (Multiplexed I/O) および EMIO (Extended Multiplexed I/O) インターフェイス経由で使用方法について説明します。次に、プログラマブル ロジック (PL) 内の高速トランシーバーを使用して 1000BASE-X および 10GBASE-R 物理インターフェイスを使用する方法について説明します。PS および PL ベースのイーサネット システムでイーサネット ジャンボ フレームを使用する方法についても説明します。また、PS イーサネット、PL イーサネット (1G および 10G)、および PS-PL イーサネットのスループット値も示します。ここで取り上げるデザインは、いずれもカーネル モードの Linux デバイスドライバを使用したイーサネット ソリューションです。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

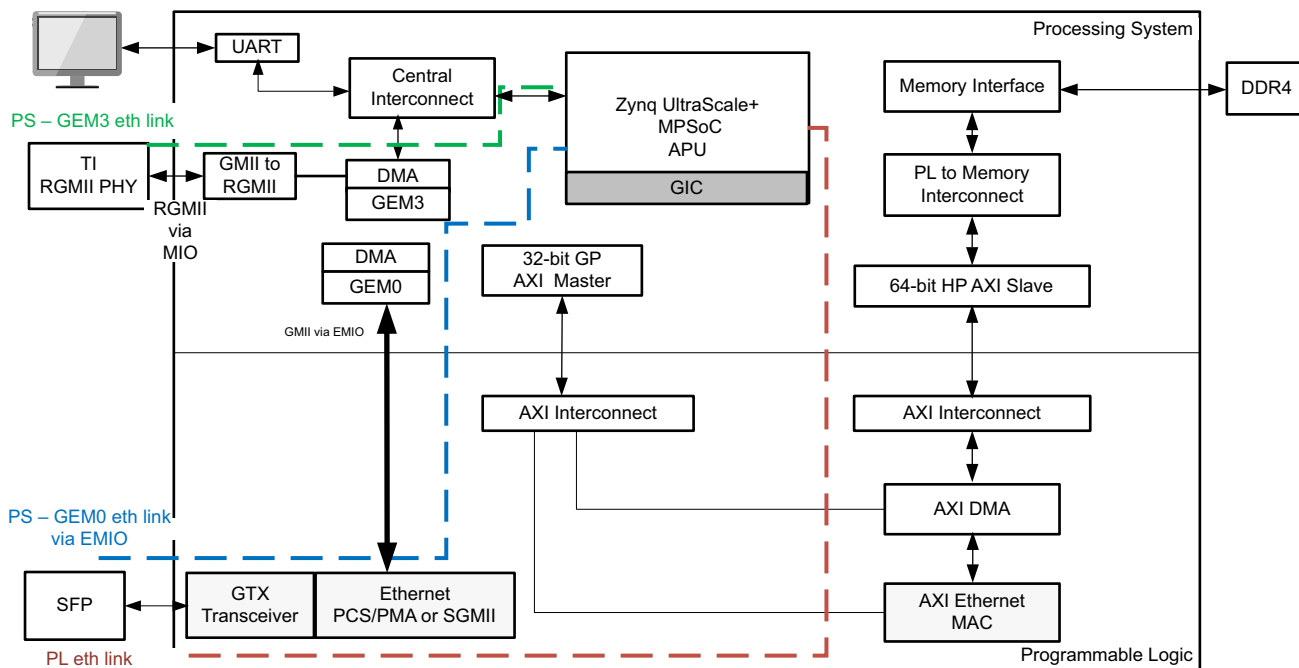
はじめに

Zynq UltraScale+ デバイスは、ARM® 社のフラッグシップ製品である Cortex®-A53 64 ビット クワッドコアまたはデュアルコア プロセッサと Cortex-R5 デュアルコア リアルタイム プロセッサを含むプロセッシング システム (PS) とプログラマブル ロジック (PL) を 1 つに統合したデバイスです。

PL は、プログラマブル ロジック、コンフィギュレーション ロジック、および関連する内蔵機能で構成されます。PS は、ARM Cortex-A53 MPCore CPU、Cortex-R5 プロセッサ、オンチップ メモリ、外部メモリ インターフェイス、キャッシュ コヒーレント インターコネクタ (CCI)、およびパシフィック コネクティブティ インターフェイスで構成されます。PS には 4 つの GEM があります。各コントローラーは個別に設定可能で、RGMII (Reduced Gigabit Media Independent Interface) を使用します。RGMII インターフェイスから MIO ピンを経由して外部 RGMII PHY に接続します。TBI、RGMII v2.0、SGMII など、その他のイーサネット通信インターフェイスは EMIO インターフェイスで利用可能な GMII/MII を使用して PL 内に作成できます。

SGMII は、PL のロジックではなく PS-GTR を使用しても GEM でサポートされます。

[図 1](#) に、ZCU102 ボードへの各種イーサネット インプリメンテーションを示します。



X18644-020617

図 1: Zynq UltraScale+ MPSoC のイーサネット インターフェイス

注記: PS-GEM3 は、常に ZCU102 評価ボード上の Texas Instruments (TI) RGMII PHY に接続されます。1000BASE-X PHY と GTX トランシーバーは、AXI 1G/2.5G Ethernet サブシステム IP コア [参照 1] を使用する 1G PL イーサネット リンク用の AXI Ethernet コアに含まれます。PS-PL イーサネットは PS-GEM0 と 1G/2.5G Ethernet PCS/PMA or SGMII コア [参照 2] を使用します。10G PL イーサネット リンクは 10G/25G 高速 Ethernet サブシステム IP コア [参照 3] を使用します。

このアプリケーション ノートに付属するデザインでは、PS-GEM3 は RGMII 経由で TI DP83867IRPAP イーサネット RGMII PHY デバイスに接続します。ZCU102 ボードではこれがデフォルトのセットアップです。このアプリケーション ノートでは、PS および PL を使用したイーサネットの各種インプリメンテーション方法を示します。このアプリケーション ノートで説明するデザインは次のとおりです。

- PS イーサネット (GEM3) を MIO インターフェイス経由で PS の 1G 物理インターフェイスに接続 (「MIO 経由で PS GEM を使用」参照)。
- PS イーサネット (GEM0) を EMIO インターフェイス経由で PL の 1000BASE-X 物理インターフェイスに接続 (「EMIO 経由で PS GEM を使用」参照)。
- PL にソフト ロジックとしてイーサネット (MAC) をインプリメントし、PL の 1000BASE-X 物理インターフェイスに接続 (「PL 1G イーサネットを使用」参照)。
- PL にソフト ロジックとしてイーサネット (MAC) をインプリメントし、PL の 10G 物理インターフェイスに接続 (「PL 10G イーサネットを使用」参照)。

注記: PS イーサネットには GEM0、GEM1、GEM2 も使用できます。ハードウェア デザインは、選択した GEM により異なります。

MIO 経由で PS GEM を使用

このセクションでは、MIO インターフェイスを経由して PS イーサネット ブロック GEM3 を PS PHY で使用する方法について説明します。

ハードウェア デザイン

PS イーサネット コントローラー (GEM3) は、RGMII インターフェイスを使用して MIO ピン経由でオンボードの TI PHY に接続します。GEM3 ブロックはハードウェア システムの生成中に有効になります。GEM3 から TI PHY へのリンクを、[図 1](#) では「PS-GEM3 eth link」と記載しています。詳細は、Wiki ページ「Zynq MPSoC の PS および PL ベース イーサネット」[\[参照 4\]](#) を参照してください。

基準クロックの生成

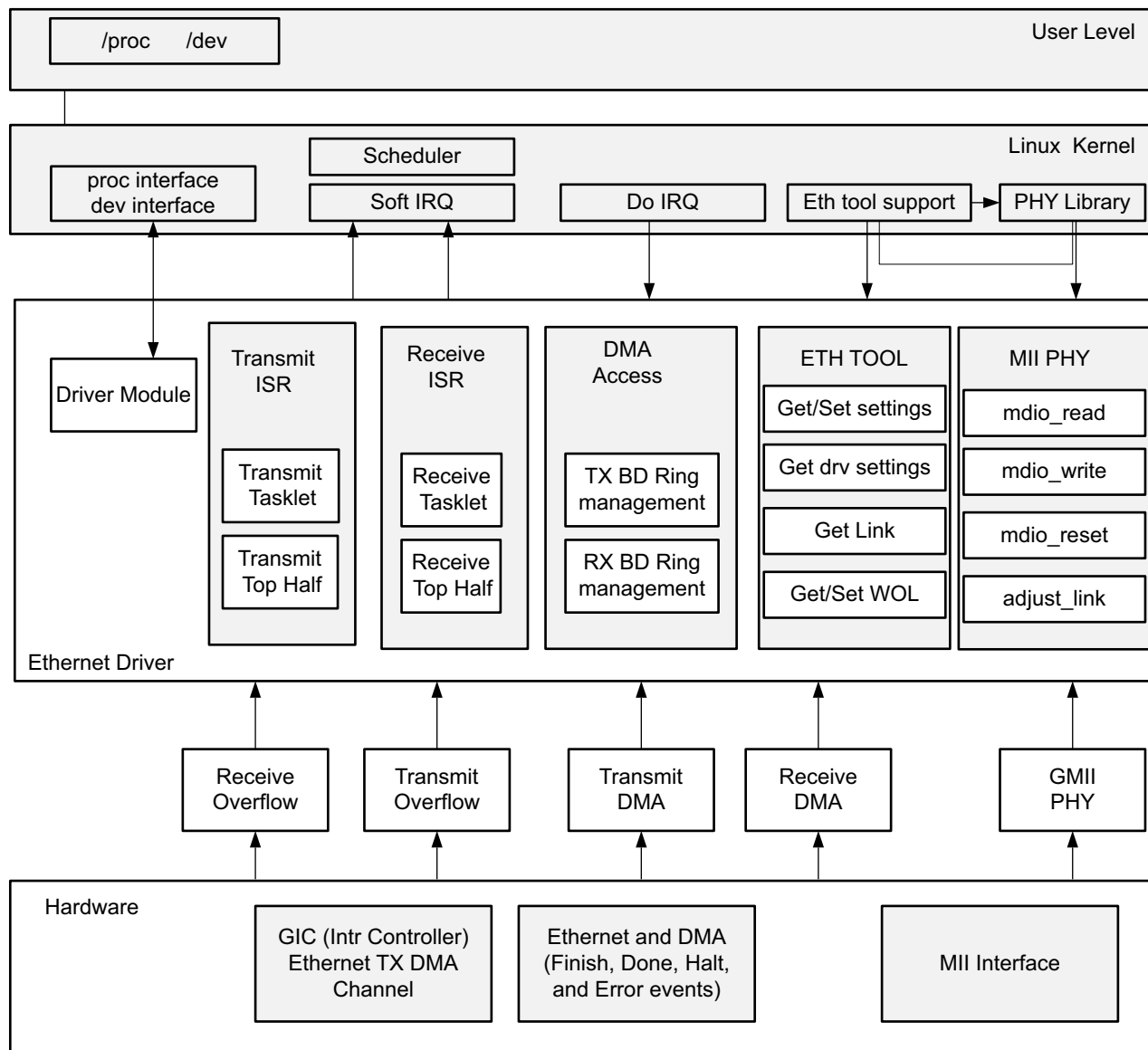
各 GEM のイーサネット基準クロック (125MHz) は、PS の内部 PLL をコンフィギュレーションして生成します。

ソフトウェア デザイン

このデザインは、ZCU102 のすべての GEM に共通の `macb.c` ドライバー コードを使用します。このドライバー コードは Linux カーネルに含まれます。macb ドライバーは、PS GEM に接続されたダイレクト メモリ アクセス (DMA) コントローラーを使用します。このドライバーは、DMA ディスクリプター リングのセットアップ、割り当て、再利用などの複数の機能を担います。割り込みステータスには DMA イベントも暗黙的に反映されるため、割り込み処理は PS GEM イベントに対してのみ行われます。また、デバイス ツリーは PS-GEM3 と関連するパラメーターを含むように更新されます。詳細は、「[デバイス ツリー](#)」を参照してください。

Linux ドライバー

このデザインでは、モノリシックな Linux デバイス ドライバーを使用します。[図 2](#) に、PS イーサネット インターフェイスのソフトウェア アーキテクチャを示します。



X18645-020717

図 2: PS イーサネットの Linux 用ソフトウェアドライバー

EMIO 経由で PS GEM を使用

このセクションでは、EMIO インターフェイスを経由して PS イーサネットブロック GEM0 を PL PHY で使用方法について説明します。EMIO ピンを使用して PL 経由で PS GEM ブロックにアクセスすることにより、GMII および MDIO (Management Data Input/Output) インターフェイスを物理層に接続できます。1000BASE-X モードでは 1G/2.5G Ethernet PCS/PMA or SGMII コアをイーサネット物理媒体に使用できます。ZCU102 ボードの SFP (Small Form-Factor Pluggable) ケーシには、高速シリアルトランシーバーを使用してアクセスします。SFP ケーシは SFP-RJ45 コンバーター モジュールを介して標準イーサネット LAN に接続します。SFP を有効にするには、図 7 に示すようにジャンパー J17 をショートします。

ハードウェア デザイン

図 3 に示すように、GMII インターフェイスは EMIO ピンを介して PHY と PS GEM を接続します。GEM0 ブロックは Vivado® ツールでハードウェア システムを生成中に有効になります。1G/2.5G Ethernet PCS/PMA or SGMII コアの PHY アドレスポートには 1 ~ 31 の固定値を割り当てることができます。詳細は、Wiki ページ「Zynq MPSoC の PS および PL ベース イーサネット」[参照 4] および『1G/2.5G Ethernet PCS/PMA or SGMII v16.0 LogiCORE IP 製品ガイド』(PG047) [参照 2] を参照してください。

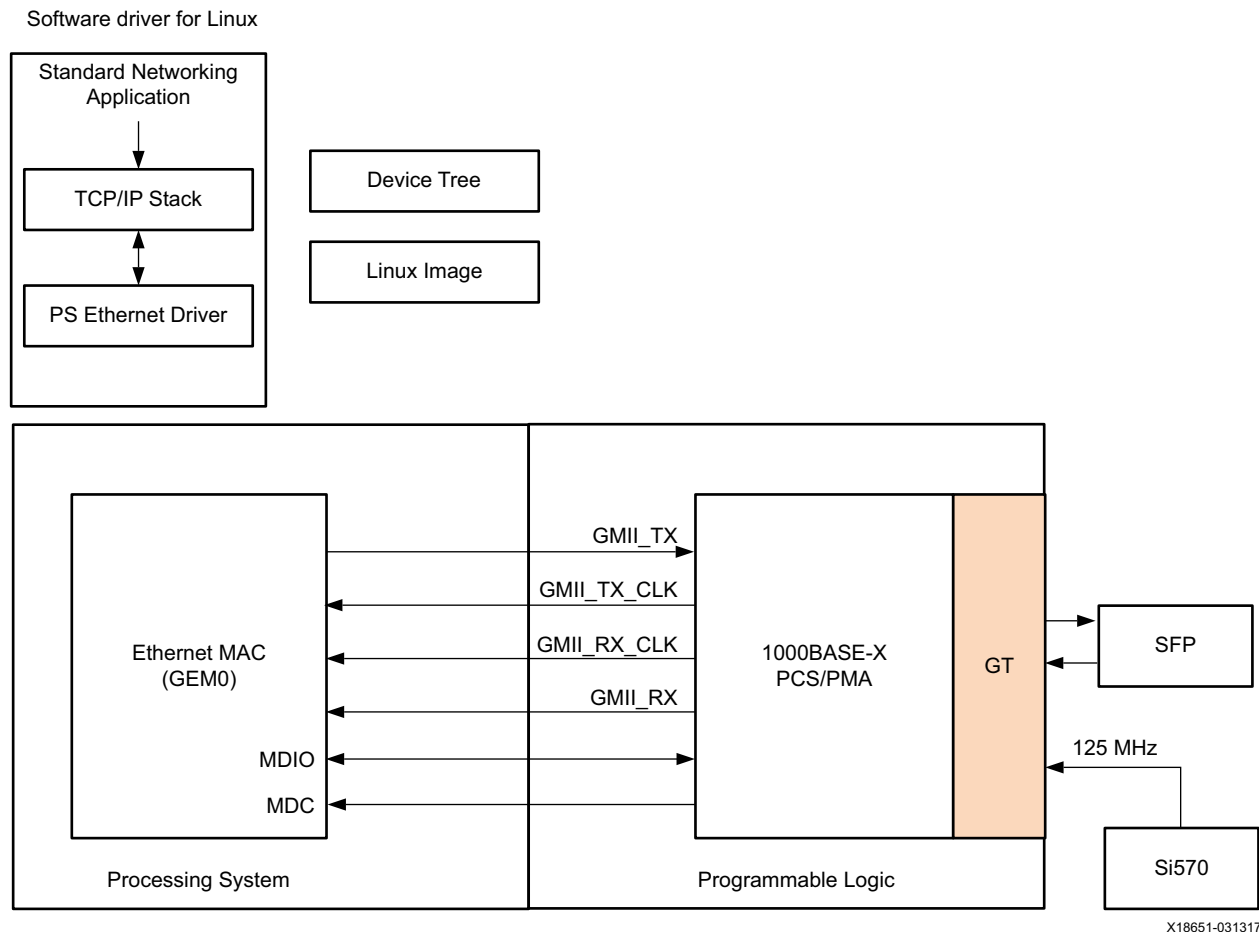


図 3: PS-PL イーサネット デザイン

基準クロックの生成

Zynq UltraScale+ MPSoC の GTX トランシーバー X0Y4 を ZCU102 ボードの SFP ケージに接続します。GTX トランシーバーの基準クロック (125MHz の差動クロック) は、ZCU102 ボードの Si570 ジッター減衰器から生成されます。クロック分周値は、Si570 プログラマブル オシレーターから 125MHz が生成されるように調整します。Si570 を I2C インターフェイス経由でプログラムして必要なクロック値を生成します。Si570 の詳細は、Si570 のデータシート [参照 5] を参照してください。

EMIO インターフェイス経由で GEM0 を利用するには、特定のレジスタをプログラムする必要があります。これは、Zynq UltraScale+ MPSoC の FSBL (第 1 段階ブートローダー) が使用する PS コンフィギュレーション データに含まれます。

クロック、データ、および制御信号の受信ソースとして EMIO を選択するには、SLCR.GEM0_CLK_CTRL[SRCSSEL] ビットを 3'b1xx に設定します (x はドントケアで、1 または 0)。

ソフトウェア デザイン

このデザインは、ZCU102 のすべての GEM に共通の macb.c ドライバー コードを使用します。macb ドライバーは、PS の GEM に接続された DMA コントローラーを使用します。このドライバーは、DMA ディスクリプター リングのセット

アップ、割り当て、再利用などの複数の機能を担います。割り込みステータスには DMA イベントも暗黙的に反映されるため、割り込み処理は PS GEM イベントに対してのみ行われます。また、デバイス ツリーは PS-GEM0 と関連するパラメーターを含むように更新されます。詳細は、「[デバイス ツリー](#)」を参照してください。

注記: TBI などのほかの PL 物理インターフェイスをサポートするには、ハードウェア デザインとデバイス ツリーを変更する必要があります。PHY 独自の初期化は Linux ドライバー (macb) 内の phylib サブシステムで処理され、PHY に関する情報はデバイス ツリーに含むことができます。PHY プログラムに phylib サブシステムを使用するには、phylib サブシステムがその PHY の PHY 初期化ルーチンをサポートしていることが要件です。

Linux ドライバー

デザイン用にモノリシックな Linux デバイス ドライバーが提供されています。PS イーサネット インターフェイスのソフトウェア アーキテクチャは、[図 2](#) に示したとおりです。

PL 1G イーサネットを使用

このセクションでは、PL にインプリメントしたイーサネットについて説明します。このデザインは、AXI 1G/2.5G Ethernet サブシステム、AXI DMA、AXI Interconnect の IP コアで構成されます。AXI 1G/2.5G Ethernet サブシステム IP コアは Tri-Mode Ethernet MAC (TEMAC) コアと 1G/2.5G Ethernet PCS/PMA or SGMII コアで構成されます。このデザインでは、PS-DDR メモリへの高速アクセスに HP (High Performance) ポートを使用します。HP ポートをほかのペリフェラルが使用している場合は、汎用スレーブ ポートを使用することもできます。

ハードウェア デザイン

[図 4](#) に、PL にインプリメントしたイーサネットを示します。PL と PS-DDR4 メモリ間的高速データ転送には HP ポートを使用しています。このポートから、AXI Interconnect を経由して AXI DMA スキャッター ギャザー S2MM (Stream to Memory Mapped) および MM2S (Memory Mapped to Stream) インターフェイスに接続します。AXI Interconnect は、64 ビット HP ポートを AXI DMA の 32 ビット インターフェイスに接続するためのデータ幅変換も実行します。AXI DMA では、S2MM パスと MM2S パスに対してスキャッター ギャザー オプションおよびデータ リアライメント エンジンの両方が有効です。

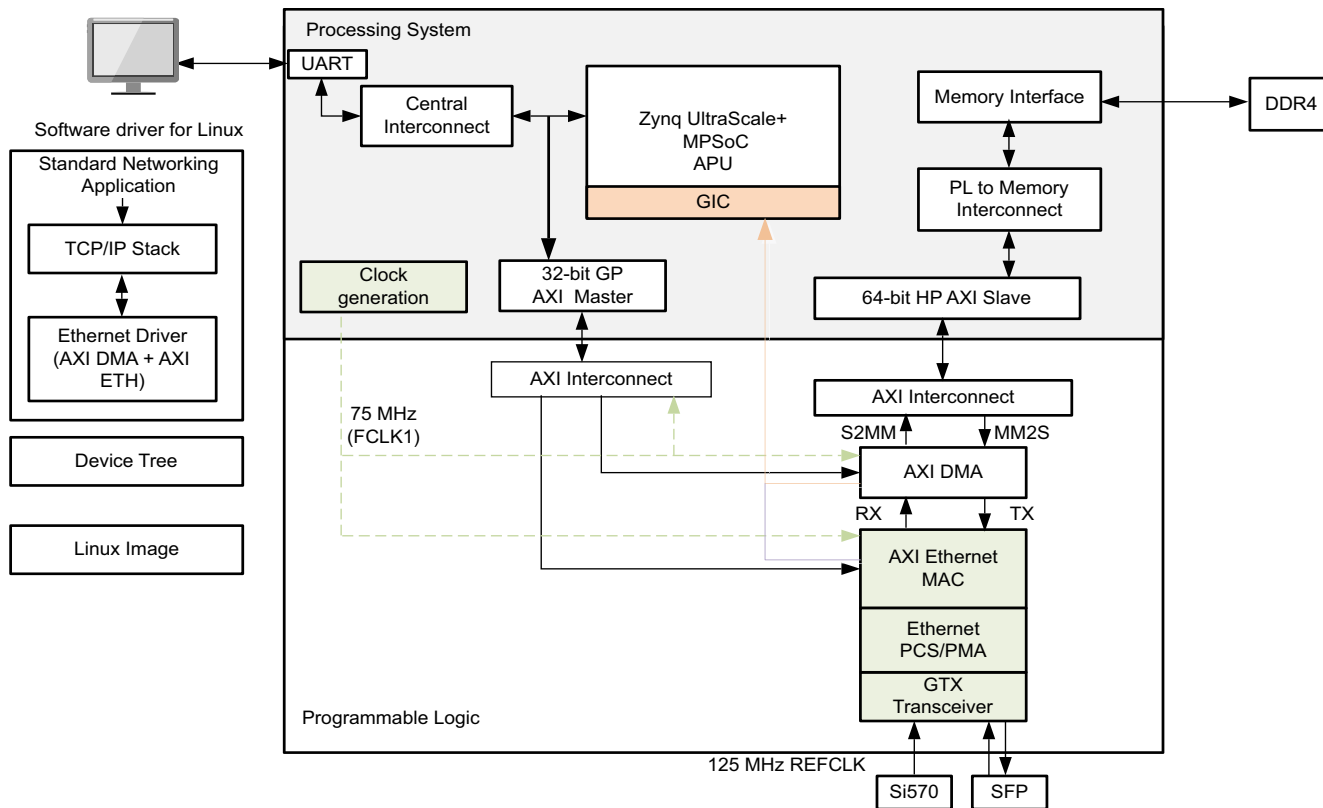
AXI DMA のストリーミング インターフェイスは、AXI Ethernet サブシステムに接続されます。AXI Ethernet サブシステムでは、フルチェックサム オフロード (CSO) を有効にし、FIFO 深さを 32K としてジャンボ フレーム転送をサポートします。

AXI Ethernet コアはイーサネット MAC をインプリメントし、1000BASE-X および SGMII PHY インターフェイスをサポートします。このコアは、GTX トランシーバーを介して 1000BASE-X/SGMII インターフェイス経由で SFP に接続します。

制御インターフェイス用に、PS で汎用 (GP) AXI マスター ポートを有効にしています。このポートは、AXI DMA コアと AXI Ethernet コアに接続されます。

1000BASE-X PHY レジスタには、AXI Ethernet コアによって提供される MDIO インターフェイスを介してアクセスします。AXI DMA および AXI Ethernet コアの割り込みポートは、PS 内の汎用割り込みコントローラー (GIC) に接続されます。詳細は、Wiki ページ「[Zynq MPSoC の PS および PL ベース イーサネット](#)」[\[参照 4\]](#) を参照してください。

各 IP コアの詳細は、『[AXI 1G/2.5G Ethernet サブシステム v7.0 製品ガイド](#)』(PG138) [\[参照 1\]](#)、『[1G/2.5G Ethernet PCS/PMA or SGMII v16.0 LogiCORE IP 製品ガイド](#)』(PG047) [\[参照 2\]](#)、および『[LogiCORE IP AXI DMA 製品ガイド](#)』(PG021) [\[参照 6\]](#) を参照してください。



X18652-020617

図 4: 1000BASE-X PL イーサネット デザイン

基準クロックの生成

Zynq UltraScale+ MPSoC の GTX トランシーバー X0Y4 を 1000BASE-X トランシーバー用に ZCU102 ボードの SFP ケージに接続します。GTX トランシーバーの基準クロック (125MHz の差動クロック) は、ZCU102 ボードの Si570 ジッター減衰器から生成されます。クロック分周値は、Si570 プログラマブル オシレーターから 125MHz が生成されるように調整します。Si570 を I2C インターフェイス経由でプログラムして必要なクロック値を生成します。Si570 の詳細は、Si570 のデータシート [参照 5] を参照してください。

ソフトウェア デザイン

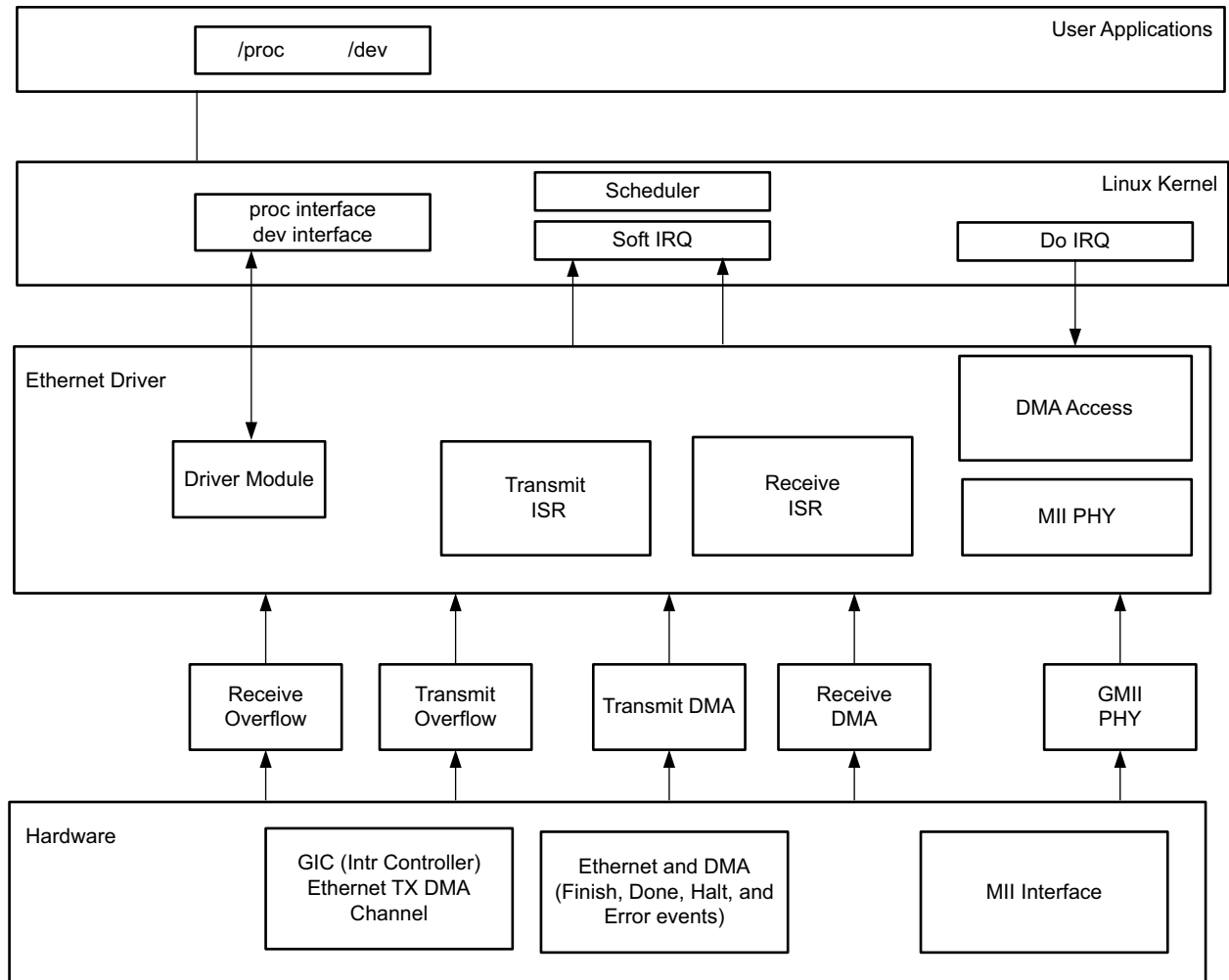
このセクションでは、デザインのソフトウェアについて説明します。モノリシックな Linux ドライバー コードにより、次に挙げる機能が簡単に実行できます。

- PL イーサネット MAC アクセス
- AXI DMA 転送
- phylib サブシステムを使用した 1000BASE-X インターフェイスの物理媒体初期化

Linux ドライバー

図 5 に、このデザインのソフトウェア アーキテクチャを示します。ドライバーは、次のセクションに分かれます。

- 初期化
- MAC ドライバー フック
- 割り込みサービス ルーチン



X18653-020617

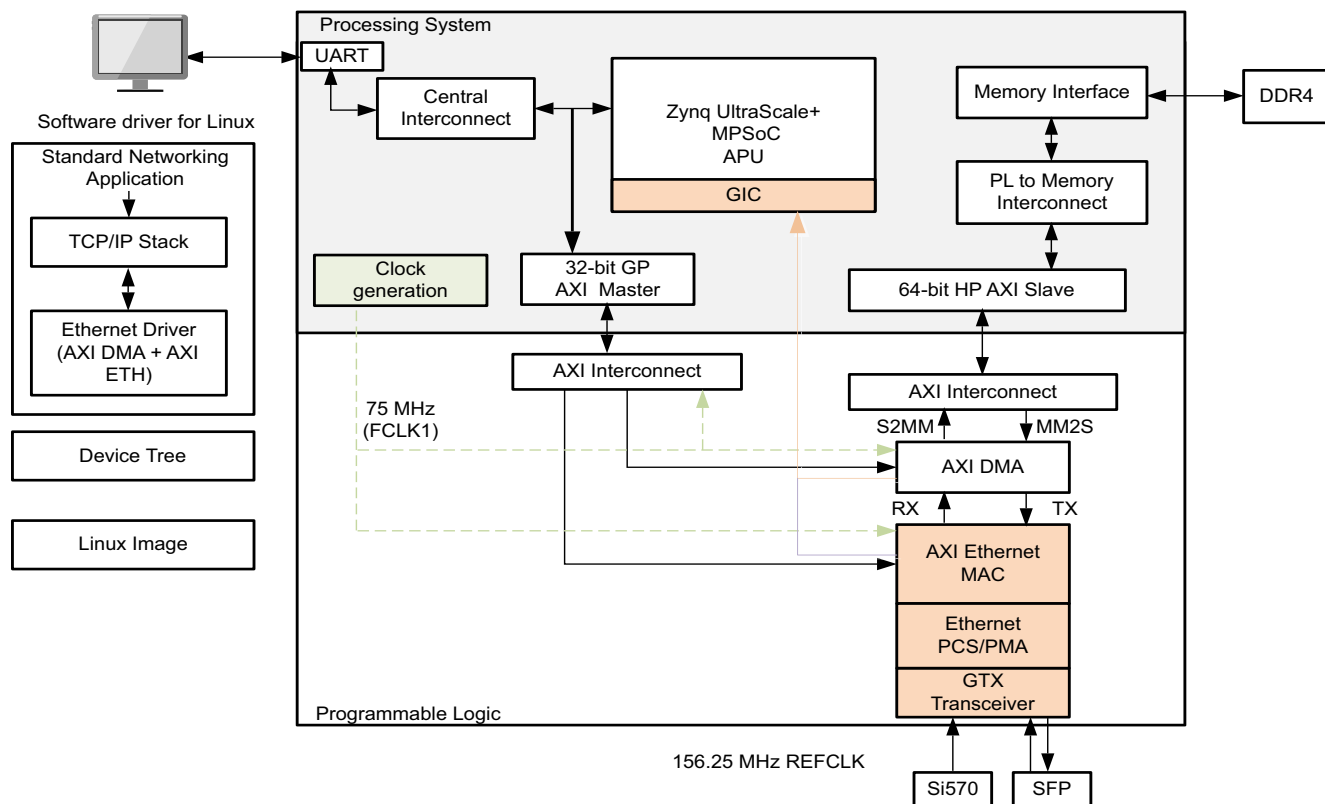
図 5: PL イーサネットのドライバー アーキテクチャ

PL 10G イーサネットを使用

このセクションでは、PL にインプリメントした 10G イーサネットについて説明します。このデザインは、10G/25G High Speed Ethernet サブシステム、AXI DMA、AXI Interconnect の IP コアで構成されます。このデザインでは、PS-DDR メモリへの高速アクセスに HP (High Performance) ポートを使用します。HP ポートをほかのペリフェラルが使用している場合は、汎用スレーブ ポートを使用することもできます。

ハードウェア デザイン

図 6 に、PL にインプリメントした 10G イーサネットを示します。ザイリンクス 10G/25G 高速 Ethernet サブシステムは、25G イーサネット MAC と 25G イーサネット コンソーシアム策定の仕様に準拠した物理符号化副層 (PCS) をインプリメントします。トランシーバーへの 156.25MHz 基準クロックは、ZCU102 ボードにある Si570 プログラマブルオシレーターから供給します。詳細は、Wiki ページ「Zynq MPSoC の PS および PL ベース イーサネット」[参照 4] を参照してください。



X18654-031417

図 6: 1G PL イーサネット デザイン

基準クロックの生成

Zynq UltraScale+ MPSoC の GTX トランシーバー X0Y4 を ZCU102 ボードの SFP ケージに接続します。GTX トランシーバーの基準クロック (156.25MHz の差動クロック) は、ZCU102 ボードの Si570 ジッター減衰器から生成されます。クロック分周値は、Si570 プログラマブルオシレーターから 156.25MHz が生成されるように調整します。Si570 を I2C インターフェイス経由でプログラムして必要なクロック値を生成します。Si570 の詳細は、Si570 のデータシート [参照 5] を参照してください。

ソフトウェア デザイン

このセクションでは、デザインのソフトウェアについて説明します。モノリシックな Linux ドライバー コードにより、次に挙げる機能が簡単に実行できます。

- PL イーサネット MAC アクセス
- AXI DMA 転送

Linux ドライバー

このデザインのソフトウェアアーキテクチャは、図 5 に示したとおりです。ドライバーは、次のセクションに分かれます。

- 初期化
- MAC ドライバー フック
- 割り込みサービス ルーチン

デバイス ツリー

デバイス ツリーは、ハードウェア記述用のデータ構造です。デバイスのすべての詳細をオペレーティング システムにハード コーディングするのではなく、ハードウェアに関する多くの情報をこのデータ構造に記述しておき、ブート時にオペレーティング システムに渡すようにします。これらの設定値はロード時にドライバーによって解析され、デバイス ツリー内の定義に従ってパラメーターが設定されます。Linux ドライバーのデバイス ツリーは、次のパラメーターで構成されます。

- PS イーサネット MAC EMIO 専用:
 - PS GEM0 セクション (PS MAC のパラメーターを格納)
- PL イーサネット (1G/10G) 専用:
 - DMA セクション (AXI DMA のパラメーターを格納)
 - イーサネット セクション (AXI Ethernet MAC のパラメーターを格納)

必要なハードウェアおよびソフトウェア

このアプリケーション ノートで説明したデザインのテストには、次のハードウェアとソフトウェアが必要です。

- Linux OS が動作する標準 PC
- 1000Mb/s 対応イーサネット ポート
- 1G 用 SFP および 10G 用 SFP+ モジュール
- ホスト マシン用 10G NIC
- Netperf ツール [\[参照 7\]](#)
- iPerf ツール [\[参照 8\]](#)
- Vivado ツール 2016.4 (IP インテグレーター デザイン) [\[参照 9\]](#)
- PetaLinux 2016.4 XSDK [\[参照 10\]](#)
- テスト用 SFP-RJ45 アダプター モジュールを搭載した Zynq UltraScale+ MPSoC ZCU102 ボード [\[参照 11\]](#)

[図 7](#) に、1G インターフェイスを使用する場合のボードのセットアップを示します。SFP 経由での伝送を有効にするために、ジャンパー J16 をショートします。このデザインは、Cisco GLC-T 1000BASE-X Ethernet to SFP モジュールを使用してテストしました。

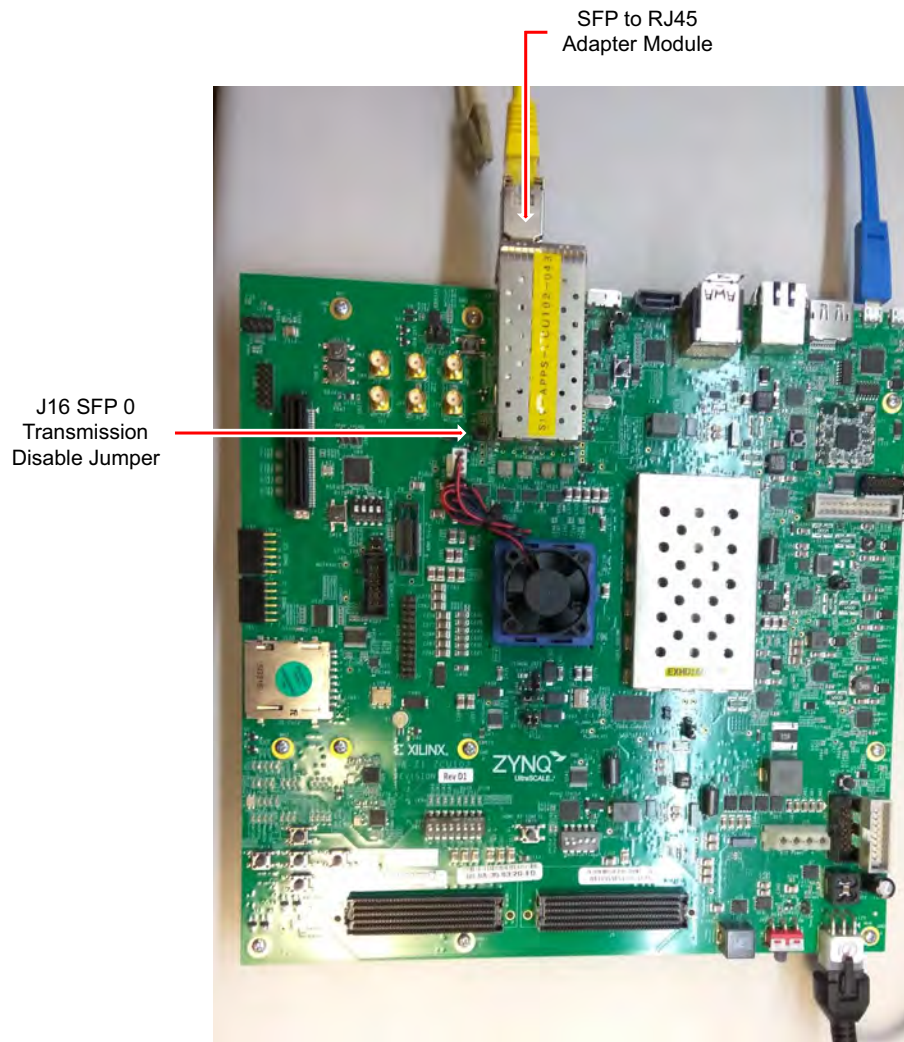
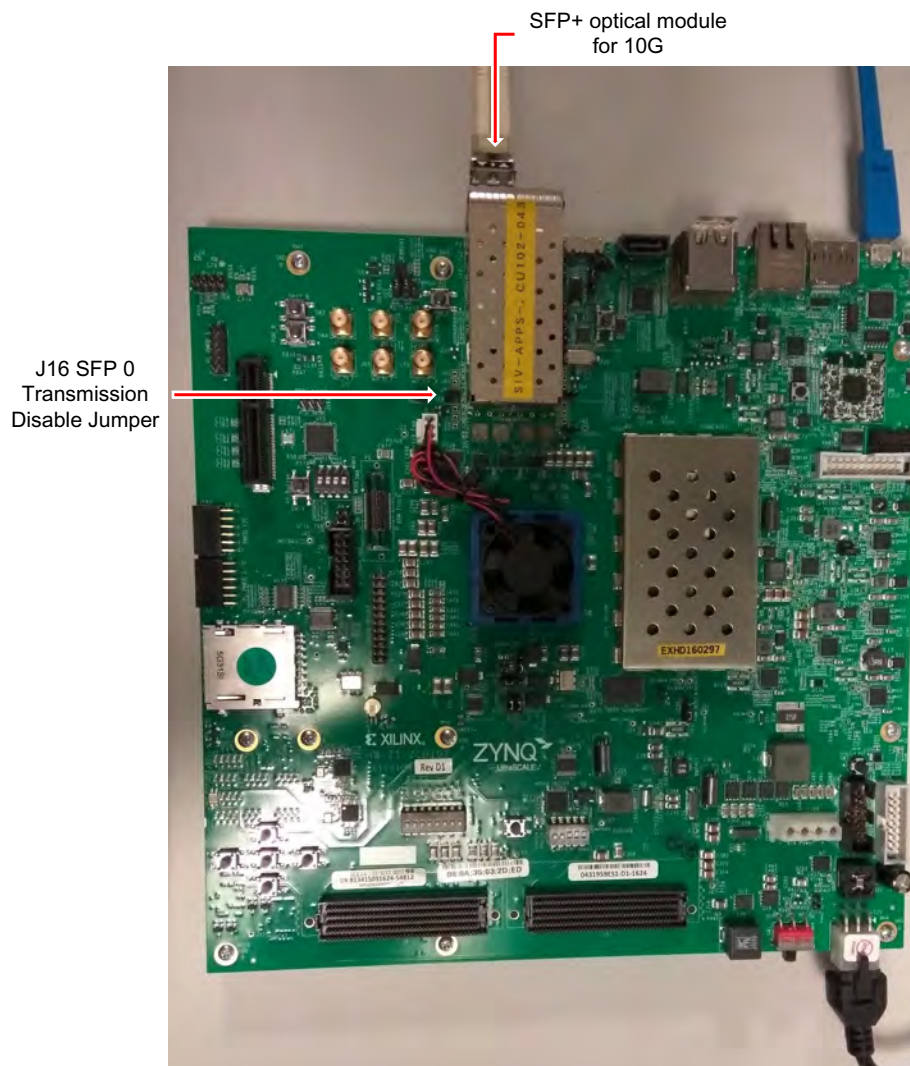


図 7: 1G PL イーサネットのハードウェア セットアップ

図 8 に、10G インターフェイスを使用する場合のボードのセットアップを示します。SFP 経由での伝送を有効にするために、ジャンパー J16 をショートします。このデザインは、Avago afbr-709smz Optical to Ethernet SFP+ モジュールを使用してテストしました。



X18656-020617

図 8: 10G PL イーサネットのハードウェア セットアップ

まとめ

このアプリケーション ノートでは、イーサネット デザインの各種インプリメンテーションについて説明しました。このアプリケーション ノートで説明したデザインの性能ベンチマークの結果は、Wiki ページ「Zynq MPSoC の PS および PL ベース イーサネット」[参照 4]を参照してください。

リファレンス デザイン

このアプリケーション ノートの[リファレンス デザイン ファイル](#)は、ザイリンクスのウェブサイトからダウンロードできます。

ハードウェアとソフトウェア コードの作成方法は、[readme](#) ファイルの指示を参照してください。

表 1 に、リファレンス デザインの詳細を示します。

表 1: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Bhargav Shah、Naveen Kumar Gaddipati、Akhilesh Mahajan、Srini Gaddam
ターゲット デバイス	Zynq UltraScale+ デバイス
ソース コードの提供	あり
ソース コードの形式	Verilog、C
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	あり
シミュレーション	
論理シミュレーションの実施	なし
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	なし
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール/バージョン	Vivado 2016.4
使用したインプリメンテーション ツール/バージョン	Vivado 2016.4
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	ZCU102 評価ボード

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

- 『AXI 1G/2.5G Ethernet サブシステム v7.0 製品ガイド』(PG138)
- 『1G/2.5G Ethernet PCS/PMA or SGMII v16.0 LogiCORE IP 製品ガイド』(PG047)
- 『10G/25G 高速 Ethernet サブシステム LogiCORE IP 製品ガイド』(PG210: [英語版](#)、[日本語版](#))
- [Wiki ページ「Zynq MPSoC の PS および PL ベース イーサネット」](#)
- Si570 データシート (www.silabs.com/Support%20Documents/TechnicalDocs/Si570.pdf)
- 『LogiCORE IP AXI DMA 製品ガイド』(PG021: [英語版](#)、[日本語版](#))
- Netperf (www.netperf.org)
- iPerf (<http://sourceforge.net/projects/iperf/>)
- [ザイリンクス Vivado Design Suite](#)

10. [PetaLinux](#)
11. 『Zynq UltraScale+ MPSoC テクニカル リファレンス マニュアル』(UG1085: [英語版](#)、[日本語版](#))
12. 『ZCU102 評価ボード ユーザー ガイド』(UG1182)
13. 『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年3月24日	1.0	初版

法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。
<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されてはならず、また、フェイルセーフの動作を要求するアプリケーション(具体的には、(I)エアバッグの展開、(II)車のコントロール(フェイルセーフまたは余剰性の機能(余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません)および操作者がミスをした際の警告信号がある場合を除きます)、(III)死亡や身体傷害を導く使用、に関するアプリケーション)を使用するために設計されたり意図されたりもしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。AMBA、AMBA Designer、ARM、ARM1176JZ-S、CoreSight、Cortex、PrimeCell、MPCore は EU およびその他の各国の ARM 社の登録商標です。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早速に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。