

ビデオ アプリケーション向け水平同期ロックシステム

著者: David Taylor, Vincent Vendramini, Robert Green

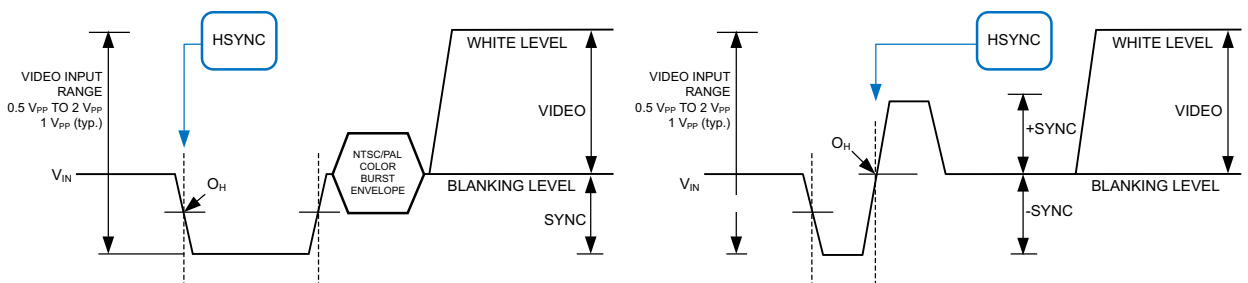
概要

このアプリケーションノートでは、ザイリンクス デバイスと PICXO (Phase Interpolator Controlled Crystal Oscillator) を使用し、外部 PLL 回路は使用せずに SDI ビデオ出力を入力 HSYNC クロックに同期させる方法について説明します。この技術は、FPGA 外部のコンポーネントを削減することで外部の PCB デザインを簡素化し、コスト削減します。また、スケラブルなアプローチを可能にし、チャンネルデザインにも対応できるため、特に数百チャンネルに対応する必要があるスイッチャーやルーターで有効です。ここで説明するリファレンス デザイン ファイルとその手法は、完全実装済みの SDI Subsystem ではなく、ユーザー アプリケーションに統合できるクロック システム、つまりさらなるデザインの活用を可能にするザイリンクス SDI IP コアを提供します。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

最新ビデオ アプリケーションにおける HSYNC の概要

ビデオ技術は、最大 8K の超高精細 (7680 x 4320 ピクセル) をサポートするデジタルフォーマットへ移行し、より鮮明な画像を実現するために毎秒 120 フレームの高速フレーム レート、より自然なビジュアルプレゼンテーションを実現するためにハイダイナミックレンジ (HDR) を提供します。しかしながら、コンテンツの制作、製造、配信には、プログレッシブ方式の LCD や OLED ディスプレイの需要が高まっているにもかかわらず、インターレース ビデオや非整数フレームレートなどアナログ ビデオ世界の従来技術が多用されているため、依然としてサポートが必要です。まだ完全なデジタル機能への移行が進んでいない領域は、ビデオ/オーディオ信号のタイミングと同期です。IEEE 1588 PTP (Precision Time Protocol) に基づく新しい同期技術が利用できるようになったにもかかわらず、最新システムでは、プロダクションスイッチャーやミキサーでカメラなどのさまざまなソースを同期し、ソース間でのシームレスな遷移を可能にするゲンロックをサポートする必要があります。さらに、ダウンストリームの処理機能が処理後のストリームを再同期させるための適切なタスクを実行できるように、ビデオ信号とオーディオ信号用に同期信号を抽出する必要があります。これらの同期信号の 1 つが水平同期 (HSYNC) です。この HSYNC 信号を使用して、画面上に新しいピクセルラインが作成されるべきタイミングをモニターに示します。1 つの HD フレーム内には 1080 個の HSYNC 信号があります (フレーム内のアクティブビデオの各ラインに 1 つ)。フレームとフィールドの開始に同様の同期信号があります。図 1 に示すように、HSYNC 信号はアクティブ ビデオ データの前に現れます。

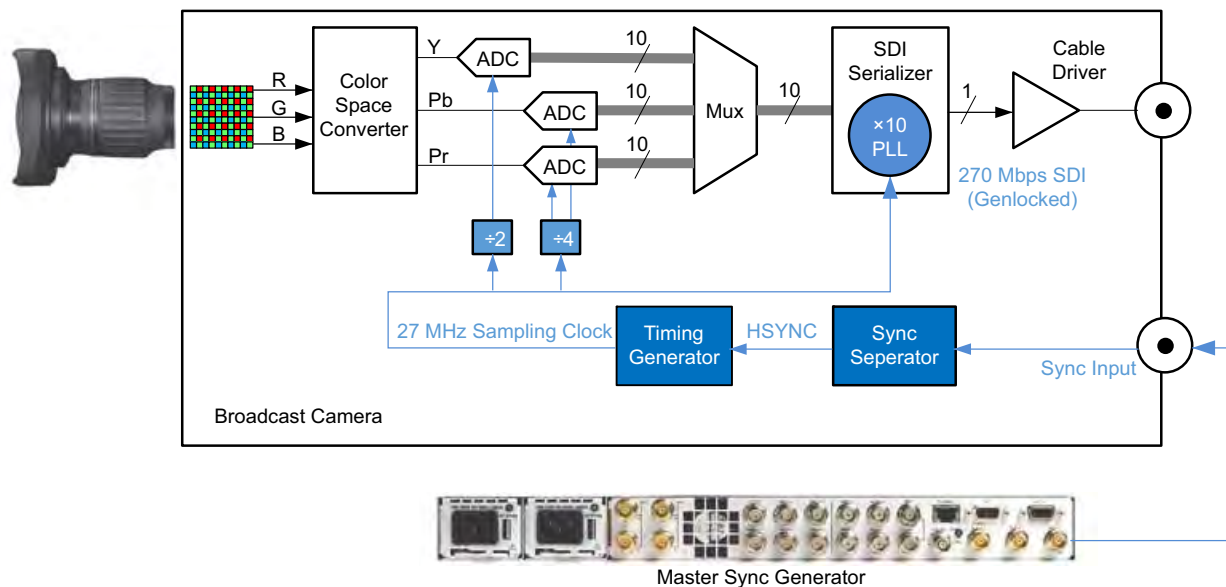


X18735-020717

図 1: アクティブ ビデオの各ラインの開始にある HSYNC

1. (左: バイレベルの SD および ED。右: トライレベルの HD。)

HSYNC は、ゲンロック用の一般的な同期信号としても使用されます。図 2 に示すように、SDI 出力がスタジオ内のマスター同期ジェネレーターと同期できるように (スタジオ内のその他の装置も同期可能)、シリアル デジタル インターフェイス (SDI) ストリーム用にサンプリング クロックを生成します。



X18736-020717

図 2: カメラの SDI 出力とスタジオのマスター同期ジェネレーターの同期に使用される HSYNC

通常、TILMH1981 などのビデオ同期セパレーターが、HSYNC、垂直同期 (VSYNC)、複合信号、およびアナログ SD や HD ビデオから送られるバイレベルまたはトライレベルの同期信号を生成しますが、アプリケーションの出力に現れる SDI 基準クロックにジッターが生じると性能が低下するため、これを防ぐために出力に PLL ベースのジッター除去回路が必要になります。PICXO ベースのリファレンス デザインでは、HSYNC 上のジッターを除去するための外部 PLL 回路を使用しません。つまり、このデザインでは HSYNC 信号を入力ソースから直接回復し、これを使用してジッターのない基準クロックを適用して SDI ビデオ出力をゲンロックできます。

クロック アーキテクチャの分析

あらゆるレートの任意の SDI 出力を外部 HSYNC 信号に同期させるには、ファブリックのデジタル PLL (DPLL) に次の機能が備わっている必要があります。

- 148.5MHz と 148.5/1.001MHz の両方が任意の HSYNC 基準クロックに同期できるようにするためのフラクショナルプリスケラ回路
- SYNC セパレーター デバイス出力チップからのジッターを除去可能な DPLL (通常、数ナノ秒 (ns) のジッター)



ヒント: PICXO はクロックの立ち上がりエッジを参照します。多くの SYNC セパレーター デバイスは立ち下がりエッジを参照するため、SYNC 入力ロジックは回路に適用される前に反転される必要があります。

- HSYNC のレートは kHz の範囲であるため、高い通倍比が可能 - 15.625kHz の 560i PAL は、760,320 の 12G-SDI へ通倍可能
- 高速ロックの設定 - 低帯域幅システムでロック時間を改善するために帯域幅を動的に設定機能
- SMPTE (Society of Motion Picture & Television Engineers) ジッター仕様に準拠 - アライメントとタイミングジッター要件の両方を満たすのに必要な位相分解能精度に対応できる DPLL を使用

このアプリケーション ノートでは、これらのさまざまな要件に対応するために 2 段階の DPLL インプリメンテーションを紹介합니다。

第 1 段階は、入力 HSYNC クロックをオンチップの 27MHz クロックにアップコンバートする数値制御発振器 (NCO) をベースとする DPLL です。DPLL の通倍率は、基準として使用されているビデオ規格で決まります。すべての HSYNC のレートは、整数通倍器を使用して 27MHz まで通倍できます。

第 2 段階は、フラクショナルプリスケラが追加された標準の PICXO ベース DPLL で、148.5MHz と 148.5/1.001MHz の両方を内部の派生クロック 27MHz にロック可能です。詳細は、『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え (UltraScale FPGA)』[参照 4] および『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』[参照 5] を参照してください。

インプリメンテーションを容易にするため、これらの DPLL は両方とも同じ PICXO ベースのソース コードを使用します。つまり、NCO (NO_GT) のインプリメンテーションは、トランシーバーへ接続せずにスタンドアロンで実行するように回路を構成します。

図 3 にシステムの基本となる 2 段階アーキテクチャを示しています。

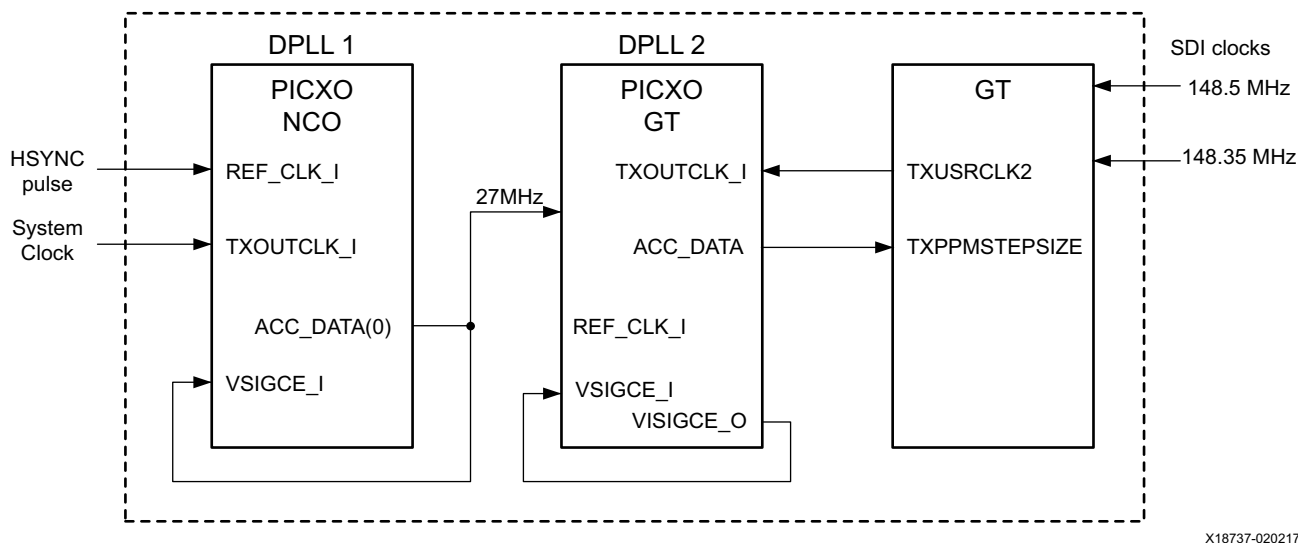
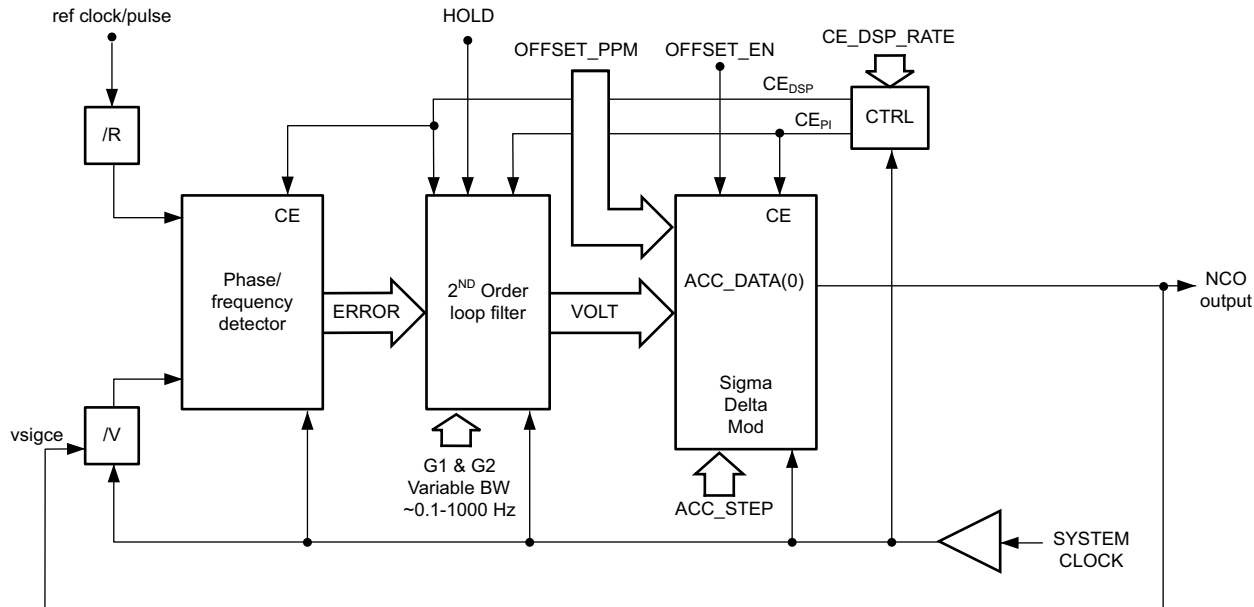


図 3: 基本の HSYNC ロック アーキテクチャ

図 3 に示すように、DPLL 1 は、第 1 段階の通倍機能とジッター除去機能を提供します。DPLL 2 は、SDI ライン レートのジッターをさらに除去する機能を備えた第 2 段階の通倍機能を提供し、要求される出力規格に応じて 5.5 または 5.45 で SDI ライン レートをプリスケールするためのフラクショナル機能を備えています。

NCO のインプリメンテーション

図 4 に NCO (NO_GT) のインプリメンテーションを示しています。インスタンス化される PICXO デザインは GT ブロックに接続されません。代わりに、ラッパー内の R および V 分周器で決定されるレートで有効になるクロックを生成できるスタンドアロンの DPLL を形成します。このデザインの目的は、GT ブロックを直接的に使用しなくても広範な周波数範囲で動作できるスケーラビリティを備えると同時に、既存の PICXO と同じ柔軟性と性能を提供することです。



X18738-020217

図 4: NCO モードの PICXO アーキテクチャ

NCO 機能は、Sigma Delta 出力を使用して実行され、V 分周器のクロック イネーブル信号を駆動します。Sigma Delta 出力はパルスストリームであり、このデューティサイクルは DPLL の VOLT 出力によって直接制御されます。つまり、VOLT 出力が 0 の場合は次のようになります。

- Sigma Delta 出力は 0
- V 分周器は有効にならない
- 位相周波数検出器 (PFD) に 0Hz が適用される

VOLT 出力が最大の場合、V 分周器は継続的に有効になるため、PFD に適用される周波数は V で分周されるシステムクロック周波数となります。

システムがロック状態の場合、NCO 出力レートが PFD 比較周波数を V で分周したものと同じになるように DPLL によって保持されます。これを可能にするには、NCO 出力の最大使用可能範囲のデューティ比が 50% であるため、理論上の最小システムクロック周波数は、NCO クロックにロックした必要な出力の 2 倍になる必要があります。



ヒント: 確実なロックを確保するには、システムクロックを必要な NCO 出力レートの 4 倍以上にすることを推奨しています。

NCO システムの設計と最適化をサポートするために、2 つのオプションが提供されています。1 つ目として、DPLL のロックと過渡性能を示すための NO_GT PICXO デザインがシミュレーションテストベンチと共に提供されています。2 つ目として、周波数応答を予測するためのスプレッドシートに、ユーザーパラメータを用いて回路の周波数応答を予測できるワークシートが含まれています。

図 5 は、NO_GT 回路のロック シミュレーションを示しています。

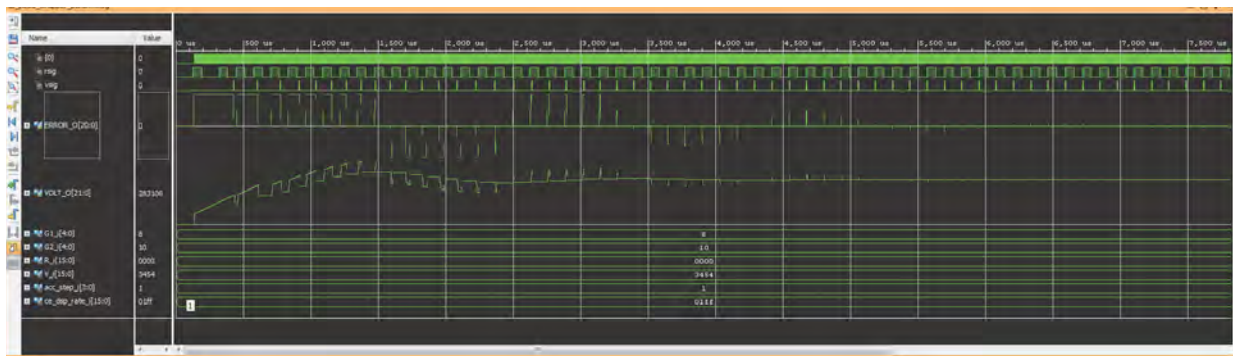


図 5: NCO モード回路のロック シミュレーション波形

rsig 信号と vsig 信号が位相検出器に入力され、DPLL の周波数と位相によって、NCO レートが入力 HSYNC レートに揃えられるロックプロセスを示しています。この例の場合、HSYNC 入力 は 15.625kHz です。

図 6 は、平均レート (27MHz) を使用した場合の位相アライメントと出力クロック イネーブルの詳細を示しています。

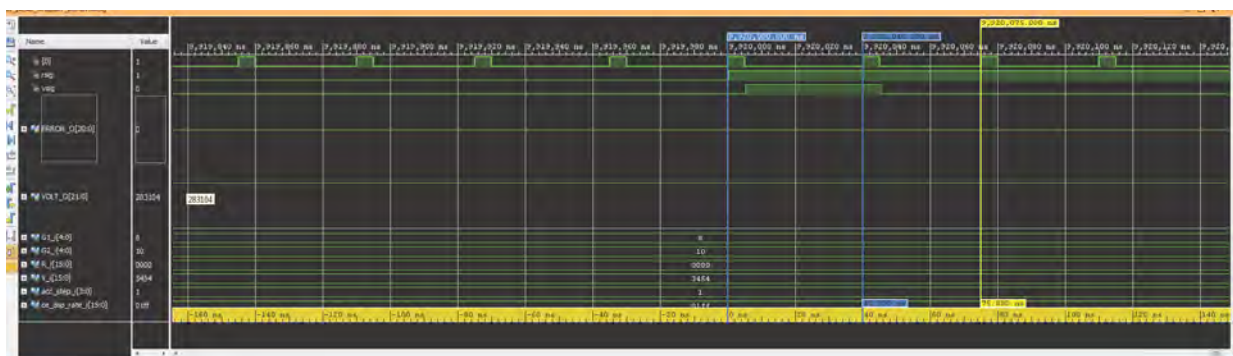


図 6: NCO モードの位相アライメントのシミュレーション波形

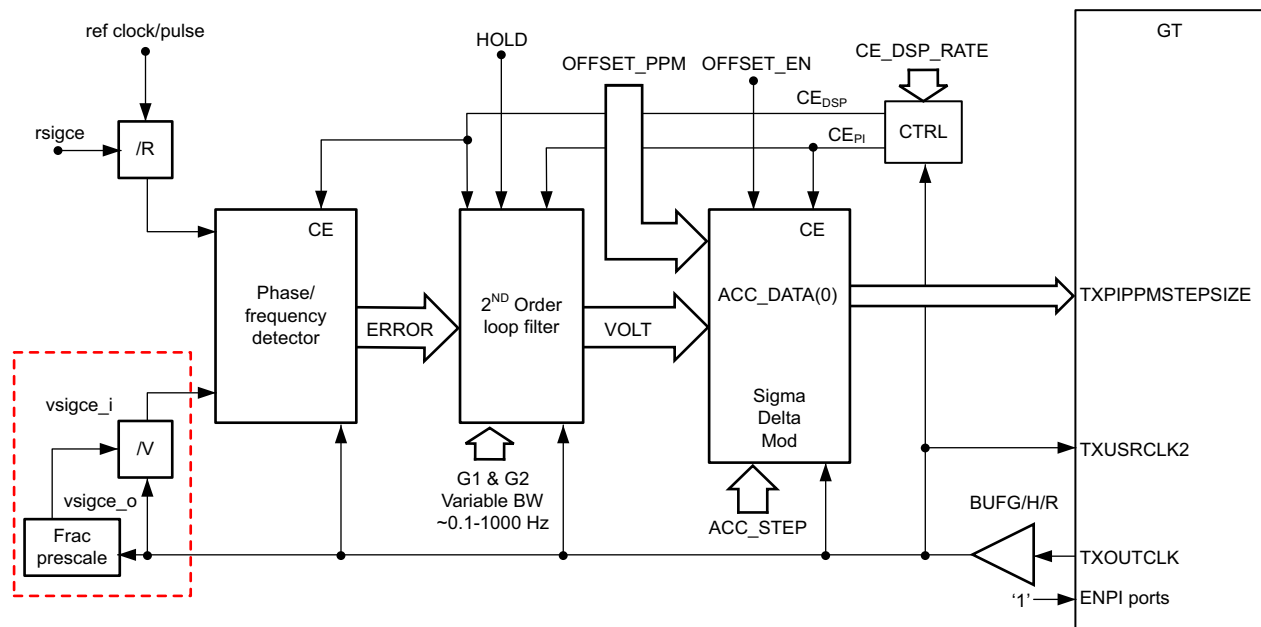
NO_GT システムは 200MHz のクロックで動作するため、出力の 27MHz クロックは 5ns ジッターで確実なクロック レートに平均化されます。NCO DPLL によって生じたジッターがダウンストリームの PICXO で確実にフィルタリングできるようにするには、システム クロック レートの選択が重要です。つまり、システム クロック に使用される周波数は高速であり、かつ生成される 27MHz とは無関係でなければなりません。システム クロック の理論上の最小速度は必要となる出力 レートの 2 倍です。システムがロックする際のヘッドルームを確保するためには、この最小比率を 4 倍にすることを推奨しています。

PICXO アーキテクチャのフラクショナル分周

PICXO IP コアは、ビデオ周波数合成のフラクショナル分周をサポートするために最小限の変更が必要です。図 7 に PICXO アーキテクチャの変更箇所を赤色で示し、表 1 では新しいポートについて説明しています。

最初に、V 分周器にクロック イネーブル (VSIGCE_I) を追加して、この分周器を変調します。

次に、デュアル モジュラス カウンターで実装されたプリスケアラを追加して、TXOUTCLK_I 信号が分数で分周されるようにします。



X18741-020217

図 7: フラクショナル分周をサポートする PICXO アーキテクチャおよび変更箇所

表 1: PICXO ループのパラメーター

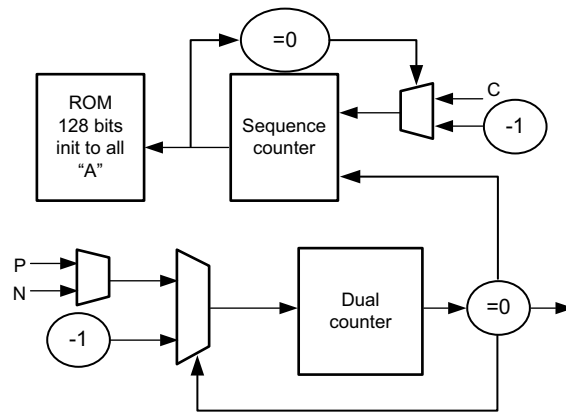
信号名	方向	説明
VSIGCE_I	入力	TXOUTCLK_I 分周器のクロック イネーブル。通常動作時は 1 に接続。 HSYNC モードの場合は、ACC_DATA[0] (NCO) または VSIGCE_O
VSIGCE_O	出力	通常動作の場合、未接続のままにする。 HSYNC モードの場合、VSIGCE_I (PICXO) に接続してフローティング状態のままにする。
C_I[7:0]	入力	プリスケアラの係数。(表 3 および式 1 を参照。)
P_I[9:0]	入力	プリスケアラの係数。(表 3 および式 1 を参照。)
N_I[9:0]	入力	プリスケアラの係数。(表 3 および式 1 を参照。)

図 8 にデュアル モジュラス カウンターのアーキテクチャを示しています。式 1 を使用して入力信号 C_I、N_I、P_I が周波数をプリスケールします。

$$\text{分周比} = ((N+1) * (\text{FLOOR}((C+1)/2, 1)) + (P+1) * (\text{CEILING}((C+1)/2, 1))) / (C+1) \quad \text{式 1}$$

FLOOR および CEILING は、MS Excel の演算子です。

リセット時、シーケンス カウンターには C_I がロードされ、デュアル カウンターには P または N がロードされます (C の値に依存)。デュアル カウンターは P からカウントダウンを開始し、その後に N からカウントダウンを開始します。



X18743-020217

図 8: デュアル モジュラス カウンター

NCO (NO_GT PICXO) の設定例

表 2 に HSYNC - SDI システムで使用可能な設定範囲を示します。この周波数リストでは、ビデオ HSYNC 信号から 27MHz の内部クロック イネーブルを生成可能な設定について説明しています。

表 2: HSYNC から 27MHz を生成するための NO_GT 分周器の設定

規格	フレーム レート	ライン	HSYNC 周波数	HSYNC-> 27MHz	V'	R'	V - 16 進数	R	比較 (kHz)
480i (NTSC)	29.97003	525	15734.2657	1716/1	1716	1	D66	0	7.867
480p (NTSC)	59.9400599	525	31468.5315	858/1	858	1	6B2	0	15.734
576i (PAL)	25	625	15625	1728/1	1728	1	D7E	0	7.813
576p (PAL)	50	625	31250	864/1	864	1	6BE	0	15.625
720p 24	24	750	18000	1500/1	1500	1	BB6	0	9
720p 23.98	23.976024	750	17982.018	3003/2	3003	2	BB9	0	8.991
720p 25	25	750	18750	1440/1	1440	1	B3E	0	9.375
720p 30	30	750	22500	1200/1	1200	1	95E	0	11.25
720p 29.97	29.97003	750	22477.5225	6006/5	6006	5	1774	3	4.496
720p 50	50	750	37500	720/1	720	1	59E	0	18.75
720p 60	60	750	45000	600/1	600	1	4AE	0	22.5
720p 59.94	59.9400599	750	44955.045	3003/5	3003	5	BB9	3	8.991
1080i 50	25	1125	28125	960/1	960	1	77E	0	14.063
1080i 59.94	29.97003	1125	33716.2837	4004/5	4004	5	FA2	3	6.743
1080i 60	30	1125	33750	800/1	800	1	63E	0	16.875
1080p 24	24	1125	27000	1000/1	1000	1	7CE	0	13.5
1080p 23.98	23.976024	1125	26973.027	1001/1	1001	1	7D0	0	13.487
1080p 25	25	1125	28125	960/1	960	1	77E	0	14.063
1080p 30	30	1125	33750	800/1	800	1	63E	0	16.875
1080p 29.97	29.97003	1125	33716.2837	4004/5	4004	5	FA2	3	6.743
1080p 50	50	1125	56250	480/1	480	1	3BE	0	28.125

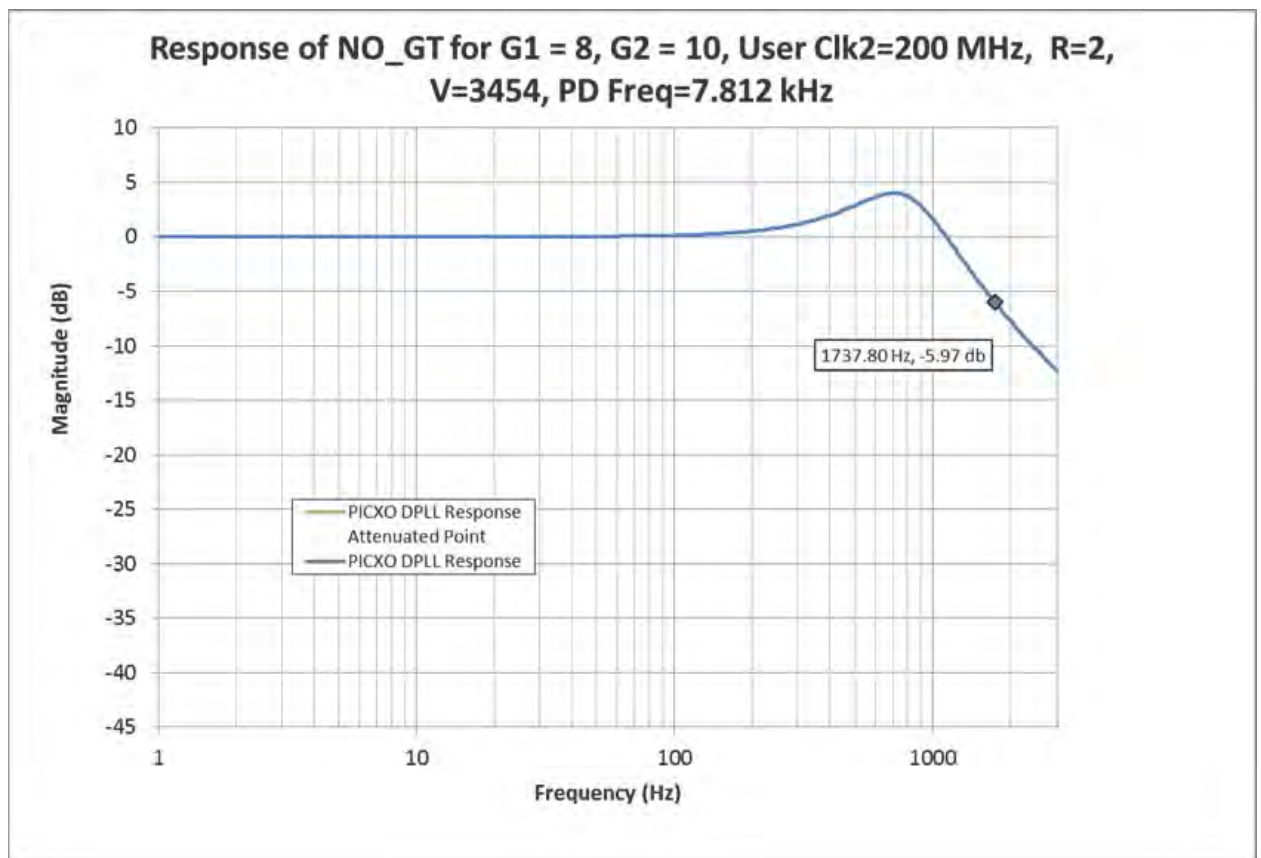
表 2: HSYNC から 27MHz を生成するための NO_GT 分周器の設定 (続き)

規格	フレームレート	ライン	HSYNC 周波数	HSYNC->27MHz	V'	R'	V-16 進数	R	比較 (kHz)
1080p 59.94	59.9400599	1125	67432.5674	2002/5	2002	5	7DO	3	13.487
1080p 60	60	1125	67500	400/1	400	1	31E	0	33.75

[HSYNC->27 MHz] 列には要求される比率を示し、[V'] および [R'] 列にはシステムに適用可能な設定値 (16 進数) を示しています。参考までに位相検出器の比較レートを示しています。図 9 には、次に示すシミュレーションからの設定値を使用した場合の周波数応答を予測するスプレッドシートの出力結果を示しています。

- G2=10d
- G1=8d
- CE_DSP_RATE=01FFh

予測ツールによって、システム内の予測帯域幅に対するガイドが提供されます。帯域幅とピーク値はユーザーが定義できるため、要件に応じて指定可能です。すべての HSYNC 入力設定に対して 1 つのゲイン設定を選択した場合には、すべての NO_GT PLL 設定の安定性を検証する必要があります。



X18742-020217

図 9: 周波数応答

フラクショナルプリスケアラの設定例

フラクショナルプリスケアラはビデオ特有の機能であり、V分周器へクロック イネーブルを提供して、GTからのTXOUTクロックを5.5または5.5/1.001の係数で効果的に分周します。この機能はNCOで生成された27MHzにSDI出力をロックする場合に使用します。この例は、148.5MHzクロックを使用してSDI出力信号を生成する場合についてです。ここでは、V分周器への実効入力レートが27MHzとなるよう5.5分周のプリスケールを使用しています。148.35MHzのクロックに基づいてSDI出力信号を生成する場合には、5.5/1.001分周のプリスケールが使用されます。この場合も、V分周器への実効入力クロックが27MHzであることを意味します。表3に使用した設定値を示します。

表 3: SDI用のフラクショナルプリスケール設定値

プリスケール	P	N	C - 10進数
5.5/1.000	4	5	89
5.5/1.001	4	5	90

PICXOパラメーターを設定して、応答を予測できます。詳細は、『ギガビット トランシーバー アプリケーションにおけるデジタルVCXOの置き換え (UltraScale FPGA)』[参照 4]および『ギガビット トランシーバー アプリケーションにおけるデジタルVCXOの置き換え』[参照 5]を参照してください。

NO_GT NCO DPLLは、2つ目のPICXO GT DPLLよりも速いループ帯域幅に設定することを推奨します。これにより、比較的低い周波数応答でも出力DPLLでクロック イネーブル ジッターを適切にフィルタリング可能になります。

一般的なシステムには、すべてのSDI出力PICXO回路に27MHzのシステムクロックを1つ提供するNO_GT NCO PLLが1つあり、これがターゲットのSDI出力レートを個別に生成できると考えられています。ただし、これによってアプリケーション要件に応じて複数のNO_GT NCO PLLを配置することを回避できるわけではありません。

クロックとリセット

PICXOのリセットおよびクロックに関する一般的な情報は、『ギガビット トランシーバー アプリケーションにおけるデジタルVCXOの置き換え』(XAPP589) [参照 4]および『ギガビット トランシーバー アプリケーションにおけるデジタルVCXOの置き換え (UltraScale FPGA)』(XAPP1241) [参照 5]を参照してください。

NCOモードのPICXOは、図4に示すようにシステムクロックが1つのみ必要です。

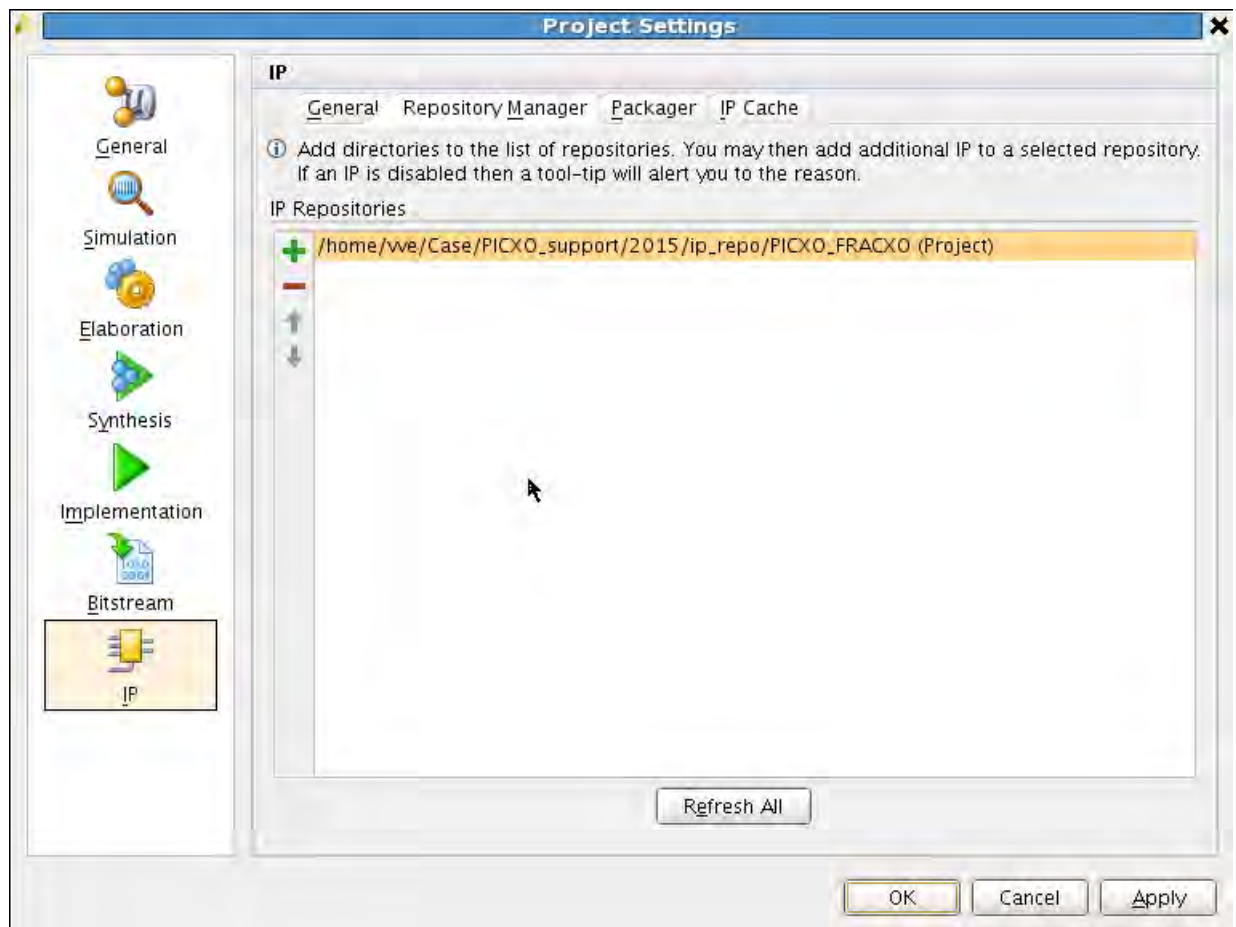
必要条件および制限

必要条件および制限については、『ギガビット トランシーバー アプリケーションにおけるデジタルVCXOの置き換え』(XAPP589) [参照 4]および『ギガビット トランシーバー アプリケーションにおけるデジタルVCXOの置き換え (UltraScale FPGA)』(XAPP1241) [参照 5]を参照してください。

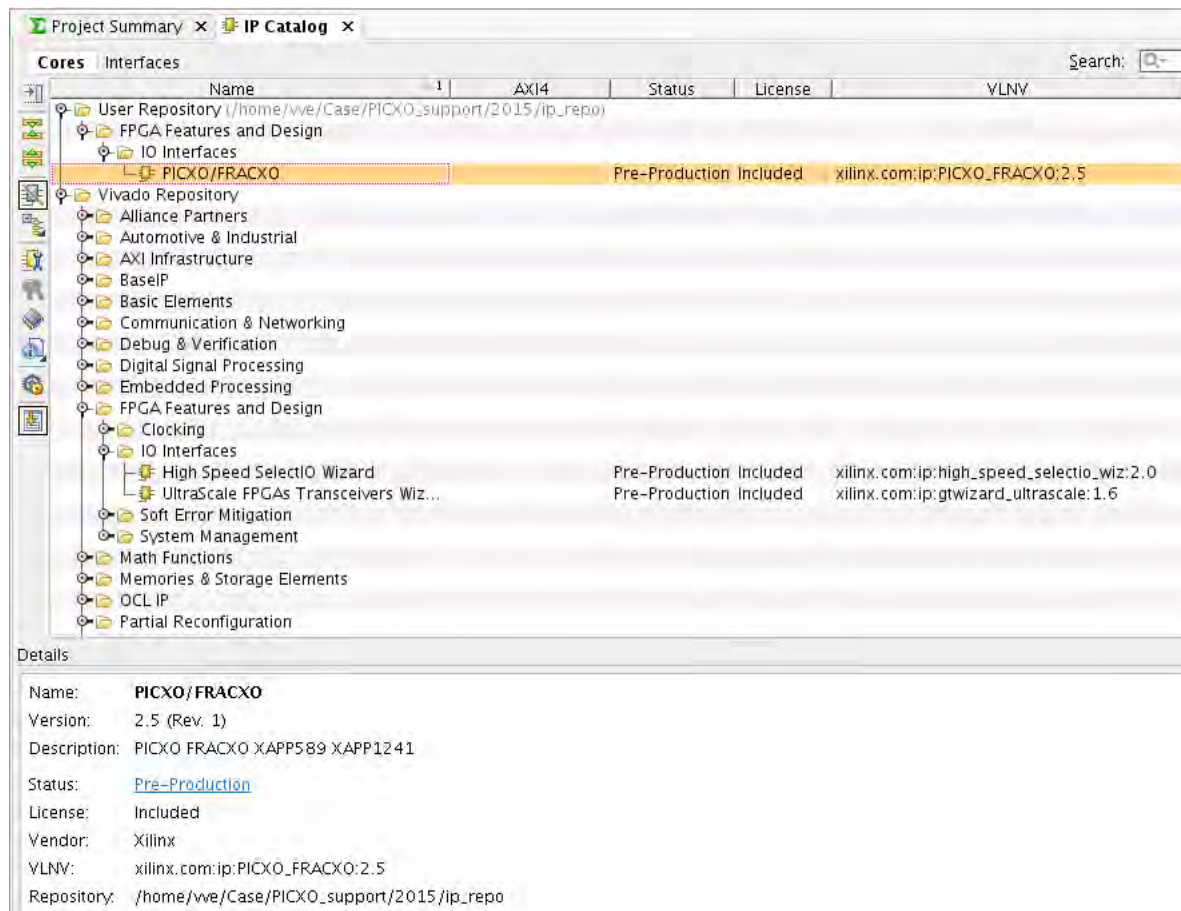
インプリメンテーション

PICXOデザインは、カスタムIPとして提供されています。NCOモードのPICXOをプロジェクトに追加するには、次の手順に従います。

1. ファイルを解凍します。
2. IPリポジトリをプロジェクトに追加します。[Tools] → [Project Options]をクリックして、左側にある[IP]をクリックします。[Add Repository]をクリックして、PICXO_FRACXOフォルダーを選択します。



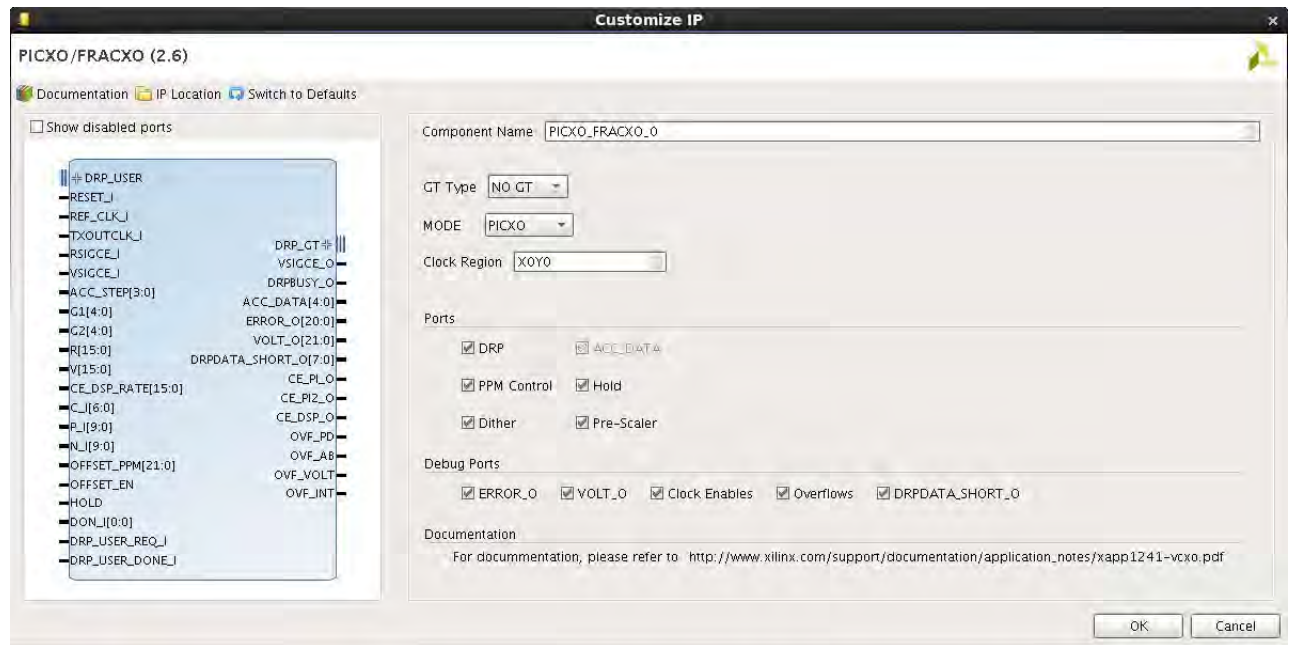
- [IP Catalog] タブをクリックします。PICXO/FRACXO IP は、[FPGA Features and Design] → [IO Interfaces] の下にあります (図参照)。



- [PICXO/FRACXO] を右クリックして [Customize IP] をクリックします。
- IP モジュール名、モード (PICXO)、GT の種類 (NO_GT)、および NCO モードの PICXO が配置されるクロック領域 (XOY0) を選択して [OK] をクリックします。



ヒント: タイミング クロージャの達成を目的とする場合は、PICXO と同じクロック領域または隣接するクロック領域を選択することを推奨します。



6. リファレンス デザインを生成するために、[IP Sources] をクリックして [Generate example design] をクリックします。

リファレンス デザイン

リファレンス デザインは、『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』(XAPP589) [参照 4] および『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え (UltraScale FPGA)』(XAPP1241) [参照 5] で説明されている PICXO リファレンス デザインの上位集合です。GT の種類に [NO GT] を選択した場合、生成されるサンプル デザインには、NCO モードの PICXO が含まれ、これが 2 番目の PICXO を駆動します。NCO PICXO は、リカバリ クロックにロックされた出力を生成します。このリカバリ クロックを使用して、2 番目の PICXO の TXOUTCLK_I 信号をロックします。GT が受信したデータは、単に GT の送信側にループバックされます。

評価目的のために、両方の PICXO は独立した VIO と ILA (Integrated Logic Analyzer) に接続されます。標準 PICXO のサンプル デザインにあるように、PICXO 応答をモニターするために CE_DSP_O 信号が High に遷移すると、VOLT_O と ERROR_O 信号をキャプチャできます。ロックされている場合、ERROR_O 信号は 0 付近で発振するはずですが。

このアプリケーション ノートのリファレンス デザイン ファイルは、次のサイトからダウンロードできます。

japan.xilinx.com/member/vcxoff/index.htm

リファレンス デザインの詳細

表 5 に、リファレンス デザインの詳細を示します。

表 4: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	David Taylor, Matt Klein, Vincent Vendramini
ターゲット デバイス	Kintex [®] -7 XC7K325T FFG900-1 Virtex [®] -7 XC7VX690T FFG1761-2 Artix [®] -7 XC7A200T FBG676C-2 Zynq [®] -7000 AP SoC XC7Z045 FFG900-2 UltraScale [™] XCKU040-2FFVA1156E および XCVU095-2FFVA2104E UltraScale+ XCZU9EG-2FFVB1156、XCKU5P-2、XCVU9P-2
ソース コードの提供	あり
ソース コードの形式	VHDL/Verilog
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、サードパーティからデザインへのコード/IP の使用	あり。ILA、VIO、GT Wizard。『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』(XAPP589) [参照 5] および『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え (UltraScale FPGA)』(XAPP1241) [参照 4]
シミュレーション	
論理シミュレーションの実施	なし
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーション	なし
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール/バージョン	Vivado [®] Design Suite 2016.4
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite 2016.4
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	AC701、KC705、VC709、ZC706、KCU105、VCU108、KCU116、VCU118、ZCU102

表 5 に、このリファレンス デザインのデバイス使用率を示します。

表 5: リファレンス デザインのデバイス使用率と性能

	Artix-7 FPGA	Kintex UltraScale FPGA	Virtex UltraScale+ FPGA
	フルデザイン	フルデザイン	フルデザイン
LUT	6859	5679	5671
レジスタ	9940	8265	8265
使用するスライス/CLB ⁽¹⁾	3147	1548	1537
ブロック RAM	27	27	27
BUFG/BUFHCE	5	4	4
GTP/GTX/GTH/GTY	1	1	1
MMCM	1	0	0

1. 使用するスライス数は、パッキング結果によって異なります。

表 6 に、NCO モードのスタンドアロン PCIXO の統計値と性能予測を示します。

表 6: NCO モードのスタンドアロン PCIXO の統計値と性能予測

ターゲット デバイス	Artix-7 FPGA	Kintex UltraScale FPGA	Virtex UltraScale+ FPGA
LUT	790	796	796
レジスタ	945	945	945
SRL	33	33	33
最大 PICXO クロック レート	スピード グレードに 依存し、TXUSRCLK2 の最大周波数に相当	スピード グレードに依存 し、TXUSRCLK2 の最大 周波数に相当	

Xilinx Documentation Navigator およびデザイン ハブ

Xilinx Documentation Navigator (DocNav) では、ザイリンクスの資料、ビデオ、サポート リソースへアクセスでき、特定の情報を取得するためにフィルター機能や検索機能を利用できます。Xilinx Documentation Navigator を開くには、次のいずれかを実行します。

- Vivado IDE で [Help] → [Documentation and Tutorials] をクリックします。
- Windows で [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [DocNav] をクリックします。
- Linux のコマンド プロンプトに「docnav」と入力します。

ザイリンクス デザイン ハブには、資料やビデオへのリンクがデザイン タスクおよびトピックごとにまとめられており、これらを参照することでキー コンセプトを学び、よくある質問を解決できます。デザイン ハブにアクセスするには、次のいずれかを実行します。

- Xilinx Documentation Navigator で [Design Hubs View] タブをクリックします。
- ザイリンクス ウェブサイトの [デザイン ハブ](#) ページを参照します。

注記: Xilinx Documentation Navigator の詳細は、ザイリンクス ウェブサイトの [Documentation Navigator](#) ページを参照してください。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. [『A Guide to Standard and High-Definition Digital Video Measurements』](#)
2. [『Improving Video Clock Generation in Modern Broadcast Video Systems』](#)
3. [『Timing and Synchronization in Broadcast Video』](#)
4. 『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え (UltraScale FPGA)』 (XAPP1241: [英語版](#)、[日本語版](#))
5. 『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』 (XAPP589: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017 年 4 月 25 日	1.1	「最新ビデオ アプリケーションにおける HSYNC の導入」 セクションを更新。
2017 年 4 月 12 日	1.0	初版。

法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。