



XAPP1311 (v1.0) 2017 年 3 月 31 日

## FPGA でのホット スワップ

著者: Kelby Penney

### 概要

エンド アプリケーションでは通電中のライブ システムに電子機器を装着することが必須要件になる場合があります。一般にこれは「ホット スワップ」または「ホット プラグ」と呼ばれ、「活線挿抜」といわれることもあります。電源が投入され、稼働しているライブ システムを中断することなく電子デバイスを装着するには、ホット スワップに関する基本的な知識が必要です。アプリケーションによっては、こうした要件が大きな課題となることがあります。たとえば、ホット スワップの実行中に I/O の状態を維持する必要があります。性能、信頼性、および処理速度の高いシステムでは、システムを常に稼働状態に保つことが不可欠です。このようなアプリケーションの一例が Redundant Array of Independent Disk (RAID) ストレージ システムです。高い性能でデータの信頼性を確保するこのシステムは、常時通電して稼働状態にする必要があります。もう 1 つの代表的な例が、通電状態のライブ システムに抜き差しできる USB です。

### はじめに

Spartan®-7 FPGA および新しいザイリンクス FPGA では、性能と機能性の重要なバランスが確保されています。ホット スワップ機能は性能に影響を与える可能性があるため、ネイティブでは備えていません。ライブ システム向けに設計する際はこの点に注意が必要です。ここでいうライブ システムとは、電源が投入された状態のシステムです。ザイリンクス FPGA を例に挙げると、FPGA ファミリごとに電源シーケンスに関する固有の推奨事項があり、ホット スワップシーケンスでもその推奨事項に従う必要があります。これらの推奨事項のほかに、ホット スワップ イベントではアプリケーションが有効なシグナル インテグリティ レベルを確保する必要が生じる場合があります。有効なシグナル インテグリティを確保する I/O 要件を満たすには、外部回路が必要になる場合があります。このため、ザイリンクス FPGA のホット スワップ機能を制限する規則と制約を理解しておくことが重要です。ホット スワップが要件である場合、安定した信頼できるシステムを設計するためのハードルは高くなります。このアプリケーション ノートは、ザイリンクス FPGA をホット スワップ アプリケーションで使用する場合の考慮事項を確認するためのチェックリストとして利用できます。

## ザイリンクス FPGA でのホット スワップに関する共通ガイドライン

ホット スワップ チェックリストは、ザイリンクス FPGA でのホット スワップに関する一般的な目安として使用します。各ザイリンクス FPGA ファミリーで要件に多少の違いがあるので注意してください。デバイス固有の要件については、「[デバイス固有のホット スワップ情報](#)」を参照してください。ザイリンクス FPGA はいずれも CMOS I/O 構造が同じですが、構造が異なる古いデバイスも一部存在します。

図 1 に示す CMOS I/O 構造 (対称型/相補型 I/O アーキテクチャ) は、ザイリンクス FPGA の基本的な I/O 構造であり、ほとんどのザイリンクス FPGA に見られるクランプ ダイオードが含まれています。V<sub>CC</sub> とグランドにそれぞれ接続するダイオードが、ザイリンクス FPGA デバイスのすべての SelectIO™ I/O ピンにあります。

クランプ ダイオードの有無を簡単にチェックするには、各デバイスのデータシートで V<sub>IN</sub> の絶対最大仕様定格を確認します。最大仕様が V<sub>CC0</sub> に依存している場合は、デバイスがクランプ ダイオードを備えています。

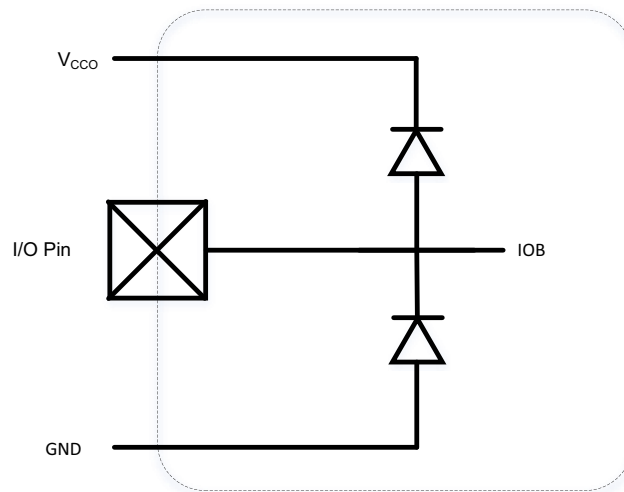


図 1: クランプ ダイオードを備えたザイリンクス FPGA の I/O

ホット スワップ対応システムでザイリンクス FPGA を使用する場合のガイドラインを次に示します。

ホット スワップ チェックリスト

- 「電源シーケンスの推奨事項に従う」
- 「電源シーケンス時およびコンフィギュレーション時の I/O 状態をチェックする」
- 「電源/グラウンド ピン接続を物理的に千鳥配列にする」
- 「外部回路が必要になる場合がある」
- 「ESD から保護する」
- 「IBIS/SPICE でシミュレーションする」

表 1: ザイリンクス FPGA でのホット スワップに関する一般的ガイドライン

ホット スワップのガイドライン	注記	その他の情報
電源シーケンスの推奨事項に従う	電圧ルールによって重要度が異なるため、電源シーケンスには特に注意する必要があります。	デバイス固有のデータシートに記載されている要件。
電源シーケンス時およびコンフィギュレーション時の I/O 状態をチェックする	多目的ピンおよび SSI デバイス固有のピンには、コンフィギュレーション時の制約があります。	ユーザー ガイドに記載されている I/O ステータス (SelectIO、コンフィギュレーション)。コンフィギュレーション時は、PUDC_B ピンによってプルアップ抵抗が有効になります。
電源/グラウンド ピン接続を物理的に千鳥配列にする	グラウンド ピンは一般に物理的に長く、最初に接続されます。その後データピン、電源ピンの順で接続されます。	ザイリンクス固有のガイドラインはなく、アプリケーションによって異なります。
外部回路が必要になる場合がある	ホット スワップ時に I/O の状態の影響を受けやすいアプリケーションでは、外部回路が必要になる場合があります。 プリチャージピンは、突入電流の防止に役立ちます。 データシートの絶対最大値を超えないようにします。 電源の立ち上がりは、ソフトスタート回路で管理できます。 簡易型のホット スワップソリューションとして、Hot Swap Power Manager (HSPM) ASIC を利用できます。	$V_{IN}$ がデータシート記載の最大値を超えないようにします。また、個々のバンク レベルで $I_{IN}$ (I/O 電流) をモニターする必要があります。詳細は、各デバイスのデータシートを参照してください。
ESD から保護する	物理的な PCB デザインと追加の ESD 保護回路が必要となる場合があります。	導電性材料で薄膜のコーティングを行うと、ホット スワップ時の ESD の影響を軽減できます。
IBIS/SPICE でシミュレーションする	I/O キャパシタンスを考慮する必要があります。 シミュレーションによって、ホット スワップ時に生じる I/O への望ましくない影響が明らかになります。	I/O のモデリングおよびシミュレーション用の IBIS モデルと SPICE モデルが、 <a href="#">ザイリンクス ウェブサイト</a> で提供されています。

## デバイス固有のホットスワップ情報

### 7 シリーズ (Spartan-7、Artix®-7、Virtex-7、Kintex-7 FPGA) および Zynq®-7000 AP SoC

ザイリンクスの 28nm テクノロジーデバイスでは、HR (High Range) Select I/O バンクの V<sub>CCO</sub> 電源シーケンスに要件があります。デバイスをホットスワップ対応にするには、この要件を考慮する必要があります。Spartan-7 と Artix-7 には HR バンクしかないので注意してください。



**重要:** HR I/O バンクおよびコンフィギュレーションバンク 0 で V<sub>CCO</sub> が 3.3V の場合は、デバイスの信頼性レベルを維持するために、V<sub>CCO</sub> と V<sub>CCAUX</sub> 間の電圧差が電源投入/切断の各サイクルで T<sub>VCCO2VCCAUX</sub> 時間以上 2.625V を超過しないようにします。

I/O の電圧レベルは、各デバイスのデータシートに記載されている V<sub>IN</sub> 仕様を超えないようにする必要があります。たとえば、Kintex®-7 デバイスの最大 V<sub>IN</sub> 値は「V<sub>CCO</sub> + 0.550」です。V<sub>CCO</sub> が 1.8V の場合、I/O が許容できる最大 V<sub>IN</sub> 値は 1.8V + 0.550 = 2.35V です。

最大のオーバーシュート仕様については、データシートの最初の方にある表から「AC 電圧オーバーシュート/アンダーシュートの V<sub>IN</sub> 最大許容値」を参照してください。オーバーシュート/アンダーシュートが最大仕様を上回っても、短時間であればデバイスが損傷することはありませんが、電圧が長い時間にわたって極端なレベルになるようであれば、AC オーバーシュート/アンダーシュートが最大値になるような設計は推奨していません。



**重要:** 図 1 の構造では、クランプダイオードが I/O に常時存在します。電源が投入されていない可能性があるバンクを駆動すると、クランプダイオードが順方向バイアスになり、デバイスにシンク電流が流れます。データシートの I<sub>IN</sub> 仕様を確認し、I/O 単位およびバンク単位の電流が仕様範囲内となるようにしてください。

デバイスに電源が投入されるまで、I/O の動作は保証されません。

#### Kintex-7 FPGA での電源シーケンスの例

『Kintex-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS182) [参照 3] に記載されている電源シーケンスは次のとおりです。

電源投入時に流れる電流が最小となり、I/O がトリステートとなるように、電源は V<sub>CCINT</sub>、V<sub>CCBRAM</sub>、V<sub>CCAUX</sub>、V<sub>CCAUX\_IO</sub>、V<sub>CCO</sub> の順に投入することを推奨しています。電源切断については逆が適用されます。V<sub>CCINT</sub> および V<sub>CCBRAM</sub> の推奨電圧レベルが同一の場合、これらと同じ電源を使用して同時に立ち上げることができます。V<sub>CCAUX</sub>、V<sub>CCAUX\_IO</sub> および V<sub>CCO</sub> の推奨電圧レベルが同一の場合、同じ電源を使用してそれらを同時に立ち上げることができます。

HR I/O バンクおよびコンフィギュレーションバンク 0 で  $V_{CCO}$  が 3.3V の場合、次の条件が適用されます。

- $V_{CCO}$  と  $V_{CCAUX}$  間の電圧差は、デバイスの信頼性レベルを維持するために電源投入/切断の各サイクルで  $T_{VCCO2VCCAUX}$  時間以上 2.625V を超過しないようにします。
- $T_{VCCO2VCCAUX}$  時間は電源投入と電源切断の間であればいずれの比率も割り当てることができます。

電源投入時に流れる GTX トランシーバーの電流が最小となるように、電源は  $V_{CCINT}$ 、 $V_{MGTAVCC}$ 、 $V_{MGTAVTT}$  の順、または  $V_{MGTAVCC}$ 、 $V_{CCINT}$ 、 $V_{MGTAVTT}$  の順に投入することを推奨します。 $V_{MGTAVCCAUX}$  についてのシーケンス要件はありません。 $V_{MGTAVCC}$  および  $V_{CCINT}$  は同時に立ち上げることができます。電源切断については、電流が最小となるように逆が適用されます。

これらのシーケンス要件が満たされない場合、電源投入および電源切断中に  $V_{MGTAVTT}$  からの電流が仕様よりも大きくなる可能性があります。

- $V_{MGTAVCC}$  よりも先に  $V_{MGTAVTT}$  に電源が投入され、かつ  $V_{MGTAVTT} - V_{MGTAVCC} > 150\text{mV}$  および  $V_{MGTAVCC} < 0.7\text{V}$  の場合、 $V_{MGTAVCC}$  の立ち上がり中に  $V_{MGTAVTT}$  の電流は各トランシーバーで 460mA 増加します。電流が流れる最長時間は、 $0.3 \times T_{MGTAVCC}$  (GND から  $V_{MGTAVCC}$  の 90% までの立ち上がり時間) です。電源切断については逆が適用されます。
- $V_{CCINT}$  よりも先に  $V_{MGTAVTT}$  に電源が投入され、かつ  $V_{MGTAVTT} - V_{CCINT} > 150\text{mV}$  および  $V_{CCINT} < 0.7\text{V}$  の場合、 $V_{CCINT}$  の立ち上がり中に  $V_{MGTAVTT}$  の電流は各トランシーバーで 50mA 増加します。電流が流れる最長時間は、 $0.3 \times T_{VCCINT}$  (GND から  $V_{CCINT}$  の 90% までの立ち上がり時間) です。電源切断については逆が適用されます。

## Virtex-6 FPGA

前述の FPGA と同様に、電源シーケンスの要件が満たされ、かつ I/O を流れる電流が制限されれば、Virtex-6 デバイスはホットスワップ対応できます。

Virtex-6 FPGA は、Virtex-II Pro、Virtex-4、Virtex-5 FPGA と同様に  $V_{CCO}$  へのクランプダイオードがあり、 $V_{IN}$  が  $V_{CCO}$  の前に適用される場合があるため、これらを通過する電流を制限する必要があります。I/O を通過できる最大電流は、データシートに指定されているように 10mA です。

『Virtex-II、Virtex-II Pro、Virtex-4、Virtex-5 デバイスでのホットスワップ』(XAPP251) [参照 7] では、旧 FPGA ファミリでのホットスワップについて説明していますが、これは Virtex-6 デバイスにも適用されます。このアプリケーションノートは、Virtex-6 FPGA を含む、 $V_{CCO}/\text{GND}$  へのクランプダイオードがあるすべてのデバイスに適用されます。

## Spartan-6 FPGA

『Spartan-6 ファミリー概要』(DS160) [参照 2] に記載されているように、Spartan-6 はホット スワップに対応できます。このデバイスは、 $V_{CC0}$  へのクランプダイオードがない特別なデバイスの 1 つです。Spartan-6 FPGA の入力電圧は  $V_{CC0}$  とは関連していません。詳細は、『Spartan-6 FPGA データシート: DC 特性およびスイッチ特性』(DS162) [参照 1] にある表「絶対最大定格」を参照してください。

『Spartan-6 FPGA データシート: DC 特性およびスイッチ特性』(DS162) [参照 1] の表「推奨動作条件」から、I/O には最大 3.95V の電圧を安全に適用できることがわかります。

ダイオードは PCI 規格でのみ利用できます。PCI 規格を使用している場合は、ダイオードが有効になっています。その場合のホット スワップ/ホット プラグの互換性は、通常の規則に従います。つまり、I/O を通過する電流を制限する必要があり、 $V_{IN}$  が絶対最大仕様に従っている必要があります。

## 参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

- 『Spartan-6 FPGA データシート: DC 特性およびスイッチ特性』(DS162: [英語版](#)、[日本語版](#))
- 『Spartan-6 ファミリー概要』(DS160: [英語版](#)、[日本語版](#))
- 『Kintex-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS182: [英語版](#)、[日本語版](#))
- 『Spartan-7 FPGA データシート: DC 特性およびスイッチ特性』(DS189: [英語版](#)、[日本語版](#))
- 『Virtex-7 T/XT FPGA データシート: DC 特性および AC スイッチ特性』(DS183: [英語版](#)、[日本語版](#))
- 『Artix-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS181: [英語版](#)、[日本語版](#))
- 『Virtex-II、Virtex-II Pro、Virtex-4、Virtex-5 デバイスでのホット スワップ』([XAPP251](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017 年 3 月 31 日	1.0	初版

## 法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

### 自動車のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。