



ALL PROGRAMMABLE™

XAPP1313 (v1.0) 2017 年 6 月 14 日

SPI フラッシュとバンク 14 (1.35V) を使用する Spartan-7 FPGA コンフィギュレーション

著者: Randal Kuramoto

概要

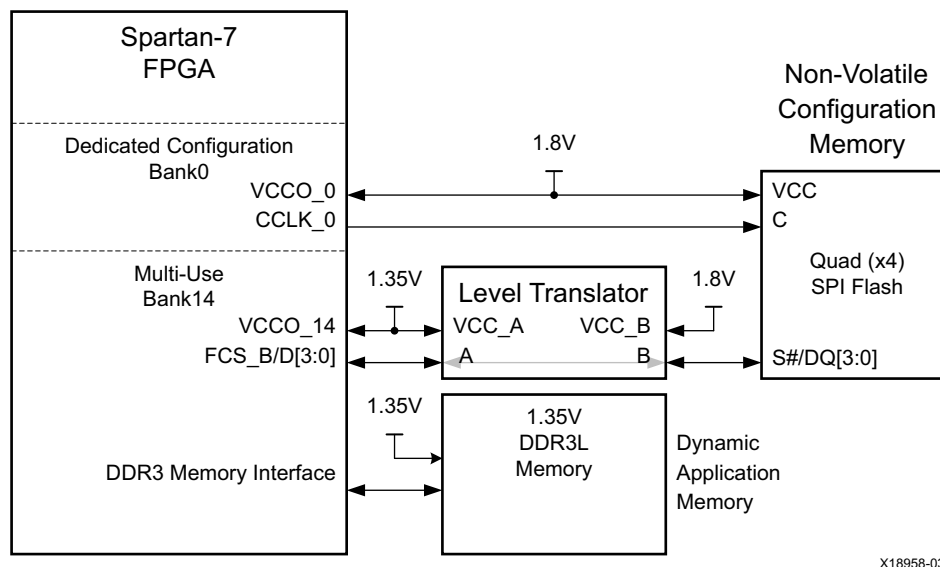
このアプリケーション ノートでは、コンフィギュレーション専用の FPGA I/O バンク 0 (1.8V) と多目的の FPGA I/O バンク 14 (1.35V) に接続された 1.8V のシリアル ペリフェラル インターフェイス (SPI) NOR フラッシュ メモリから Spartan-7 FPGA をコンフィギュレーションする方法について説明します。この方法では、Spartan-7 FPGA のバンク 14 が低電圧の 1.35V DDR3L メモリと少ピン数の SPI コンフィギュレーション ストレージ フラッシュに接続できます。このような電圧の異なる低電圧コンフィギュレーションは一般的ではありません。したがって、データ シートのコンフィギュレーション仕様は適用されず、Vivado® デザイン ツールでもこのコンフィギュレーションはサポートされていません。このアプリケーション ノートでは、この規格外コンフィギュレーションの実装要件、SPI フラッシュのプログラミング方法を含むツールでの対応方法や注意事項について説明します。

標準電圧を使用する Spartan-7 FPGA のコンフィギュレーションの詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) [参照 1] および『SPI フラッシュを使用した 7 シリーズ FPGA のコンフィギュレーション』(XAPP586) [参照 2] を参照してください。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

アプリケーション

多目的の FPGA バンク 14 が 1.35V DDR3L メモリとインターフェイス接続する Spartan-7 FPGA は、[図 1](#) のようにレベル変換器を併用して 1.8V SPI フラッシュ メモリからコンフィギュレーション可能です。



X18958-032417

図 1: 1.8V SPI コンフィギュレーション フラッシュおよび 1.35V DDR3L に接続された Spartan-7 FPGA

このレベル変換器を使用する SPI フラッシュ コンフィギュレーション ソリューションを適用する場合は、Vivado デザインツールの IP カタログから MIG (Memory Interface Generator) を使用する必要があります。バンク 14 以外の FPGA I/O バンクに適用できる 8 または 16 ビット データ幅 (コントローラチップ セレクト ピンなし) の DDR3 メモリ インターフェイスを確認する場合は、『Zynq-7000 AP SoC および 7 シリーズ デバイス メモリ インターフェイス ソリューション ユーザー ガイド』(UG586) [\[参照 3\]](#) を参照してください。

[図 1](#) に示すレベル変換器を使用する SPI フラッシュ コンフィギュレーション ソリューションの実装には次の手順が必要です。

- [「SPI フラッシュの選択」](#)
- [「ボードの設計」](#)
- [「コンフィギュレーション クロック レートの決定」](#)
- [「バンク 14 ピンに 1.35V 対応の I/O 規格を指定」](#)
- [「FPGA ビットストリームの作成」](#)
- [「コンフィギュレーション メモリ ファイルの生成」](#)
- [「SPI フラッシュ メモリのプログラミング」](#)

1.35V DDR3L メモリ インターフェイス ソリューションの実装の詳細は、『Zynq-7000 SoC および 7 シリーズ デバイス メモリ インターフェイス ソリューション』(UG586) [\[参照 3\]](#) を参照してください。

SPI フラッシュの選択

次の手順で Spartan-7 FPGA コンフィギュレーション用の SPI フラッシュを選択します。

1. 表 1 を使用して、メガビット (Mb) 単位で最小のメモリ イメージサイズを決定します。
2. 『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908) [参照 7] を参照して、表 1 の手順 6 で決定した最小のフラッシュ メモリ イメージを格納可能なサポートされている SPI x4 フラッシュ コンフィギュレーション メモリを決定します。

表 1: 最小フラッシュ メモリ サイズの決定

手順	説明	値	単位
1	FPGA ビットストリームの長さを『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』[参照 1] で調べます。		Mb ⁽¹⁾
2	オプションのユーザー アプリケーション データ サイズを決定します。		Mb
3	ビットストリームの長さ (手順 1) とユーザー データ サイズ (手順 2) を合計します。		Mb
4	手順 3 の合計値をメガビット値に切り上げます。これが各コンフィギュレーション イメージ (オプションのユーザー データを含む) の最小サイズとなります。		Mb
5	フラッシュ メモリ内のコンフィギュレーション イメージ空間の数を指定します。 <ul style="list-style-type: none"> • シンプルな 1 つの FPGA コンフィギュレーションに 1 つ指定します。 • マルチブート - フォールバック FPGA コンフィギュレーション ソリューションの場合、マルチブート アップデート イメージとフォールバックの正常なゴールデン イメージに別々のコンフィギュレーション イメージ空間が必要になるため、2 つ指定します。マルチブート - フォールバック イメージおよび追加のタイマー イメージ用のデータ空間の詳細は、『7 シリーズ FPGA および SPI を使用するマルチブート』(XAPP1247) [参照 4] を参照してください。 		(整数)
6	手順 4 の繰り上げ値に対して、手順 5 のフラッシュ メモリのコンフィギュレーション イメージ空間の数を掛けます。この値がフラッシュ メモリの最小サイズになります。		Mb

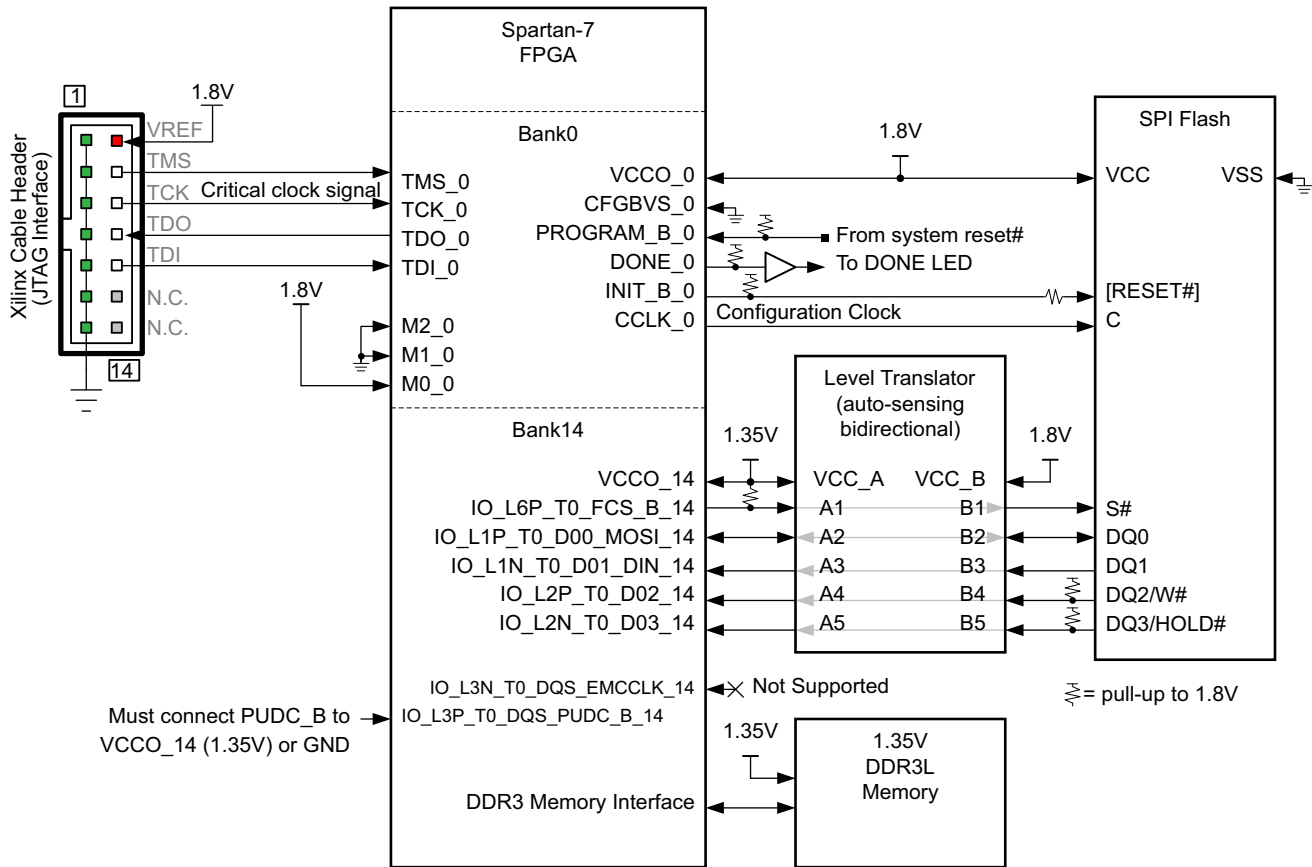
注記:

1. 1 メガビット (Mb) は 2^{20} ビットです。

このアプリケーション ノートのリファレンス デザインには、4 ビット幅データ バスでのデータ転送をサポートする SPI x4 フラッシュ (クワッドまたはマルチ I/O SPI フラッシュとも呼ばれる) が含まれています。これらの SPI x4 フラッシュ デバイスでは、2 本のデータ ラインで各方向 1 ビット幅のシリアル (x1) データを転送する SPI バス規格に、2 本のデータ ラインを追加することで、通常の転送を拡張します。これにより、2 本の既存データ ラインと追加データ ラインで 4 ビット幅 (x4) データ バスを構成して、どちらかの方向に 4 ビット幅データ転送が可能になります。

ボードの設計

図 2 に関連する FPGA コンフィギュレーション ピンの接続を示し、表 2 でそれらのピンについて説明しています。



X18957-051717

図 2: FPGA と SPI フラッシュのコンフィギュレーション回路図

表 2: FPGA コンフィギュレーション ピンの説明と接続

FPGA のピン名_バンク番号	FPGA ピンの方向	ピンの説明とボード接続
VCCO_0	(電源)	FPGA のコンフィギュレーション専用バンク 0 の I/O 電源ピン。 重要: 必ず 1.8V へ接続する。
VCCO_14	(電源)	FPGA の多目的バンク 14 の I/O 電源ピン。 1.35V へ接続。
CFGBVS_0	入力	バンク 0 用のコンフィギュレーションバンク電圧セレクト入力。 1.8V バンク 0 の I/O でコンフィギュレーションする場合は、GND に接続する。
M2_0、M1_0、M0_0	入力	コンフィギュレーションモード。 SPI コンフィギュレーションモードの場合は、M[2:0] = 001 に設定する。
TCK_0	入力	JTAG テストクロック入力。 JTAG ケーブルコネクタの TCK ピンに接続する。重要な JTAG クロック信号。クロック信号の適切なボードデザインとレイアウトの規則に従う。
TMS_0	入力	JTAG テストモードセレクト入力。 JTAG ケーブルコネクタの TMS ピンに接続する。

表 2: FPGA コンフィギュレーション ピンの説明と接続 (続き)

FPGA のピン名_バンク番号	FPGA ピンの方向	ピンの説明とボード接続
TDI_0	入力	JTAG テスト データ入力。 JTAG ケーブル コネクタの TDL ピンに接続、または Spartan-7 FPGA が複数デバイスの JTAG デイジー チェーン内に含まれる場合は、チェーン内の前のデバイスの TDO ピンに接続する。
TDO_0	出力	JTAG テスト データ出力。 JTAG ケーブル コネクタの TDO ピンに接続、または Spartan-7 FPGA が複数デバイスの JTAG デイジー チェーン内に含まれる場合は、チェーン内の次のデバイスの TDI ピンに接続する。
PROGRAM_B_0	入力	アクティブ Low のコンフィギュレーション リセット入力ピン。 外付けの 4.7kΩ 抵抗を介して V _{CCO_0} (1.8V) へ接続する。
INIT_B_0	双方向: 入力および オープンドレイン出力。	アクティブ Low のコンフィギュレーション初期化またはエラー ステータス出力ピン。 SPI フラッシュに専用のアクティブ Low の RESET# ピンがある場合は、0Ω 抵抗を介して INIT_B を SPI フラッシュの RESET# ピンに接続することを推奨。これにより、新たな FPGA コンフィギュレーションが開始されると常に、SPI フラッシュがいかなるアクティビティからも確実にリセットされる。ほとんどの代替 SPI フラッシュ デバイスには専用の RESET# ピンがないため、0Ω 抵抗で INIT_B ピンを SPI フラッシュ ピンから分離可能。 また、INIT_B が Low の場合に FPGA コンフィギュレーションの初期化またはエラーを示す LED を駆動するためにバッファへ接続することを推奨する。
DONE_0	双方向: 入力および オープンドレイン出力。	コンフィギュレーション完了ステータスの出力ピン。 DONE ピンには弱い内部プルアップ抵抗がある。High から Low への立ち上がり時間が最大に設定されている外部回路に DONE ピンが接続されている場合は、V _{CCO_0} (1.8V) に外付けの抵抗 (例: 330Ω) を追加して High から Low への立ち上がり時間を短くする必要がある。 また、DONE ピンが High に遷移したときに FPGA コンフィギュレーションの完了を示す LED を駆動するためにバッファへ接続することを推奨する。
CCLK_0	出力	コンフィギュレーション クロック出力ピン。 SPI フラッシュのクロック (C) 入力ピンへ接続。クリーンな立ち上がり/立ち下がりエッジを確保するために、クロック信号の適切なボード デザインとレイアウトの規則に従う。
IO_L6P_T0_FCS_B_14	出力	アクティブ Low の SPI フラッシュ チップ セレクト (FCS_B) 出力。 レベル変換器を介して SPI フラッシュ チップ セレクト (S#) ピンに接続し、デフォルトで SPI フラッシュの選択を解除する場合は、外付けの 2kΩ 抵抗を接続して 1.35V にプルアップする。
IO_L1P_T0_D00_MOSI_14	双方向	標準 SPI バス、MOSI (Master-Output Slave Input) 信号。SPI バスのクワッド SPI 読み出し拡張の場合は、クワッド (x4) データバスビット 0 (DQ0) 入力となる。 自動検出の双方向レベル変換器を介して SPI フラッシュ DQ0 ピンへ接続する。
IO_L1N_T0_D01_DIN_14	入力	標準 SPI バス、マスター データ入力 (DIN)、スレーブ出力信号。SPI バスのクワッド SPI 読み出し拡張の場合は、クワッド (x4) データバスビット 1 (DQ1) 入力となる。 レベル変換器を介して SPI フラッシュの DQ1 ピンへ接続する。
IO_L2P_T0_D02_14	入力	SPI バスのクワッド SPI 読み出し拡張の場合は、クワッド (x4) データバスビット 2 (DQ2) 入力となる。 レベル変換器を介して SPI フラッシュ DQ2 ピンに接続する。SPI フラッシュのアクティブ Low の書き込み保護機能を無効にする場合は SPI フラッシュ DQ2 ピンに外付けの 2kΩ 抵抗を接続して 1.8V にプルアップする。

表 2: FPGA コンフィギュレーション ピンの説明と接続 (続き)

FPGA のピン名_バンク番号	FPGA ピンの方向	ピンの説明とボード接続
IO_L2N_T0_D03_14	入力	SPI バスのクワッド SPI フラッシュ読み出し拡張の場合は、クワッド (x4) データバス ビット 3 入力となる。 レベル変換器を介して SPI フラッシュ DQ3 ピンに接続する。SPI フラッシュのアクティブ Low の HOLD 機能を無効にする場合は SPI フラッシュ DQ3 ピンに外付けの 2kΩ 抵抗を接続して 1.8V にプルアップする。
IO_L3P_T0_DQS_PUDC_B_14	入力	コンフィギュレーション中の内部 SelectIO のプルアップに対するアクティブ Low のイネーブル信号。 FPGA コンフィギュレーションの前および途中で、FPGA の SelectIO 内部プルアップを有効または無効にするかによって、GND または VCCO_0 (1.8V) のいずれかに接続する必要がある。
IO_L3N_T0_DQS_EMCCCLK_14	入力	外部マスター コンフィギュレーション クロック (EMCCCLK) ソース機能は、VCCO が 1.35V の場合にはサポートされない。

注記: DDR3 メモリ インターフェイスのピン配置の詳細は『Zynq-7000 AP SoC および 7 シリーズ デバイス メモリ インターフェイス ソリューション ユーザー ガイド』(UG586) [参照 3] を参照し、ボード デザインのガイドラインは『7 シリーズ FPGA PCB デザイン ガイド』(UG483) [参照 5] を参照してください。

コンフィギュレーション クロック レートの決定

コンフィギュレーション開始時のクロックレートは、『Spartan-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS189) [参照 6] に F_{MCCK_START} として指定されており、約 3MHz です。FPGA は、この開始クロックレートで SPI フラッシュに読み出しコマンドを送信し、SPI フラッシュからコンフィギュレーションビットストリームを読み出します。デフォルトでは、FPGA はこのクロックレートと同じレートで SPI のデータ読み出し動作にクロックを供給し続けますが、残りのビットストリーム転送に対しては、ビットストリームの最初のコマンドで、Vivado デザイン ツールの BITSTREAM.CONFIG.CONFIGRATE プロパティで指定した異なるレートにオンザフライで変更するよう FPGA に命令できます。有効なコンフィギュレーションレートは、3 (デフォルト)、6、9、12、16、22、26、33、40、50、66 です。これらは公称周波数 (MHz) です。FPGA からの実際の CCLK 周波数は、『Spartan-7 FPGA データシート: DC 特性および AC スイッチ特性』[参照 6] にある許容範囲 ($F_{MCCKTOL}$) により、公称値とは異なる場合があります。表 3 を使用して、最大のコンフィギュレーションレートと標準のコンフィギュレーション時間を計算できます。

表 3: 最大コンフィギュレーション レートの計算

手順	手順の説明	値	単位	例 ⁽¹⁾
	BITSTREAM.CONFIG.CONFIGRATE の最大値の計算			
1	SPI フラッシュ クロックの Low から出力が有効になるまでの時間 (t_{CLQV}) を指定します。		ns	6.0
2	電圧レベル変換器のプッシュ / プル信号伝搬遅延時間を指定します。		ns	9.9
3	この FPGA D[03:00] セットアップタイム (3.5ns) を使用します。	3.5	ns	3.5
4	次の 2 つのボード トレースの伝搬遅延時間の合計を計算します。 <ul style="list-style-type: none"> FPGA CCLK 出力ピンから SPI フラッシュ C 入力ピン。 SPI フラッシュ DQ 出力ピンからレベル変換器まで、およびレベル変換器から FPGA D[n] 入力ピンまでの最も長いデータ信号パス。 1 インチあたりのトレース遅延を 165ps と仮定すると、SPI フラッシュが FPGA から 3 インチまたはそれより近くにある場合、上記の合計は約 1.0ns となります。		ns	1.0
5	1、2、3、および 4 の合計。Vivado ツールで BITSTREAM.CONFIG.SPI_FALL_EDGE プロパティが Yes に設定されている場合には、この値が最小の CCLK 周期となります。		ns	20.4
6	最大 CCLK 周波数 = 1/(手順 5 の合計)。		MHz、最大	49
7	該当する場合は、レベル変換器の最大プッシュ / プル信号データ レートを指定します。		Mb/s、最大	30

表 3: 最大コンフィギュレーションレートの計算 (続き)

手順	手順の説明	値	単位	例 ⁽¹⁾
8	手順 6 と手順 7 から該当する値の小さい方を選択します。		MHz、最大	30
9	標準 CCLK に対するマスター モードの周波数偏差 (F _{MCCKTOL}) を指定します。		%	50
10	最大コンフィギュレーションレート設定 ≤ [(手順 8) * 100%] / [100% + (手順 9)]。		MHz、標準	20
11	有効な CONFIGRATE の設定値 (3、6、9、12、16、22、26、33、40、50、または 66) から ≤ (ライン 10) となる値を選択します。		MHz、標準	16
コンフィギュレーション時間の計算				
12	『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) [参照 1] からビットストリームの長さを指定します。		ビット	4,310,752
13	標準コンフィギュレーション時間 ~ = (手順 12) / (手順 11) / 1,000,000 / サイクルあたりの 4 ビット ⁽²⁾		秒、標準	0.067

注記:

- 例で示す値は、Spartan-7 XC7S6 FPGA、SPI フラッシュ、そして 1.35V 変換のタイミングが 1.2V ~ 1.5V の仕様で補間される TXS0108E レベル変換器を使用した場合です。
- Vivado デザイン ツールの BITSTREAM.GENERAL.COMPRESS プロパティを TRUE に設定し、潜在的にビットストリームの長さを短くしているため、コンフィギュレーション時間が標準より短くなります。

注記: このアプリケーション (バンク 14 = 1.35V) では、バンク 14 の EMCCLK ピンからのクロック ソースを使用する外部のマスター コンフィギュレーション クロック機能をサポートしていません。対応するビットストリーム プロパティ BITSTREAM.CONFIG.EXTMASTERCLK_EN はデフォルト設定 (DISABLE) のままにしておく必要があります。Vivado デザイン ツールでは、これ以外の設定すべてを未サポートの I/O 電圧エラーとしてフラグし、ビットストリームを生成しません。

バンク 14 ピンに 1.35V 対応の I/O 規格を指定

メモリ インターフェイス ジェネレーターは、メモリ インターフェイス ピン用に適切なピン プロパティを生成する必要があります。SPI フラッシュ メモリへアクセスするためのピンを含む、FPGA デザインのバンク 14 にあるその他のユーザー指定ピンには、LVCMOS135 I/O 規格がないため、SSTL135_R I/O 規格などの 1.35V 対応の I/O 規格を使用する必要があります。次に例を示します。

```
set_property IOSTANDARD SSTL135_R [get_ports FCS_B]
```

FPGA ビットストリームの作成

このコンフィギュレーション ソリューションで動作するビットストリームには、次の Vivado デザイン ツールのプロパティが必要です。

```
set_property CONFIG_VOLTAGE 1.8 [current_design]
set_property CFGBVS GND [current_design]
```

コンフィギュレーション時間を短縮するには、次のように Vivado デザイン ツールのプロパティを設定してください。

```
set_property BITSTREAM.CONFIG.SPI_FALL_EDGE YES [current_design]
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
set_property BITSTREAM.CONFIG.CONFIGRATE rate [current_design]
```

(rate = 表 3 の手順 11 の CONFIGRATE)

```
set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]
```

マルチブート - フォールバック コンフィギュレーション用に次のプロパティが設定されている場合 (『7 シリーズ FPGA および SPI を使用するマルチブート』(XAPP1247) [参照 4] 参照) は、バイト アドレス値が ≥ 2²⁴ となります。これは、Spartan-7 FPGA デザインではほぼあり得ません。

```
set_property BITSTREAM.CONFIG.NEXT_CONFIG_ADDR address [current_design]
```

32 ビット アドレス値をサポートするには、次の Vivado デザイン ツールプロパティ設定も必要です。

```
set_property BITSTREAM.CONFIG.SPI_32BIT_ADDR YES [current_design]
```

6 ページの「[コンフィギュレーション クロックレートの決定](#)」で説明したとおり、外部のマスター コンフィギュレーション クロック (EMCCLK) 機能はサポートされていないため、次の Vivado デザイン ツール プロパティはデフォルト設定のままにしておく必要があります。

```
set_property BITSTREAM.CONFIG.EXTMASTERCCLK_EN DISABLE [current_design]
```

コンフィギュレーション メモリ ファイルの生成

ビットストリームからコンフィギュレーション メモリ ファイルを生成する Vivado デザイン ツールの手順は、『[Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ](#)』(UG908) [\[参照 7\]](#) を参照してください。マルチブート - フォールバックコンフィギュレーションに関しては、『[7 シリーズ FPGA および SPI を使用するマルチブート](#)』(XAPP1247) [\[参照 4\]](#) の write_cfgmem の例も参照してください。

FPGA ビットストリームを 1 つのみ含むシンプルなコンフィギュレーション メモリ ファイルを生成する場合、Vivado デザイン ツールの Tcl コマンドの例は次のとおりです。

```
write_cfgmem -force -format mcs -interface spix4 -size spi_flash_size
-loadbit "up 0 filename.bit" -file filename.mcs
```

説明:

-interface spix4 = BITSTREAM.CONFIG.SPI_BUSWIDTH と関連 (上記参照)

spi_flash_size = 整数の SPI フラッシュ サイズ (メガビット)

filename.bit = 入力ビットストリーム ファイル

filename.mcs = 出力コンフィギュレーション メモリ ファイル (MCS 形式)

SPI フラッシュ メモリのプログラミング

Vivado デザイン ツールは、Spartan-7 FPGA への JTAG ケーブル接続を使用して、SPI コンフィギュレーションフラッシュにコンフィギュレーション メモリ ファイルのコンテンツを間接的にプログラムできます。Vivado デザイン ツールは通常、SPI フラッシュの間接プログラム用に FPGA をセットアップするために FPGA コンフィギュレーションをクリアします。その後 FPGA JTAG ポートを介して FPGA の SPI フラッシュ インターフェイスから、あらかじめ構築されたビットストリームを FPGA へダウンロードします。ただし、SPI フラッシュの間接プログラム用に Vivado デザイン ツールであらかじめ構築されたビットストリームは、『[7 シリーズ FPGA コンフィギュレーション ユーザー ガイド](#)』(UG470) [\[参照 1\]](#) で指定されている標準のコンフィギュレーション インターフェイス電圧 (3.3V、2.5V、1.8V、または 1.5V) しかサポートしません。このため、1.35V のバンク 14 へ接続された SPI フラッシュの間接プログラムでは、特別な構築済みビットストリームをダウンロードする手順が必要です。この手順は次のとおりです。

前提条件:

- ホスト PC に Vivado デザイン ツールまたはラボ ツールがインストールされている。
- このアプリケーション ノートのリファレンス デザインがホスト PC のディレクトリに解凍されている。
- ホスト PC と Spartan-7 FPGA 搭載ターゲット ボードが JTAG ケーブルで接続されている。
- ターゲット ボードに電源が投入されている。

手順:

1. リファレンス デザイン ファイルが含まれているディレクトリで Vivado デザイン ツールを起動します。
2. ハードウェア マネージャーの表示方法およびハードウェア ターゲットへの接続方法は、『[Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ](#)』(UG908) [\[参照 7\]](#) を参照してください。
3. Vivado のハードウェア マネージャーの [Hardware] ウィンドウで、JTAG チェーン内にある Spartan-7 FPGA を特定します。Spartan-7 デバイスは、[図 3](#) のように「xc7s50_0」として認識できます。

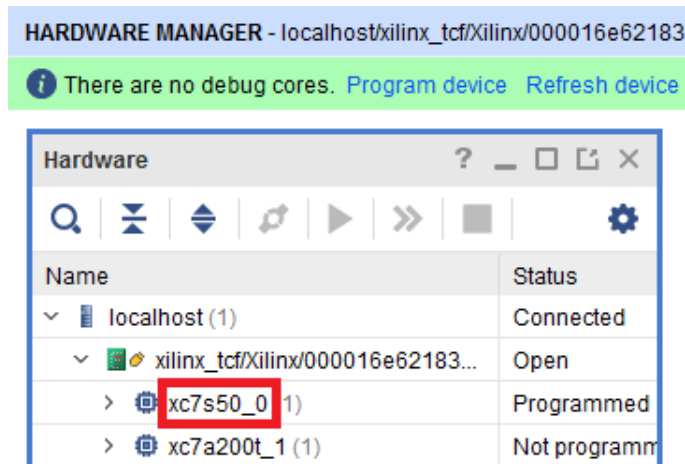


図 3: Vivado ハードウェア マネージャーの JTAG チェーン内にあるデバイス表示

4. ハードウェア マネージャーのみを閉じて、Vivado デザイン ツールは開いたままにします。
5. Vivado Tcl コンソールのコマンド ラインで `vivado_spartan7_135Vbank14_program_spi_flash.tcl` スクリプトを実行します。

```
source vivado_spartan7_135Vbank14_program_spi_flash.tcl
```

6. Vivado デザイン ツールで次の Tcl コマンドを実行します。

```
vivado_spartan7_135Vbank14_program_spi_flash device filename.mcs
```

説明:

device = 手順 3 で特定した Spartan-7 FPGA デバイス (例: xc7s50_0)

filename.mcs = SPI フラッシュにプログラムされるコンフィギュレーション メモリ ファイル



重要: 特別な構築済みビットストリームを扱うこの手順は、バンク 14 に 1.8V 以下の電圧が供給される Spartan-7 FPGA にのみ使用できます。

新しいボードの起動およびデバッグ

適切な電源電圧および基本接続に関する最初のボード チェックの後、新しいボードと SPI フラッシュ コンフィギュレーション ソリューションに関して次のチェック項目があります。

1. ボードに電源を投入します。SPI フラッシュが空であることを確認し、次を確認します。
 - a. DONE ピン = Low
 - b. INIT_B ピン = High。最初の電源投入でわずかな瞬間 (2 ~ 50ms) Low となり、その後 High に遷移する。

いずれの結果も現れない場合は、電源供給および Spartan-7 FPGA の回路接続を再確認してください。
2. JTAG ケーブルを接続し、Vivado ハードウェア マネージャーを使用して JTAG チェーン内のデバイスを検出します。『Vivado Design Suite ユーザー ガイド : プログラムおよびデバッグ』(UG908) [参照 7] を参照してください。
 - a. JTAG チェーン内のデバイスの 1 つは、必ず Spartan-7 FPGA である必要があります。
 - b. ハードウェア マネージャーで [Refresh Device] 操作を複数回繰り返して、同じ結果 (例: 同じデバイスが JTAG チェーン内に表示され、デバイス IDCODE 値が同じ) になることを確認します。

いずれの結果も現れない場合は、JTAG ケーブル接続および JTAG コネクタと信号回路図を再確認し、また JTAG 信号のオープン/ショート、JTAG TCK 信号のシグナル インテグリティの問題をチェックします。

3. Vivado ハードウェア マネージャーを使用して、シンプルなテスト ビットストリームで Spartan-7 FPGA をプログラムします。ビットストリームのプログラム完了後、DONE ピンが High に遷移したことを確認します。
4. 8 ページの「SPI フラッシュ メモリのプログラミング」の特別な手順を使用して、コンフィギュレーション メモリ ファイルからのビットストリームで SPI フラッシュ メモリをプログラムします。
 - a. SPI フラッシュのプログラミングプロセスでは DONE ピンが High に遷移したことを確認します。
 - b. FPGA PROGRAM_B ピンをパルスするか、電源を一旦切断して再度投入し、表 3 で計算したコンフィギュレーション時間が経過した後に DONE ピンが High に遷移していることを確認します。

いずれの結果も現れない場合は、FPGA M[2:0] ピンが SPI コンフィギュレーション モード 001 に設定されていることを確認、Vivado ハードウェア マネージャーを使用して Spartan-7 FPGA コンフィギュレーション ステータスレジスタの値を確認、SPI フラッシュ ピンをプローブして予想される CCLK および FCS_B 信号のビヘイビアを確認、SPI フラッシュ データ ピンをプローブして予想されるコマンドとデータを確認、CCLK 信号をプローブしてシグナル インテグリティの問題を確認、またはデフォルト コンフィギュレーション レート用に設定されたシンプルな SPI x1 モード ビットストリームで SPI フラッシュのプログラミングを繰り返し実行してください。

リファレンス デザイン

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。表 4 に、リファレンス デザインの詳細を示します。

表 4: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Randal Kuramoto
ターゲット デバイス	Spartan-7 FPGA
ソース コードの提供	なし
ソース コードの形式	なし
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	なし
シミュレーション	
論理シミュレーションの実施	なし
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	なし
テスト ベンチの形式	なし
使用したシミュレータ/バージョン	なし
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	なし
使用したインプリメンテーション ツール/バージョン	Vivado デザイン ツール 2017.1
スタティック タイミング解析の実施	あり。サンプルハードウェアのコンフィギュレーションレートのタイミング解析は、表 3 の例に示すように実行されました。
ハードウェア検証	

表 4: リファレンス デザインの詳細 (続き)

パラメーター	説明
ハードウェア検証の実施	あり。基本コンフィギュレーションと SPI フラッシュの間接プログラムの機能は、室温で TXS0108E レベル変換器を使用して図 2 のように実装されたサンプルハードウェア上で検証されました。
使用したハードウェアプラットフォーム	内部のザイリンクス テスト ボード

まとめ

このアプリケーション ノートでは、コンフィギュレーション専用の FPGA I/O バンク 0 (1.8V) と多目的の FPGA I/O バンク 14 (1.35V) に接続された 1.8V のシリアルペリフェラル インターフェイス (SPI) NOR フラッシュ メモリから Spartan®-7 FPGA をコンフィギュレーションする方法を説明しました。

FPGA のバンク 14 へ 1.5V DDR3 メモリ インターフェイス接続が必要なアプリケーションには、このアプリケーション ノートで説明する方法を適用できます。

- 「SPI フラッシュの選択」
 - 「ボードの設計」
 - 1.8V SPI フラッシュ
 - FPGA バンク 0、 $V_{CC0_0} = 1.8V$
 - FPGA バンク 14、 $V_{CC0_14} = 1.5V$
 - FPGA バンク 14 と 1.8V SPI フラッシュ間の信号に対する自動検知の双方向レベル変換器
- 注記: FPGA EMCCLK 機能は、1.5V コンフィギュレーションでサポートされています。
- 「コンフィギュレーション クロック レートの決定」
 - このアプリケーション ノートからの同じタイミング ガイドラインを適用する。
 - 「バンク 14 ピンに 1.35V 対応の I/O 規格を指定」
 - CONFIG_VOLTAGE プロパティ = 1.5
 - CFGBVS プロパティ = GND
 - ユーザー定義ピン用の FPGA バンク 14 I/O 規格 = LVCMOS15
 - 「FPGA ビットストリームの作成」
 - 「コンフィギュレーション メモリ ファイルの生成」
 - 「SPI フラッシュ メモリのプログラミング」
 - このアプリケーション ノートで説明するとおり、同じインストラクションとファイルを使用する。

参考資料

このアプリケーション ノートの参考資料は次のとおりです。

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470: [英語版](#)、[日本語版](#))
2. 『SPI フラッシュを使用した 7 シリーズ FPGA のコンフィギュレーション』(XAPP586: [英語版](#)、[日本語版](#))
3. 『Zynq-7000 AP SoC および 7 シリーズ デバイス メモリ インターフェイス ソリューション ユーザー ガイド』(UG586: [英語版](#)、[日本語版](#))
4. 『7 シリーズ FPGA および SPI を使用するマルチブート』(XAPP1247: [英語版](#)、[日本語版](#))

5. 『7 シリーズ FPGA PCB デザイン ガイド』(UG483: [英語版](#)、[日本語版](#))
6. 『Spartan-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS189: [英語版](#)、[日本語版](#))
7. 『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2017年6月14日	1.0	初版。

お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。