



XAPP1315 (v1.0) 2017 年 4 月 15 日

逓倍クロックを使用するソース同期の 7:1 シリアライズおよびデシリアライズ

著者: Ed McGettigan, Kavitha Nagarajan

概要

ザイリンクスの UltraScale™ FPGA および UltraScale+™ FPGA には、シリアライザーとデシリアライザー回路の設計をシンプルにする ISERDESE3 および OSERDESE3 コンポーネント モード プリミティブが備わっています。

このアプリケーション ノートでは、UltraScale および UltraScale+ の HP I/O と HR I/O で 7:1 データを送受信するためのコンポーネント モード ソリューションについて説明します。ここでは、低電圧差動信号 (LVDS) を使用して 7:1 データを送受信するために ISERDESE3 および OSERDESE3 プリミティブを MMCM (ミックスド モード クロック マネージャー) または PLL (位相ロック ループ) と併用し、HP I/O でラインあたり 415Mb/s ~ 1,100Mb/s、HR I/O で 1,000Mb/s のデータ伝送速度を達成する方法を説明します。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

レシーバーの概要

[図 1](#) および [図 2](#) に示すような 1:7 インターフェイス (図では 5 ライン インターフェイス) は、テレビやブルーレイプレーヤーなどの民生機器においてコンポーネント間でデータを送受信する際のビデオ処理に幅広く使用されています。通常、1 つのビデオ チャンネルには 5 つの LVDS データ ラインと 1 つの LVDS クロック ラインがあります。最新型テレビでは、十分なビデオ帯域幅を確保するために複数のチャンネル (通常は 4 または 8 チャンネル) を使用できます。[図 1](#) および [図 2](#) に示すように、ラインごとのデータ フレーミングには 2 つの方法があります。

このアプリケーション ノートには、単一チャンネル デザインと複数チャンネル デザインの両方に対応するリファレンス デザインが付属しています。チャンネルごとに 1 つのピクセル クロックがあり、各チャンネルは 1 つのクロック逓倍回路 (MMCM または PLL) を使用します。レシーバーでは、チャンネルごとの LVDS データ ライン数をパラメーター指定できます。また、受信データのデータ フレーミング タイプ (PER_CLOCK または PER_LINE) も変数で決まります。

同一チャンネルのラインはすべて同じバンク内に含める必要があります。各バンクは、1 つの MMCM と 2 つの PLL の組み合わせを使用してチャンネルを 3 つまでサポートします。チャンネル内のすべてのデータ ラインの内部クロックを生成する入力ピクセル クロックは、グローバル クロック 兼用 I/O ピンに割り当てる必要があります。

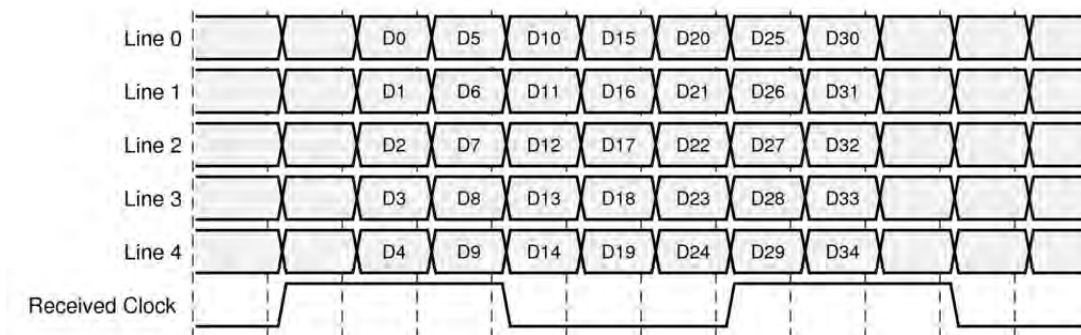


図 1: 低速の転送クロックを使用する入力データ ストリーム (PER_CLOCK オプション指定)

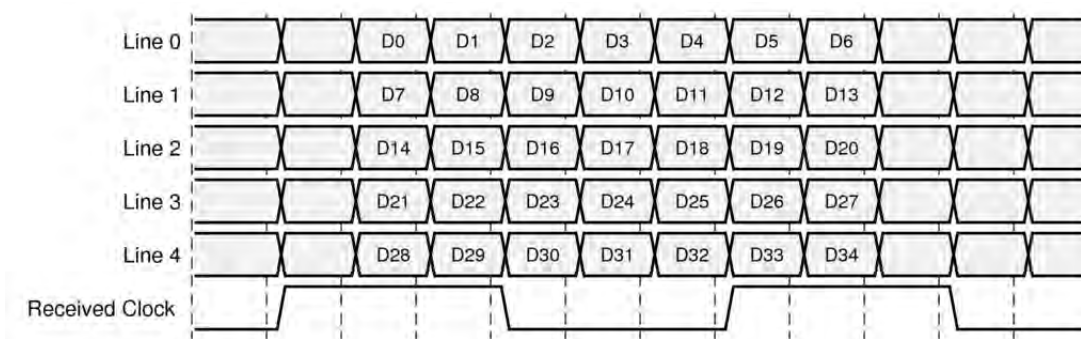


図 2: 低速の転送クロックを使用する入力データ ストリーム (PER_LINE オプション指定)

1:7 デシリアライズとデータ受信

受信データ ストリームは入力クロック レートの倍数 (x7) で、クロック信号は受信データのフレーミング信号として使用されます。データラインのステートは、クロックの 1 周期間で 7 回変化します。代表的な例として、カメラ、フラットパネルテレビ、モニターなどで使用される 7:1 インターフェイスがあります。

レシーバーでは、ISERDESE3 が 1:8 DDR モードで使用され、8:7 分散 RAM ベースのギアボックス (図 3 参照) を用いて入力データ ストリームがデシリアライズおよびアラインされます。このインプリメンテーションには、1/2 レート サンプリング クロック (rx_clkdiv2)、1/8 レート デシリアライズ データ クロック (rx_clkdiv8)、および元のレシーバー ソース クロックと同じ 1/7 ピクセル クロック (px_clk) の 3 つのクロック ドメインが必要です。

レシーバー ソース クロックは、VCO 周波数範囲を満たした上で MMCM または PLL で 7 または 14 通倍された後、1/2 レート サンプリング クロック (rx_clkdiv2) を生成する場合は 2 分周され、ファブリック ピクセル クロック (px_clk) を生成する場合は 7 分周されます。1/8 レート デシリアライズ データ クロック (rx_clkdiv8) は、ISERDESE3 CLK 入力と CLKDIV 入力間のクロック スキューを最小限にするために BUFGE_DIV を使用して、1/2 レート サンプリング クロックの MMCM または PLL 出力から生成されます。

入力ピクセル クロックは、MMCM または PLL に直接配線されるだけでなく、IDELAYE3 エlement を介して 2 つの ISERDESE3 にも接続されます (図 3 参照)。2 番目の IDELAYE3 と ISERDESE3 を使用できる理由は、入力規格が LVDS (差動入力) であるためです。IBUFDS_DIFF_OUT を使用すると、関連付けられた両方の遅延 Element と差動入力を接続できます。

マスター遅延の初期遅延は0に設定されます。スレーブ遅延は、1/2ビット周期だけオフセットされるように設定されます。キャリブレーションステートマシンは、遅延のインクリメント、サンプリング、マスタービットとスレーブビットの比較によって、DDR サンプリングクロックに最適な遅延を決定します。このプロセスが完了すると、キャリブレーションされた遅延値がチャンネル内のすべてのデータラインに伝搬されます。この時点でキャリブレーションステートマシンが完了し、これ以上は調整されません。

データワードアライメントと8:7変換はギアボックス内で管理され、まずピクセルクロックデータラインに対して決定された後、残りのデータラインに伝搬されます。

図3に、レシーバーのインプリメンテーション図を示します。

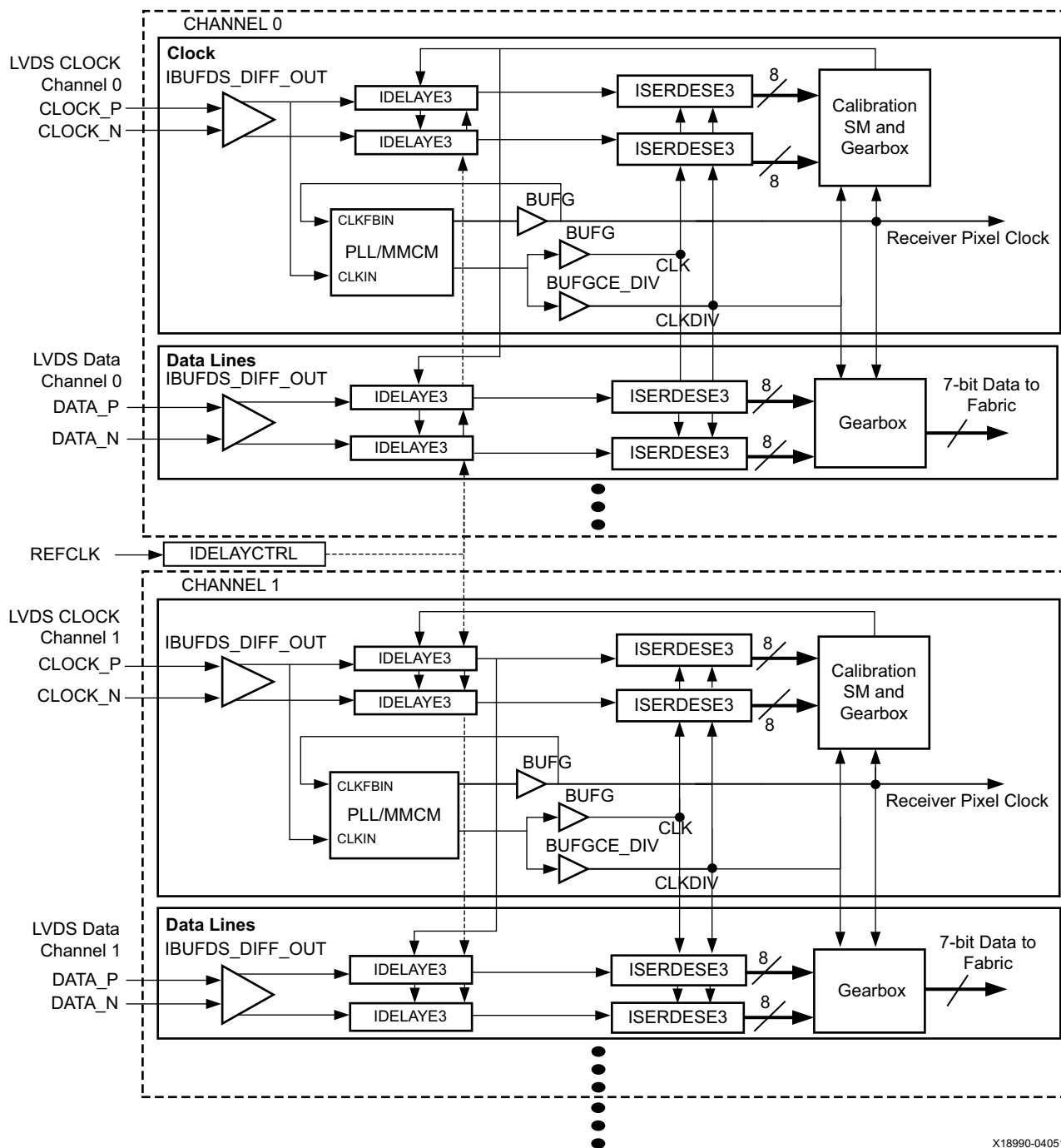


図3: データ受信

ポートおよび属性 (レシーバー)

表 1 に、レシーバー デザインのポートを示します。

表 1: ポート: rx_channel_1to7

ポート	I/O	説明
clk_in_p/clk_in_n	入力	差動クロック入力
data_in_p/data_in_n[n:0]	入力	差動データ入力バス
reset	入力	非同期インターフェイスリセット
idelay_rdy	入力	非同期 IDELAYCTRL の Ready 信号
cmt_locked	出力	MMCM/PLL ロックステータス
px_clk	出力	ピクセルクロック
px_data[n:0]	出力	ピクセルデータバス
px_ready	出力	ピクセルデータの Ready 信号

表 2 に、レシーバー デザインの属性を示します。

表 2: 属性: rx_channel_1to7

属性	デフォルト	説明
LINES	5	入力データラインの数
CLKIN_PERIOD	6.600	入力クロックのクロック周期 (ns)
REF_FREQ	300	IDELAYCTRL に適用される基準クロック周波数 (MHz)
USE_PLL	FALSE	MMCM ではなく PLL の使用を有効化。オプション: TRUE、FALSE
DATA_FORMAT	PER_CLOCK	px_data バスのデータフォーマット (図 1 および図 2 参照) オプション: PER_CLOCK、PER_LINE
CLK_PATTERN	7'b1100011	アライメント用の 7 ビット クロック パターン。例: 7'b1100011
RX_SWAP_MASK	16'b0	PCB 配線を容易にするために、ラインごとに DATAIN 入力の反転を許可。 例: 5'b00000: 0: 反転なし 1: 反転
DIFF_TERM	FALSE	内部差動終端を有効化。オプション: TRUE、FALSE

レシーバー デザインの留意事項

このリファレンス デザインを使用する際には、デザインに関する次の留意事項に対処してください。

- ISERDESE3 の CLK ポートと CLKDIV ポート間のスキューが大きすぎると、ファブリック インターフェイスでレシーバー データのアライメント エラーが発生する可能性があります。スキューを最小限にするため、CLK と CLKDIV は同じ MMCM/PLL クロック出力から派生させます (図 3 参照)。

さらにスキューを削減するには、CLOCK_DELAY_GROUP 制約を使用する必要があります。次に、XDC 制約の例を示します。

この制約は、rx_channel_1to7 モジュールごとに固有にする必要があります。制約には固有名 (例: ioclockGroup_rx1) と正しい階層インスタンス名 (例: rx_channel1) を付けてください。

```
set_property CLOCK_DELAY_GROUP ioclockGroup_rx1 [get_nets {rx_channel1/rx_clkdiv*}]
```

- レシーバー内のパスの中には、同期を取る必要がないものもあります。タイミング クロージヤを達成するため、このようなパスはフォルス パスとしてマークしてください。次に、XDC 制約の例を示します。rx_channel_1to7 モジュールに対する正しい階層インスタンス名 (例: rx_channel1) を使用してください。

```
set_false_path -to [get_pins {rx_channel1/rxc_gen/iserdes_m/D}]
set_false_path -to [get_pins {rx_channel1/rxc_gen/iserdes_s/D}]
set_false_path -to [get_pins {rx_channel1/rxc_gen/px_reset_sync_reg[*]/PRE}]
set_false_path -to [get_pins {rx_channel1/rxc_gen/px_rx_ready_sync_reg[*]/CLR}]
set_false_path -to [get_pins {rx_channel1/rxc_gen/px_data_reg[*]/D}]
set_false_path -to [get_pins {rx_channel1/rxc_gen/px_rd_last_reg[*]/D}]
set_false_path -to [get_pins {rx_channel1/rxd[*].sipo/px_data_reg[*]/D}]
set_false_path -to [get_pins {rx_channel1/rxd[*].sipo/px_rd_last_reg[*]/D}]
```

- キャリブレーション アルゴリズムがビット時を正しく読み取るには、デザインの最上位で IDELAYCTRL ブロックをインスタンス化し、その RDY 出力を各 rx_channel_7to1 インスタンス化の idelay_rdy ポートに接続する必要があります。次に、インスタンス化の例を示します。IDELAYCTRL ブロックには 200 ~ 800MHz のクロック入力が必要です。このクロックの周波数 (MHz) は、rx_channel_7to1 ブロックに対する REF_FREQ 属性の値として指定されます。

rx_channel_7to1 インスタンス化への非同期リセットがリリースされ、レシーバーの MMCM/PLL がロックされたら、IDELAYCTRL ブロックのリセット (RST) をディアサートする必要があります。

```
//
// Idelay control block
//
IDELAYCTRL #( // Instantiate input delay control block
    .SIM_DEVICE ("ULTRASCALE"))
    icontrol (
        .REFCLK (clk300_g), // reference clock to IDELAYCTRL (Range = 200.0 to 800.0 Mhz)

        .RST (idly_reset_int), //asynchronous reset to IDELAYCTRL
        .RDY (rx_idelay_rdy) //connect to idelay_rdy port of all rx_channel_7to1
    instantiations
    );
assign idly_reset_int = rx_reset | !rx1_cmt_locked | !rx2_cmt_locked;
```

リセット シーケンス

次のリセット シーケンスが必要です。

- rx_channel_1to7 のリセットをディアサートする。
- MMCM/PLL のロックがアサートされるまで待つ。
- IDELAYCTRL のリセットをディアサートする。
- px_ready のアサートで px_data 出力バスが有効になる。

シリアルライズとデータ送信

必要な出力用の転送クロックとデータストリームは同じタイミングでステートを変更するため、同一の送信クロックから生成されます。この例には、カメラやフラットパネルテレビ、モニターで 사용되는 7:1 インターフェイスがあります (図 4 および図 5 参照)。レシーバーと同様、データフレーミングも PER_CLOCK または PER_LINE にできます。このリファレンスデザインでは、どちらのオプションでも選択できます。

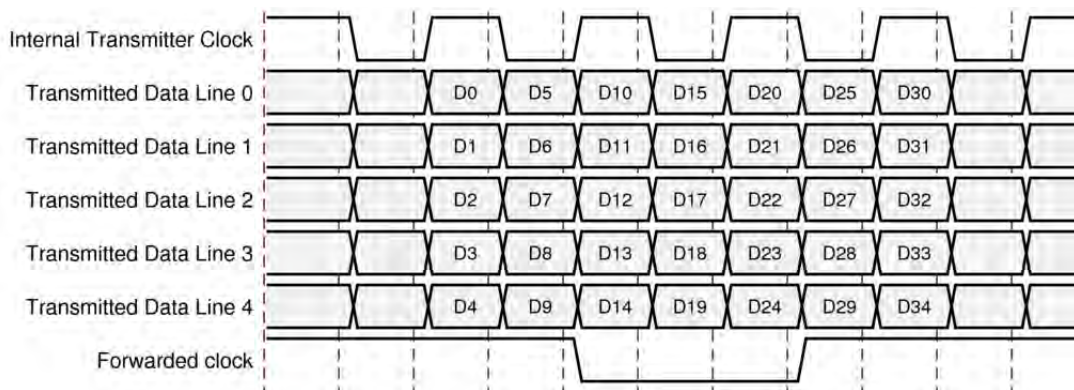


図 4: 低速の転送クロックを使用する出力データストリーム (PER_CLOCK オプション指定)

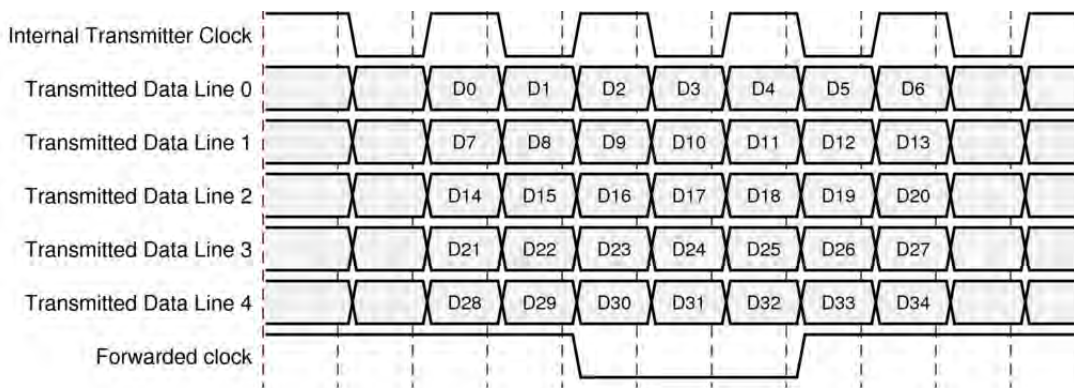


図 5: 低速の転送クロックを使用する出力データストリーム (PER_LINE オプション指定)

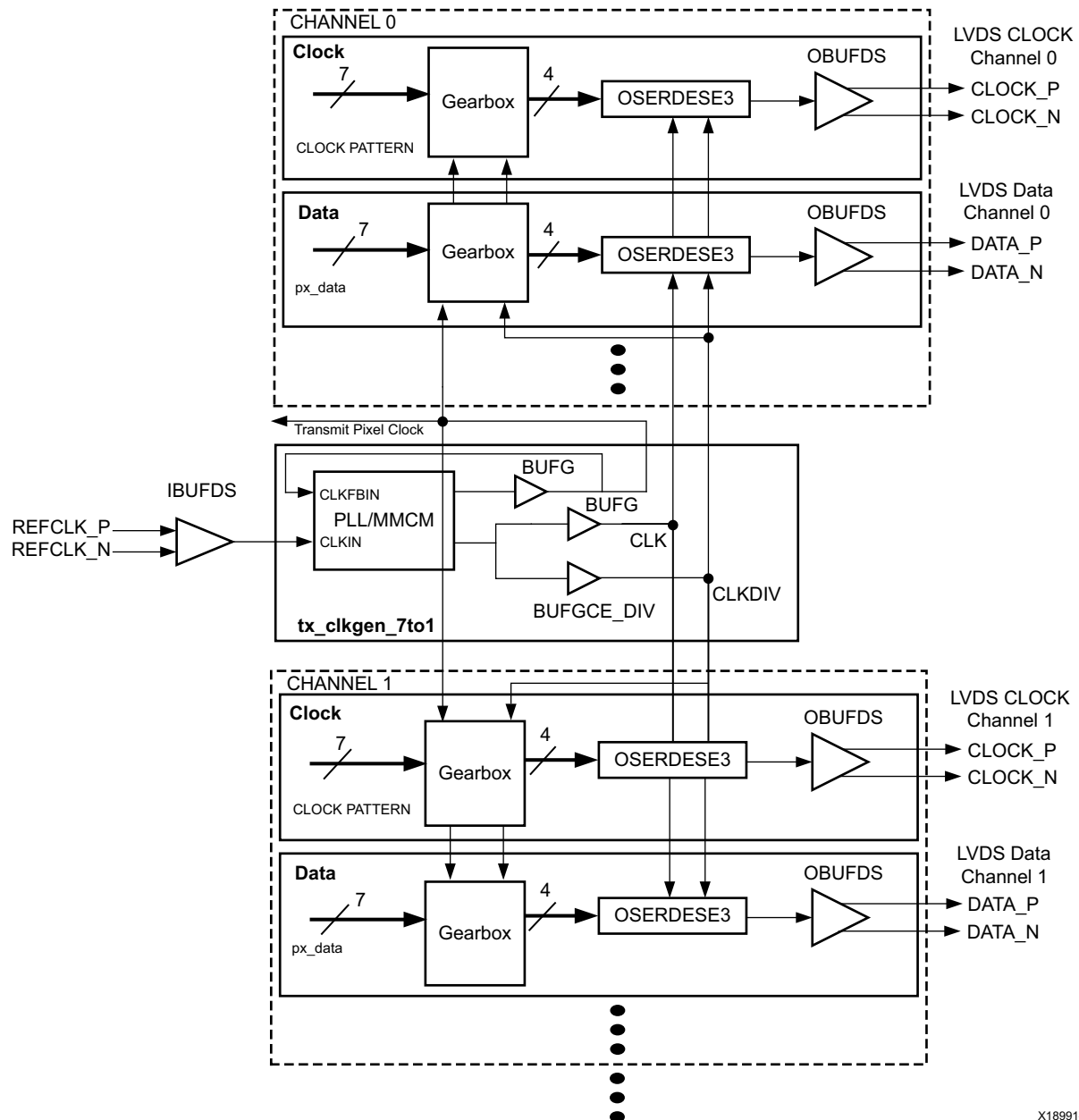
UltraScale および UltraScale+ FPGA でのデータ送信

送信データストリームは入力クロックレートの倍数 ($\times 7$) で、クロック信号は送信データのフレーミング信号として使用されます。データラインのステートは、クロックの 1 周期間で 7 回変化します。代表的な例として、カメラ、フラットパネルテレビ、モニターなどで使用される 7:1 インターフェイスがあります。

トランスミッターは 7:4 分散 RAM ベースのギアボックスと OSERDESE3 を 4:1 DDR モードで使用して (図 6 参照)、出力データをシリアルライズします。このインプリメンテーションには、1/2 レート送信クロック (tx_clkdiv2)、1/4 レート送信データクロック (tx_clkdiv4)、および元のトランスミッターソースクロックと同じ 1/7 ピクセルクロック (px_clock) の 3 つのクロックドメインが必要です。

トランスミッターソースクロックは、VCO周波数範囲を満たした上でMMCMまたはPLLで7または14通倍された後、1/2レート送信クロック(tx_clkdiv2)を生成する場合は2分周され、ファブリックピクセルクロック(px_clk)を生成する場合は7分周されます。1/4レート送信データクロック(tx_clkdiv4)は、OSERDESE3 CLK入力とCLKDIV入力間のクロックスキューを最小限にするためにBUFGCE_DIVを使用して、1/2レート送信クロックのMMCMまたはPLL出力から生成されます。

同一デザイン内で複数の送信チャンネルが同じデータレートで動作している場合は、チャンネル間で1つのMMCM/PLLとグローバルクロックネットワークを共有できます。



X18991-040517

図 6: データ送信

ポートおよび属性 (トランスミッター)

表 3 に、トランスミッター チャンネルのポート (tx_channel_7to1.v) を示します。

表 3: ポート: tx_channel_7to1.v

ポート	I/O	説明
tx_clk_p/tx_clk_n	出力	差動クロック出力
tx_out_p/tx_out_n[n:0]	出力	差動データ出力バス
px_data[n:0]	入力	ピクセル データ バス、px_clk に同期
px_reset	入力	ピクセル ロジックのリセット、px_clk に同期
px_clk	入力	1/7 送信レートで動作するピクセル クロック
tx_clkdiv2	入力	1/2 送信レートで動作する送信クロック (OSERDESE3 への CLK 入力)
tx_clkdiv4	入力	1/4 送信レートで動作する送信クロック (OSERDESE3 への CLKDIV 入力)

表 4 に、トランスミッター チャンネルの属性 (tx_channel_7to1.v) を示します。

表 4: 属性: tx_channel_7to1.v

属性	デフォルト	説明
LINES	5	出力データ ラインの数
DATA_FORMAT	PER_CLOCK	px_data バスのデータ フォーマット (図 4 および 図 5 参照) オプション: PER_CLOCK、PER_LINE
CLK_PATTERN	7'b11000111	出力クロックのビット パターン。例: 7'b1100011
TX_SWAP_MASK	16'b0	PCB 配線を容易にするために、ラインごとに DATAOUT 出力の反転を許可。 例: 5'b000000: 0: 反転なし 1: 反転

表 5 に、トランスミッター クロック ジェネレーターのポート (tx_clkgen_7to1.v) を示します。

表 5: ポート: tx_clkgen_7to1.v

ポート	I/O	説明
clk_in	入力	送信ピクセル クロック
reset	入力	非同期インターフェイス リセット
px_clk	出力	1/7 送信レートで動作するピクセル クロック
tx_clkdiv2	出力	送信クロック 2 分周 (px_clk * 3.50)
tx_clkdiv4	出力	送信クロック 4 分周 (px_clk * 1.75)
cmt_locked	出力	MMCM/PLL ロック出力

表 6 に、トランスミッター クロック ジェネレーターの属性 (tx_clkgen_7to1.v) を示します。

表 6: 属性: tx_clkgen_7to1.v

属性	デフォルト	説明
CLKIN_PERIOD	6.600	送信クロックのクロック周期 (ns)
USE_PLL	FALSE	MMCM ではなく PLL の使用を有効化。オプション: TRUE、FALSE

トランスミッター デザインの留意事項

このリファレンス デザインを使用する際には、デザインに関する次の留意事項に対処してください。

- OSERDESE3 の CLK ポートと CLKDIV ポート間のスキューが大きすぎると、送信データのアライメント エラーが発生する可能性があります。スキューを最小限にするため、リファレンス デザインでは CLK と CLKDIV は同じ MMCM/PLL クロック出力から派生させます (図 6 参照)。

さらにスキューを減らすには、CLOCK_DELAY_GROUP 制約を使用する必要があります。次に、XDC 制約の例を示します。正しい階層インスタンス名 (例: tx_clkgen_7to_1 モジュールの場合は tx_clkgen) を使用してください。複数の tx_clkgen_7to1 モジュールを使用する場合は、モジュールごとに固有の制約名 (例: ioclockGroup_tx) を付けてください。

```
set_property CLOCK_DELAY_GROUP ioclockGroup_tx [get_nets -of [get_pins
tx_clkgen/bg_txdiv2/O]]
set_property CLOCK_DELAY_GROUP ioclockGroup_tx [get_nets -of [get_pins
tx_clkgen/bg_txdiv4/O]]
```

- トランスミッター内のパスの中には、同期を取る必要がないものもあります。タイミング クロージャを達成するため、このようなパスはフォールス パスとしてマークしてください。次に、XDC 制約の例を示します。正しい階層インスタンス名 (例: tx_channel_1to7 モジュールの場合は tx_channel1) を使用してください。

```
set_false_path -to [get_pins {tx_channel1/tx_enable_sync_reg[*]/CLR}]
set_false_path -to [get_pins {tx_channel1/txc_piso/tx_data_reg[*]/D}]
set_false_path -to [get_pins {tx_channel1/txc_piso/rd_last_reg[*]/D}]
set_false_path -to [get_pins {tx_channel1/txd[*].piso/tx_data_reg[*]/D}]
set_false_path -to [get_pins {tx_channel1/txd[*].piso/rd_last_reg[*]/D}]
```

リセット シーケンス

次のリセット シーケンスが必要です。

- MMCM/PLL のリセットをディアサートする (tx_clkgen_7to1.v)。
- MMCM/PLL のロックがアサートされるまで待つ。
- MMCM/PLL ロック出力を反転して px_clock に同期し、各 tx_channel_7to1 のリセット入力に適用する。

リファレンス デザイン

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできません。ファイルは Verilog のみで提供されています。

それぞれのファイル名は、ここで説明した手法の図中に記載されています。フラットパネル ディスプレイやカメラで利用される 7:1 インターフェイス用の最上位ファイルおよびタイミング制約のサンプルも含まれています。

表 7 に、リファレンス デザインに含まれるファイルを示します。

表 7: リファレンス デザイン ファイル

/Verilog_src	/Verilog_sim	/Verilog_example
tx_channel_7to1.v	test_txx_0525m.v	top_txx_0525m.v
tx_clkgen_7to1.v	test_txx_1050m.v	top_txx_0525.xdc
tx_piso_7to1.v		top_txx_1050m.v
rx_channel_1to7.v		top_txx_1050m.xdc
rx_clkgen_1to7.v		
rx_sipo_1to7.v		

表 8 に、リファレンス デザインの詳細を示します。

表 8: リファレンス デザインの詳細

パラメーター	説明
全般	
開発元	ザイリンクス
ターゲット デバイス	UltraScale および UltraScale+ FPGA
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	なし
シミュレーション	
論理シミュレーションの実施	あり
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	あり
テストベンチの形式	Verilog
使用したシミュレータ/バージョン	XSIM
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	Vivado 合成
使用したインプリメンテーション ツール/バージョン	Vivado® Design Suite 2016.4
スタティック タイミング解析の実施	あり
ハードウェア検証	

表 8: リファレンス デザインの詳細 (続き)

パラメーター	説明
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	KCU105 評価ボード (FMC-XM107 ループバックカード搭載)

まとめ

UltraScale および UltraScale+ FPGA は、7:1 のシリアライズとデシリアライズを必要とするさまざまなアプリケーションに対応し、HP I/O ではラインあたり 415Mb/s ~ 1,100Mb/s、HR I/O では 1,000Mb/s の速度を達成します。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

- 『UltraScale アーキテクチャ SelectIO リソース』(UG571: [英語版](#)、[日本語版](#))
- 『通倍クロックを使用する LVDS ソース同期の 7:1 シリアライズおよびデシリアライズ』(XAPP585: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017 年 4 月 15 日	1.0	初版

法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。