



XAPP1324 (v1.0) 2018 年 1 月 18 日

SelectIO インターフェイス コンポーネント プリミティブを使用する設計

著者: Jim Tatsukawa

概要

性能要件に応じて、UltraScale™ および UltraScale+™ デバイスには I/O インターフェイスの設計に関連するさまざまなオプションがあります。高性能デザインには、ネイティブ モードの High Speed SelectIO™ Wizard (RX_BITSLICE、TX_BITSLICE、BITSLICE_CONTROL) を使用することを推奨します。レガシ I/O インターフェイスは、SelectIO インターフェイスのコンポーネント モード プリミティブ (IDDRE1、ODDRE1、ISERDESE3、OSERDESE3) を使用して設計できます。低性能デザインには、IOB レジスタ (I/O に接続された FDCE、FDPE、FDRE、または FDSE) を使用できます。

これらの 3 つの方法には、信頼性の高い動作を確保するために特別なタイミングと設計上の考察事項があります。ネイティブ モードを使用する方法は、SelectIO ウィザードとデータシートのタイミング パラメーターを使用して処理されます。ネイティブ モードのタイミング バジェットは、「UltraScale - High Speed SelectIO - ネイティブ モードのタイミング バジェット例」(ザイリンクス アンサー 68618) [参照 1] を参照してください。IOB レジスタを使用するインターフェイスの場合、タイミングは Vivado® ツールで処理されます。

このアプリケーション ノートでは、コンポーネント モード プリミティブ (ODDRE1、IDDRE1、ISERDESE3、OSERDESE3) を用いる場合に、I/O インターフェイスで利用可能な推奨使用モデルとタイミング解析方法について説明します。

コンポーネント モード アプリケーションの入力使用モデル

このセクションでは、UltraScale および UltraScale+ デバイスでコンポーネント モード プリミティブを使用する場合、レシーバー インターフェイスの推奨されるトポロジとクロッキングに関するさまざまな考察事項について説明します。I/O ロジックは I/O パッドに直接接続されていますが、クロック スキューを最小限に抑えるために、入力ロジックは専用クロック バッファを使用する必要があります。図 1 に示すように MMCM (ミックスド モード クロック マネージャー) を使用すると、より長いクロック配線遅延を補正できます。

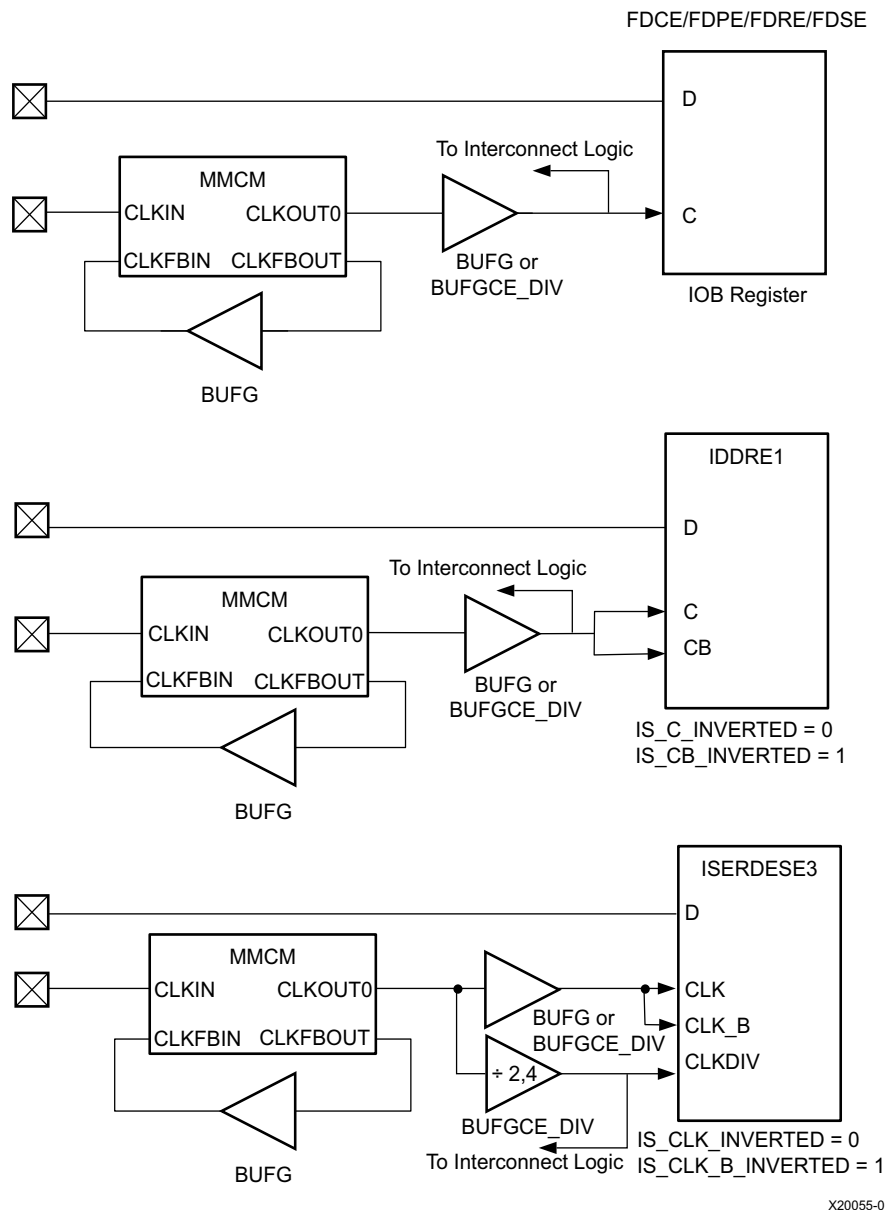


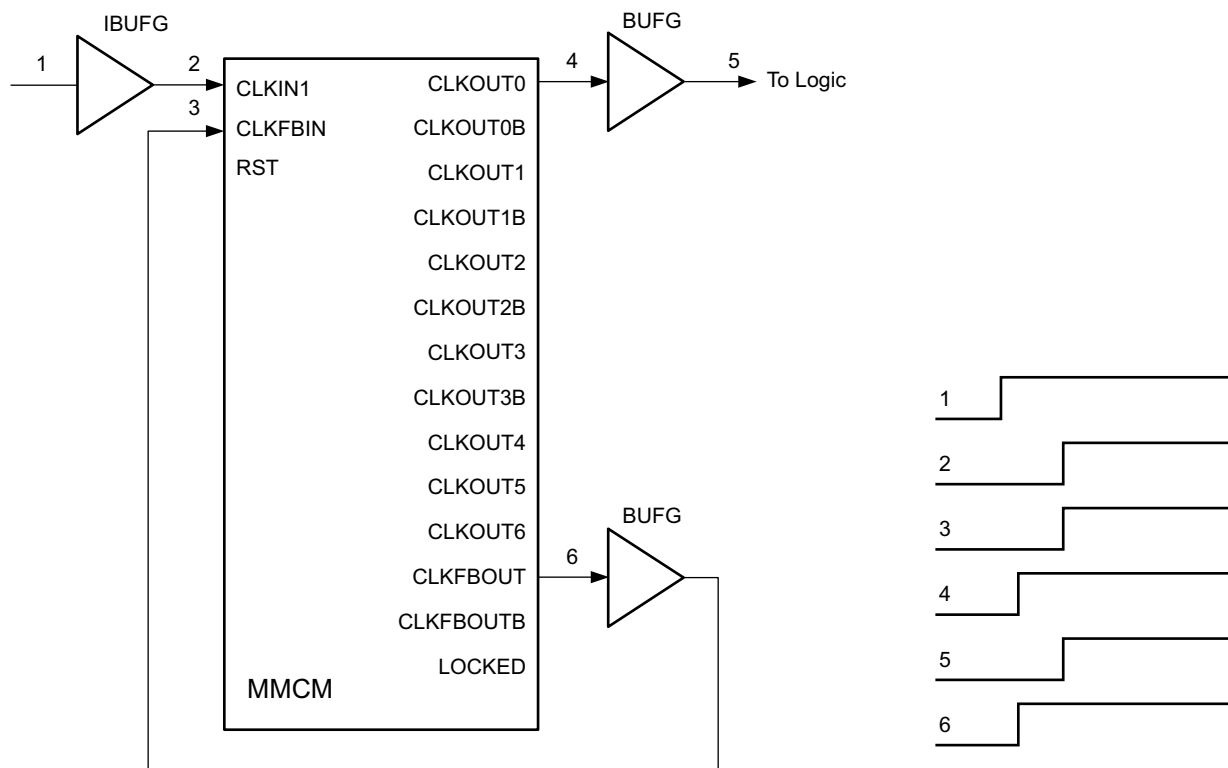
図 1: 入力ロジックに MMCM を使用

MMCM には複数の補正設定があります。たとえば、ZHOLD はゼロ ホールド タイムを確保してクロック遅延を補正します。タイミング解析で、ZHOLD モードには大きな負の遅延があります。ZHOLD モードの場合、次の 2 つのメカニズムが作用します。

1. CLKOUT0 用の BUFG 配線には、CLKFBOUT のフィードバック パスと同じ遅延があります (図 2 参照)。
2. ZHOLD は、バンク内の I/O が負の方向に補正されるようにデスキュー遅延を追加して、ゼロ ホールド タイムを確保します。

重要: フィードバック パスと CLKOUT0 の配線が一致しない場合、MMCM で正しくアライメントされません。





X20086-121917

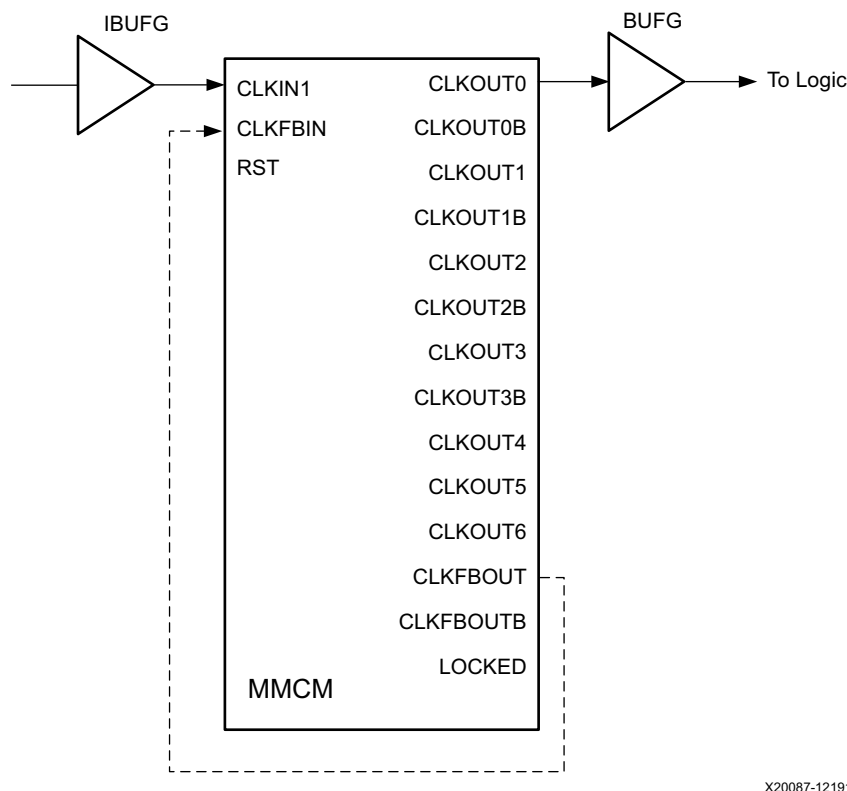
図 2: 2 つの BUFG を使用したグローバルクロック ネットワークのスキュー調整

MMCM で使用できるもう 1 つの補正設定は BUF_IN です。BUF_IN には、ゼロ ホールド タイムを確保するための追加デスキュー遅延がありません。BUF_IN はタイミング解析で MMCM に対して小さな負の遅延を提供し、フィードバックパス内のクロック バッファのみを補正します。



推奨: 入力インターフェイスなどの多くのアプリケーションでは、クロックの位相アライメントが重要になります。MMCM の帯域幅の属性が OPTIMIZED または HIGH に設定されていない場合、これらのアプリケーションの性能が低下します。

MMCM は、内部フィードバックを使用することも可能です。ただし、入力ロジックに関しては、クロック ネットワークがフィードバックパスの一部ではないため、内部フィードバックの使用は推奨されていません (図 3 参照)。内部フィードバックを使用する場合は、クロック配線とゼロ ホールド遅延のいずれも補正されないため、タイミング解析では最も補正が小さくなります。内部フィードバックは、ソース同期出力インターフェイスなどの位相アライメントが不要な場合に使用されます。



X20087-121917

図 3: 内部フィードバックを使用した MMCM

さまざまな補正のほかに、静的または動的位相シフトを使用してクロックの位相をシフトする場合にも MMCM を使用できます。ダイナミック アライメントが必要なアプリケーションでは、ダイナミック位相シフト機能を使用することで、PSINCDEC DRP ポートを通じて個々のクロック出力に対して MMCM を継続的にインクリメントまたはデクリメントできます。

UltraScale および UltraScale+ デバイスでは、位相ロック ループ (PLL) が内部フィードバックをサポートしますが、位相シフトが制限されます。したがって、クロック アラインメントを重視するレシーバー アプリケーションにとって、PLL は柔軟性が足りません。PLL は、ソース同期の送信インターフェイスや相対遅延を重視するネイティブ モード アプリケーションに適しています。

MMCM を使用できない場合、図 4 のように IDELAY を使用してクロック配線のバランスを取る必要があります。IDELAY を TIME モードで使用すると、固定遅延を使用してクロック配線遅延のバランスを取ることができます。IDELAY を TIME モードで使用するには、IDELAYCTRL ブロックをインスタンス化して、コンポーネント モード リセット シーケンスを実行します。詳細は、『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』(UG571) [参照 2] を参照してください。

注記: IDELAYCTRL を使用する場合、内蔵自動キャリブレーション (BISC) ルーチンによってプログラムされた初期遅延値のほか、さらに遅延要素 (ALIGN_DELAY) が IDELAY に追加されます。ALIGN_DELAY の詳細は、『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』(UG571) [参照 2] を参照してください。

注記: TIME モードの場合、プロセス、電圧、温度 (PVT) の変動に応じて遅延要素が BISC によって調整されますが、COUNT モードの場合にはこれらの調整がなされないため、遅延タップの変動が大きくなる傾向があります。詳細は、『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』(UG571) [参照 2] を参照してください。

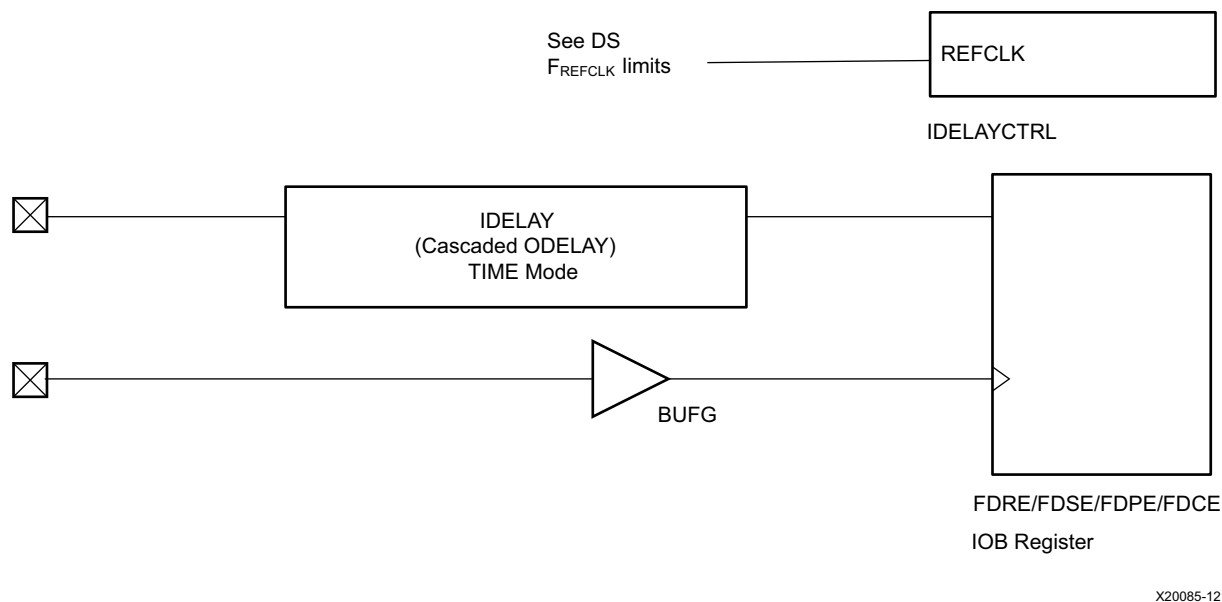


図 4: IOB フリップフロップを使用した IDELAY

注記: F_{REFCLK} の制限については、UltraScale デバイスのデータシート [参照 5] および UltraScale+ デバイスのデータシート [参照 6] を参照してください。

IDDRE1 を使用する IDELAY と、IOB フリップフロップを使用する IDELAY はほとんど同じですが、IDELAY と IDDRE1 は、図 5 のように同じクロックを共有する必要があります。

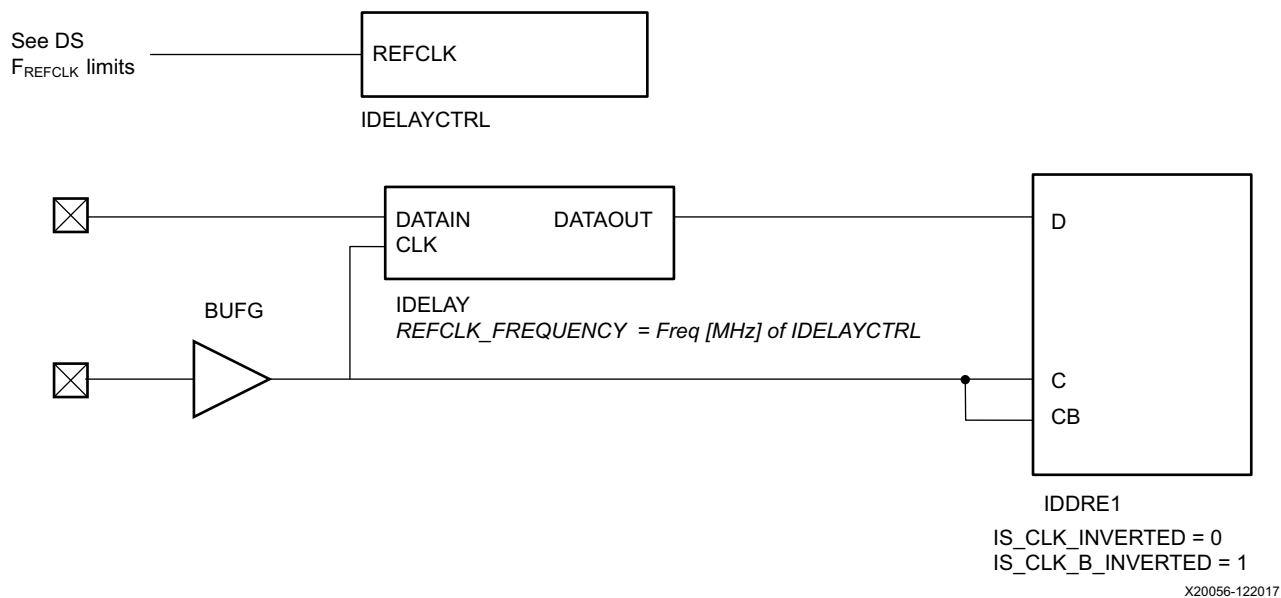


図 5: DDR を使用した IDELAY

注記: F_{REFCLK} の制限については、UltraScale デバイスのデータシート [参照 5] および UltraScale+ デバイスのデータシート [参照 6] を参照してください。

図 6 のように ISERDESE3 を使用する場合は、CLK (IDELAYE3) と CLKDIV (ISERDES3) が同じクロックを共有する必要があります。

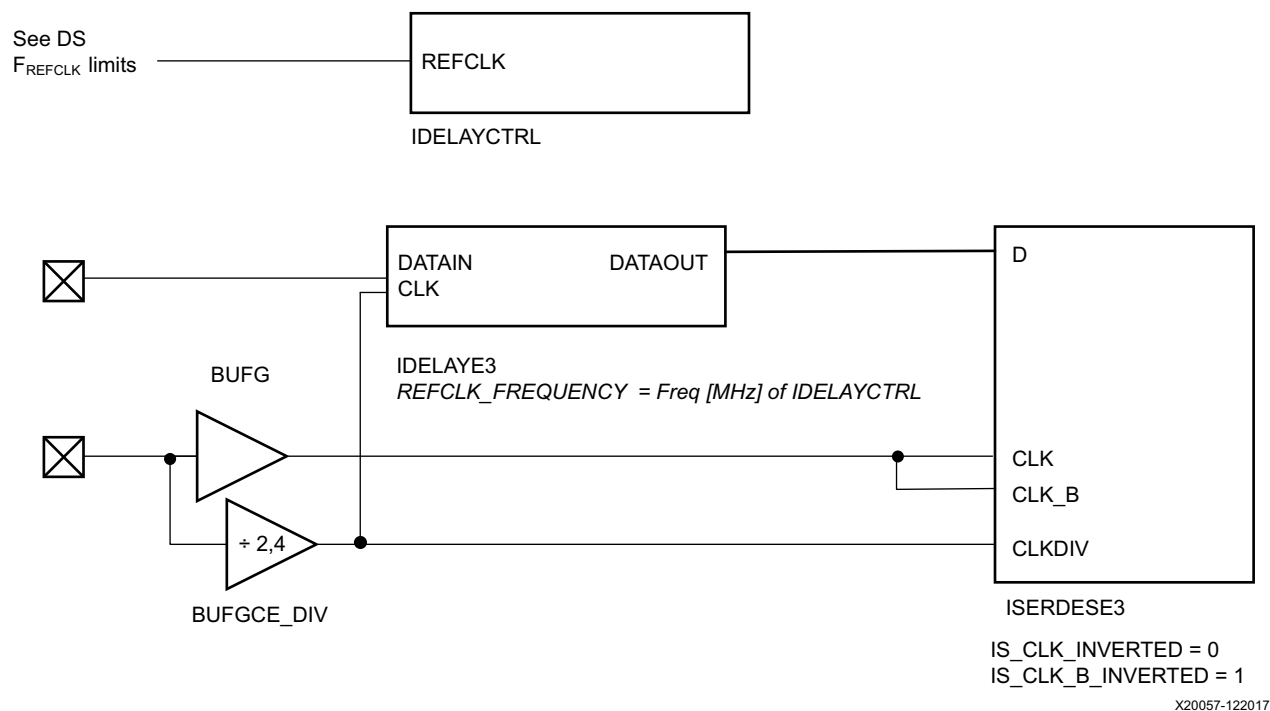


図 6: ISERDES を使用した IDELAY

注記: F_{REFCLK} の制限については、UltraScale デバイスのデータシート [参照 5] および UltraScale+ デバイスのデータシート [参照 6] を参照してください。

遅延要素を使用してデータを動的に揃えるアプリケーションには、IDELAY を COUNT モードで使用できます。たとえば、DELAY_TYPE = VARIABLE を使用して、遅延をインクリメント/デクリメントしてアライメントを決定します。COUNT モードは、主にダイナミック アライメントに使用されます。この場合、遅延ラインの細かい分解能によって小さい遅延調整が可能になります。

コンポーネント モード アプリケーションの出力使用モデル

このセクションでは、UltraScale および UltraScale+ デバイスでコンポーネント モード プリミティブを使用する場合、トランスミッター インターフェイスの推奨されるトポロジとクロッキングに関するさまざまな考察事項について説明します。出力レジスタ (図 7 参照) と ODDRE1 には特別な要件はありません。

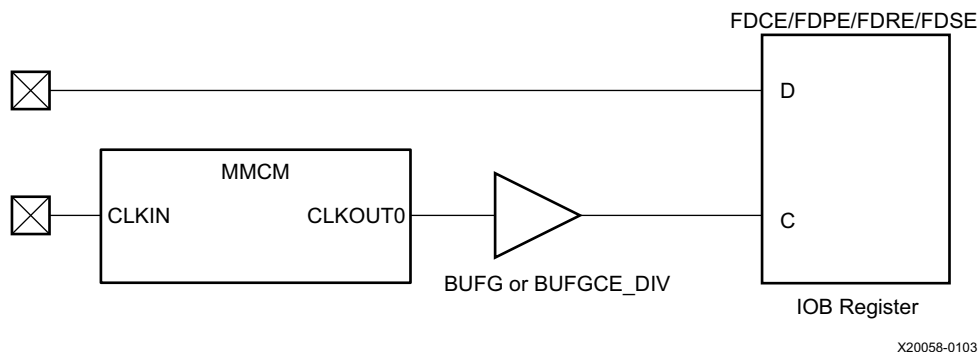


図 7: 出力 IOB レジスタ

入力クロック パッドに対して固定アラインメントが必要なアプリケーションには、MMCM クロック出力が 2 種類の位相シフトをサポートします。クロック出力は、MMCM で設定されるスタティック位相シフト、または MMCM ポートを使用してインクリメント/デクリメント可能な動的位相シフトのいずれかを使用できます。

注記: MMCM のフィードバック、補正、およびクロック配線は、入力クロック パッドからのクロック遅延に影響を与えます。

デバイスを通過する入力クロックの配線遅延を管理することは困難であるため、多くのシステムでは、トランスミッター デバイスが出力クロックとデータを同時に転送するソース同期インターフェイスを使用します。ソース同期出力の場合は、転送されたクロックとデータ間の相対遅延を補正するだけになるため、高性能を実現できます。

通常、ソース同期インターフェイスは、エッジアラインとセンターアラインに分類されます。エッジアライン インターフェイスの場合、転送されたクロックとデータの位相は揃えられます (図 8 参照)。クロックとデータが同時に到達するため、レシーバーはゼロ ホールド タイムを確保してアラインする必要があります。センターアライン インターフェイスの場合、レシーバーでのセットアップ/ホールドを最大にするために、トランスミッターでクロック エッジをデータの中央にすることでレシーバーをシンプルにします。

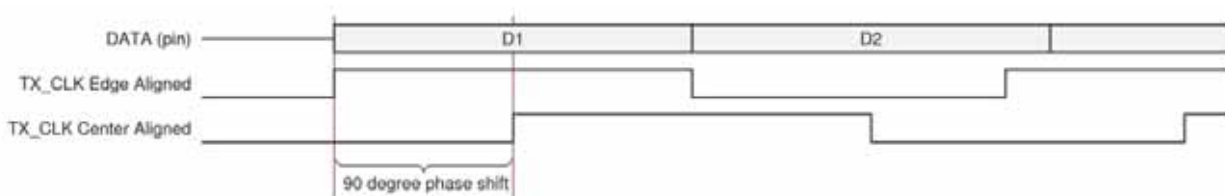
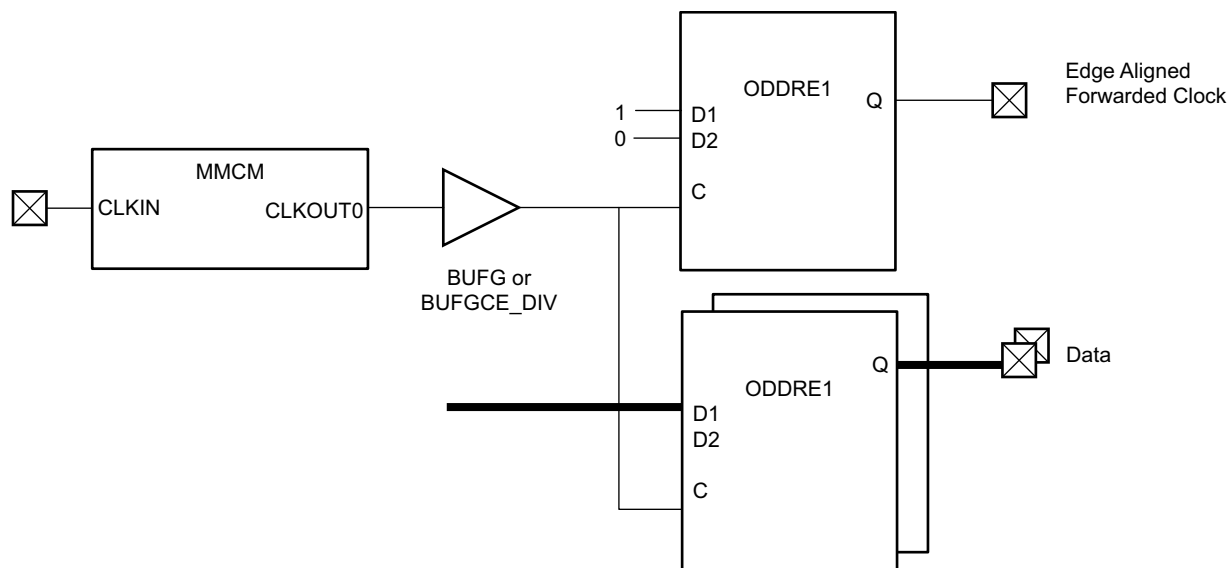


図 8: エッジアラインとセンターアラインのソース同期クロック

転送されるクロックとデータは、同じプリミティブ (たとえば、ODDRE1 または OSERDESE3) を使用し、同じクロック ソースを共有する必要があります。図 9 に示すように、データ ピンの ODDRE1 と一致するように、転送クロックは D1 = 1 および D2 = 0 の ODDRE1 を使用します。同様に、データに OSERDESE3 を使用する場合は、クロックパスにも OSERDESE3 を使用する必要があります。出力遅延を一致させるために、クロック バッファーを出力に直接接続しないでください。

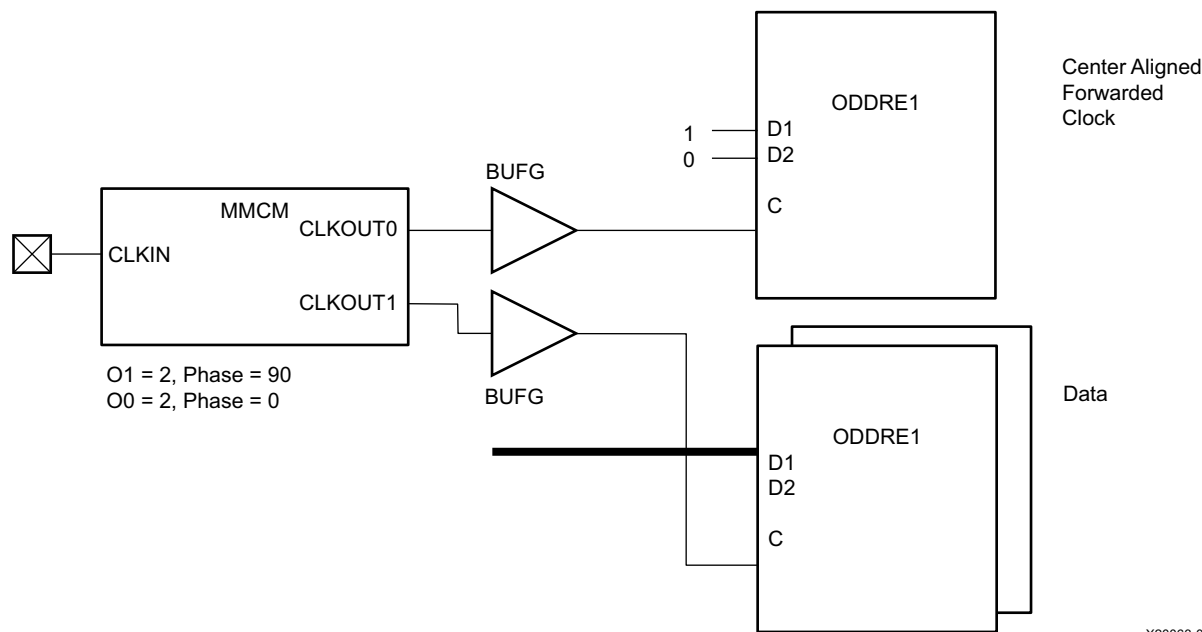


X20062-121917

図 9: エッジアラインのソース同期 DDR 出力

2 番目の MMCM 出力を使用して、クロックをデータの中央にする必要があります。図 10 のように、CLKOUT1 が転送クロック用に追加されています。DDR アプリケーションでは、90°の位相シフトが使用されます。CLKOUT0 と CLKOUT1 の位相アライメントは非常に重要です。一貫したクロック配線を維持するための詳細は、『UltraScale アーキテクチャクロッキング リソース ユーザー ガイド』(UG572) [参照 3] の「クロック バッファおよびクロック配線」を参照してください。

ODDRE1 と OSERDESE3 の出力遅延は異なります。したがって、クロックとデータの遅延を一致させるためには同じプリミティブを使用する必要があります。



X20063-010318

図 10: センターアラインのソース同期 DDR 出力

OSERDESE3 (DATA_WIDTH = 4 または 8) を必要とするアプリケーションの場合、図 11 にクロックの接続方法を示しています。この例では、BUFG と BUFGCE_DIV を使用して、OSERDESE3 に必要なクロックを生成しています。図 11 に示すように、MMCM の単一の CLKOUT を使用して CLK と CLKDIV の両方を駆動すると、位相エラー (PE) を最小限に抑えることができます。

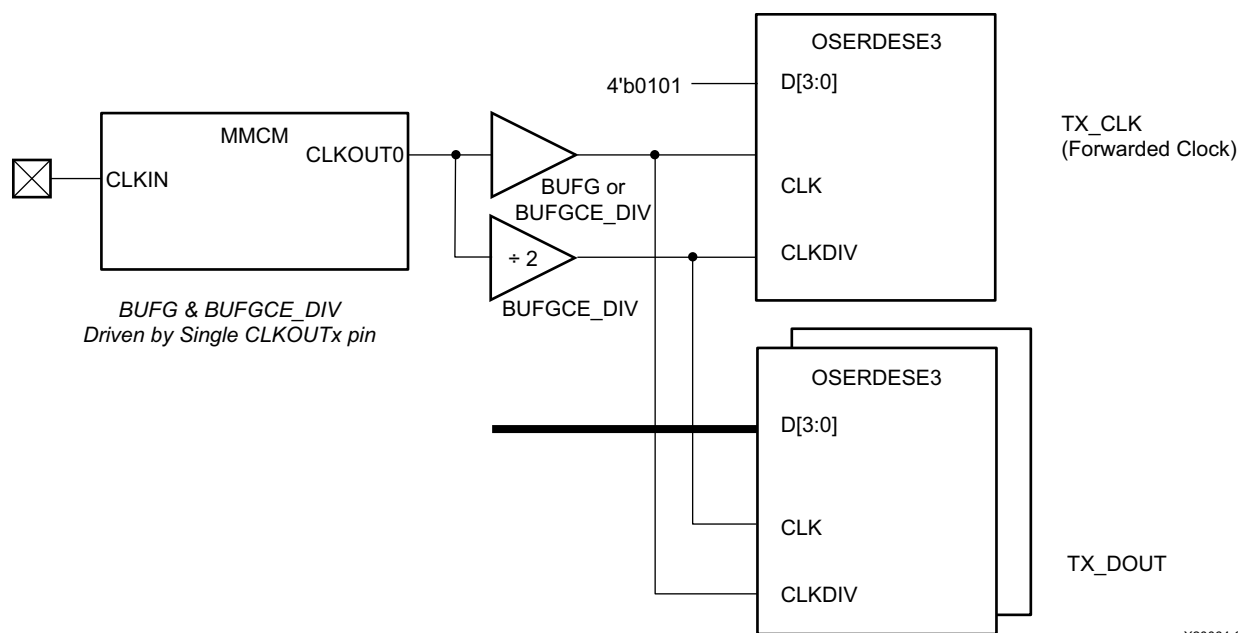


図 11: エッジアライン クロック (DATA_WIDTH = 4) を使用するソース同期の OSERDESE3 出力

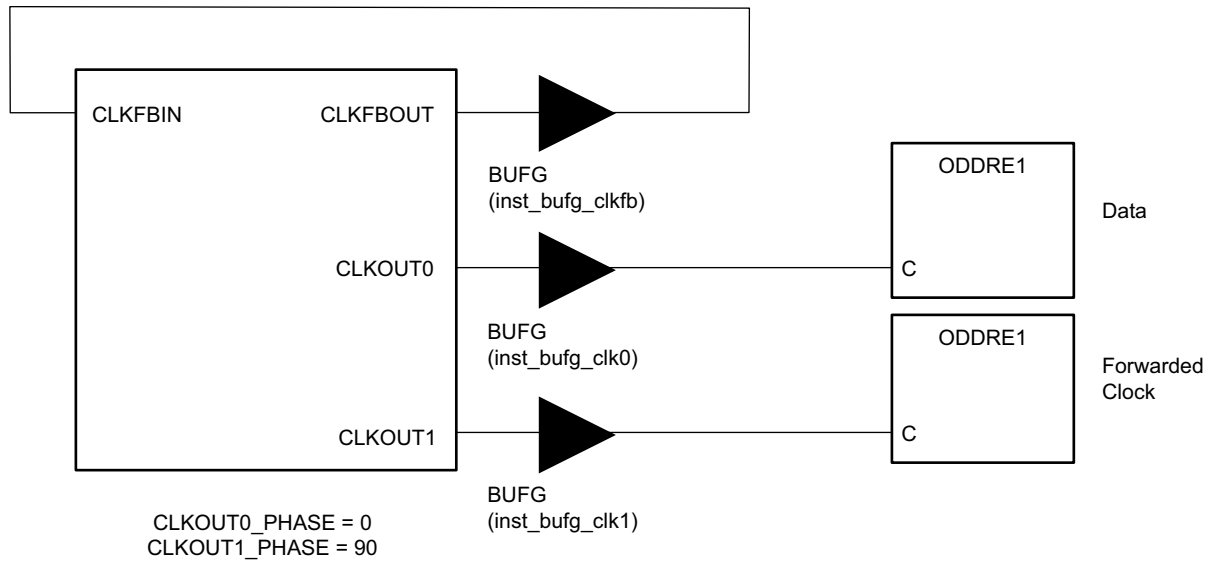
クロッキング要件

クロッキングは I/O の性能に直接影響を与えます。UltraScale および UltraScale+ デバイスのクロック配線およびクロックバッファの詳細は、『UltraScale アーキテクチャ クロッキング リソース ユーザー ガイド』(UG572) [参照 3] の「クロッキング アーキテクチャの概要」を参照してください。

同じバンクに入力クロック、MMCM、グローバルクロックバッファ、CLOCK_ROOT、および I/O を含めると、ユーザーがアクセスできるクロック構造がグローバルクロックバッファに限定されるため最も高い性能を達成できます。配線が複数のバンクや I/O カラムに広がると、性能が低下する可能性があります。クロックのスキューは Vivado ツールで解析できます。SLR (Super Logic Region) をまたぐことは、性能上の理由から推奨されていません。

クロック配線は、クロックルーターの要件によって異なります。クロック配線を制約することで一貫したクロック配線が実現します。図 12 に示すように、位相シフトの設定による影響が所望するものとなるように、MMCM のフィードバックパスに対して CLKOUT0 と CLKOUT1 を一致させる必要があります。

注記: LOCKED は、クロックが揃えられ有効であることを示します。クロック出力は、ロック時にアクティブになります。



X20066-121917

図 12: 複数出力がある MMCM を使用

クロック スキューを正しく制御するには、クロック バッファの出力によって直接駆動されるネット セグメント上の CLOCK_DELAY_GROUP を定義します。

```
set_property CLOCK_DELAY_GROUP <Clock Delay Group Name> [get_nets-of_objects
[get_pins inst_bufg_clkfb/O] ]
set_property CLOCK_DELAY_GROUP <Clock Delay Group Name> [get_nets-of_objects
[get_pins inst_bufg_clk0/O] ]
set_property CLOCK_DELAY_GROUP <Clock Delay Group Name> [get_nets-of_objects
[get_pins inst_bufg_clk1/O] ]
```

クロックバッファの `CLOCK_ROOT` は、負荷要件に応じて変化します。MMCM と BUFG は `CLOCK_REGION X0Y0` に配置できますが、クロックルートはクロックのファンアウトで決定され、別のクロック領域に配置できます。この場合、`USER_CLOCK_ROOT` も必要になります。

```
set_property USER_CLOCK_ROOT {X0Y0} [get_nets inst_bufg_clkfb]
set_property USER_CLOCK_ROOT {X0Y0} [get_nets inst_bufg_clk0]
set_property USER_CLOCK_ROOT {X0Y0} [get_nets inst_bufg_clk1]
```

BUFGCE_DIV を使用するクロッキングソリューションを使用する場合は、分周クロックのアライメントを理解しておく必要があります。たとえば、[図 13](#) では、BUFGCE_DIV を使用して CLKDIV 用の分周クロックを生成して出力を保存します。

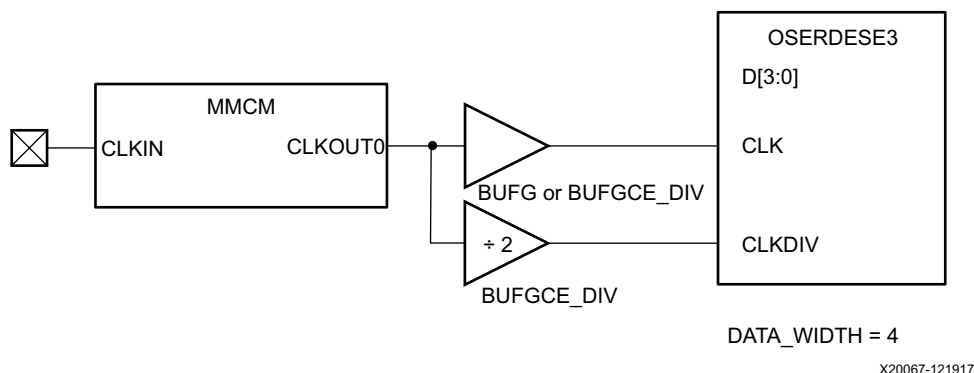


図 13: 単一の MMCM 出力で駆動される BUFG と BUFGCE_DIV を使用した OSERDESE3

BUFGCE_DIV 出力は、クロック分周値として使用される場合に入力クロックと揃えることができます。[図 14](#) に、可能なアライメントを示します。CLK_DIV2 A と CLK_DIV2 B は、分周値が 2 の場合の 2 つのアライメントを示しています。CLK_DIV4 A/B/C/D は、分周値が 4 の場合の 4 つのアライメントを示しています。クリア (CLR) 入力とクロック イネーブル (CE) 入力を使用して、カウンタを所定のクロック エッジに合わせる必要があります。

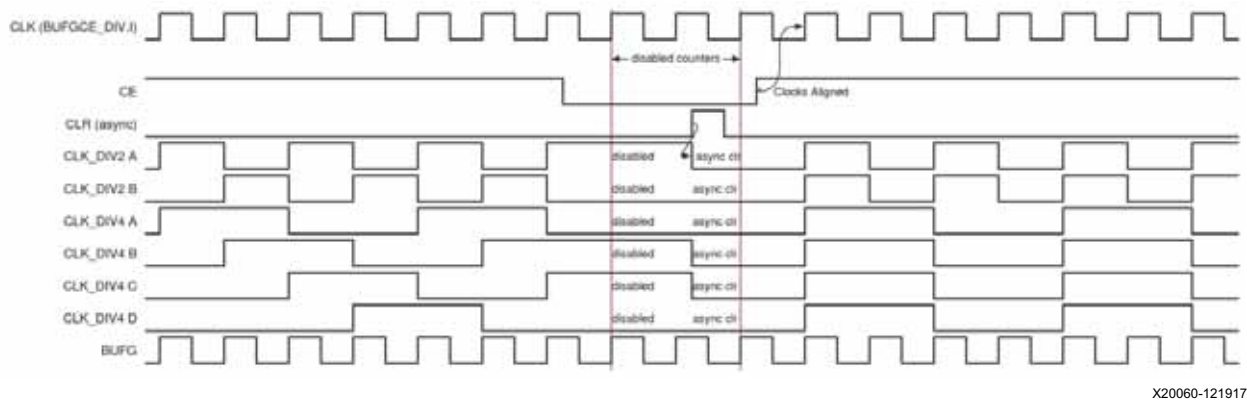


図 14: BUFGCE_DIV のアライメント (BUFGCE_DIVIDE = 2 または 4)

性能を予測

デザインの性能が向上するに伴い、I/O インターフェイスの実装がより重要になります。一般的なインターフェイスは、低性能通信用のシステム同期と高性能通信用のソース同期として大きく2つに分類できます。

コンポーネント プリミティブを使用したシステム同期

システム同期とは、送信デバイスと受信デバイスの間インターフェイスが単一の共通システム クロックで駆動されることです(図 15 参照)。これは、セットアップの簡素化のために最も一般的に使用されているインターフェイスです。ただし、このセットアップでは性能が犠牲になり、デザインは複雑化します。セットアップ タイムとホールド タイムのタイミング解析は、Vivado ツールを使用して高速プロセスと低速プロセスの両方で実行され、システム クロックの入力ピンからのすべての遅延変動が考慮されます。

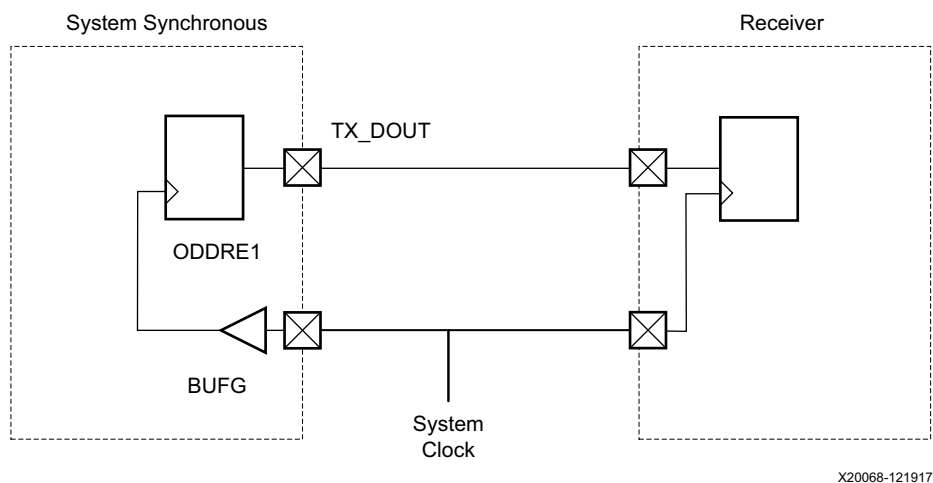


図 15: システム同期

出力 - コンポーネント プリミティブを使用するソース同期

ソース同期出力は、クロックがエッジアラインの場合とセンターアラインの場合とで異なる解析が必要です。

出力 - エッジラインのソース同期出力バスのタイミング

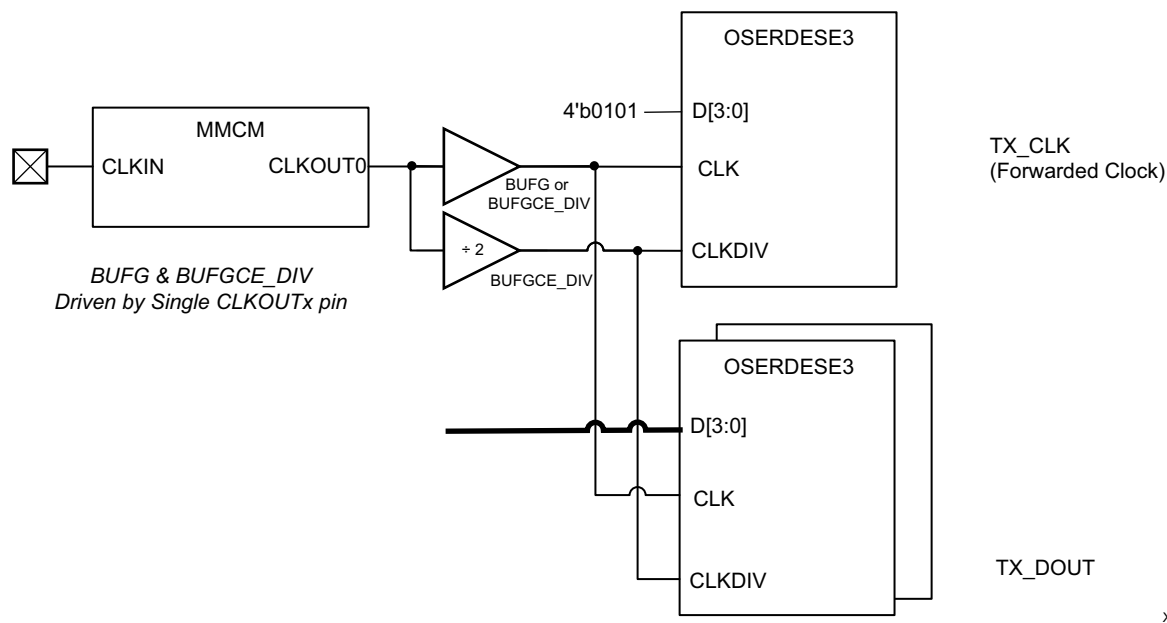


図 16: エッジラインのソース同期出力バス

Vivado ツールは、プロセス コーナーのタイミングを解析して、出力バス TX_DOUT の出力遅延を判断します (図 16 参照)。ソース同期デザインの場合、出力バスのスキューを正確に推定するには、Vivado ツールの情報と特性評価データが必要です。これらは、次に示す各パラメーターで構成されます。

ソース同期出力バスのスキュー (source_sync_out_bus_ske)

ソース同期出力バスのスキューは、配線やロジックの違いに基づいた遅延の変動を示します。たとえば、複数バンクにまたがるデザインは、クロックとデータが 1 つのバンク内にあるデザインと同じ性能を実現できません。式 1 に示すように、ソース同期出力バスのスキューは、データシート バス スキューとソース同期の送信遅延のばらつきを合わせた値となります。

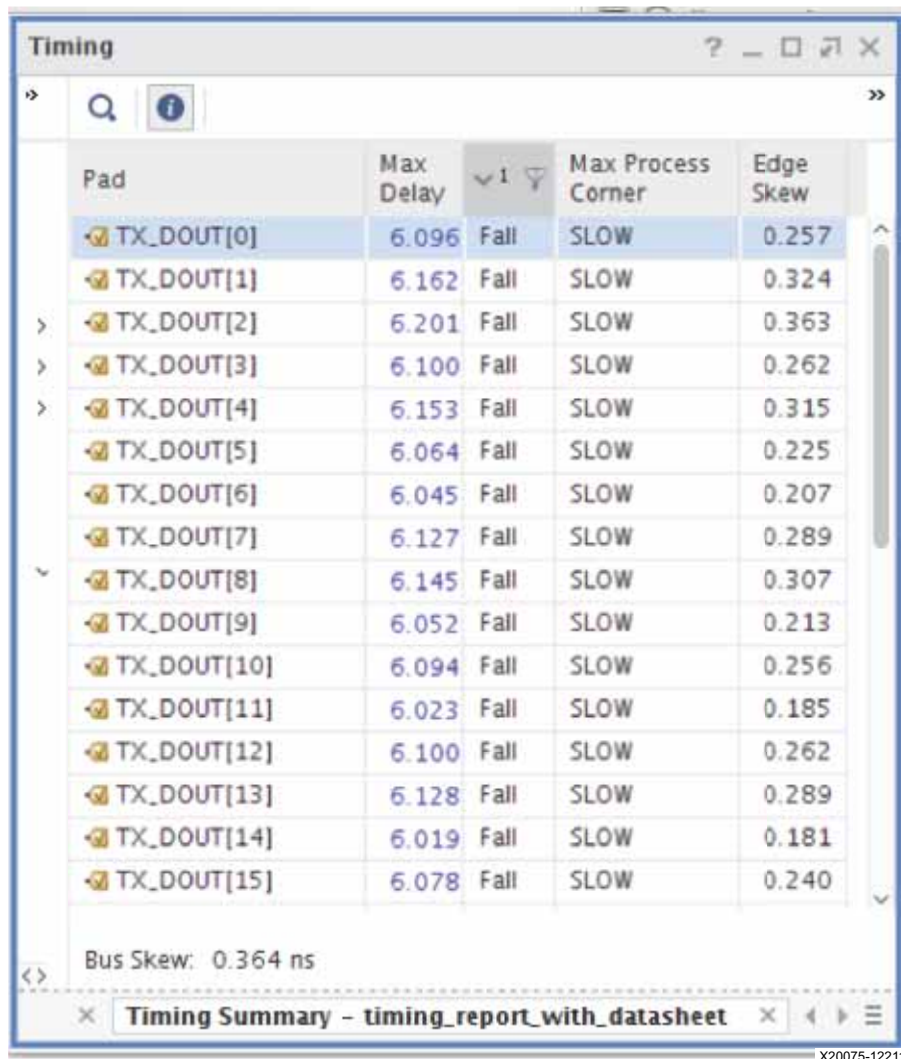
$$\text{source_sync_out_bus_skew} = \text{datasheet_bus_skew} + \text{source_sync_transmit_delay_variation} \quad \text{式 1}$$

データシートバススキュー (datasheet_bus_skew)

データシートバススキューは、Vivado ツールのタイミング情報 (最大遅延、低速プロセス) を用いて、使用されるピン、ロジック、クロッキング コンポーネントに基づいてデザインの配線変動を解析します。たとえば、次に示すタイミングサマリは、-datasheet TCL オプションを使用してデータシート レポートを生成したものです。

```
report_timing_summary -delay_type max -check_timing_verbos -max_paths 100 -input_pins
-datasheet -name timing_report_with_datasheet
```

データシート レポートを確認するときは、立ち上がり (r) または立ち下がり (f) のいずれかのデータを使用して、最大遅延と最小遅延を判断します。デューティ サイクルの歪み (DCD) の影響は、クロッキング エラーを確認する際に別途管理されます。図 17 に示すデータシート レポートの場合、バススキューは 182ps (TX_DOUT[2] は 6.201ns、TX_DOUT[14] は 6.019ns) です。



Pad	Max Delay	Max Process Corner	Edge Skew
TX_DOUT[0]	6.096	Fall SLOW	0.257
TX_DOUT[1]	6.162	Fall SLOW	0.324
TX_DOUT[2]	6.201	Fall SLOW	0.363
TX_DOUT[3]	6.100	Fall SLOW	0.262
TX_DOUT[4]	6.153	Fall SLOW	0.315
TX_DOUT[5]	6.064	Fall SLOW	0.225
TX_DOUT[6]	6.045	Fall SLOW	0.207
TX_DOUT[7]	6.127	Fall SLOW	0.289
TX_DOUT[8]	6.145	Fall SLOW	0.307
TX_DOUT[9]	6.052	Fall SLOW	0.213
TX_DOUT[10]	6.094	Fall SLOW	0.256
TX_DOUT[11]	6.023	Fall SLOW	0.185
TX_DOUT[12]	6.100	Fall SLOW	0.262
TX_DOUT[13]	6.128	Fall SLOW	0.289
TX_DOUT[14]	6.019	Fall SLOW	0.181
TX_DOUT[15]	6.078	Fall SLOW	0.240

Bus Skew: 0.364 ns

図 17: データシート レポートの例

注記: データシート レポートの生成は、パッケージスキューがある場合とない場合で実行できます。パッケージスキューが PCB 配線によって補正される場合は、disable_flight_delays オプションを使用してパッケージスキューを無効にします。

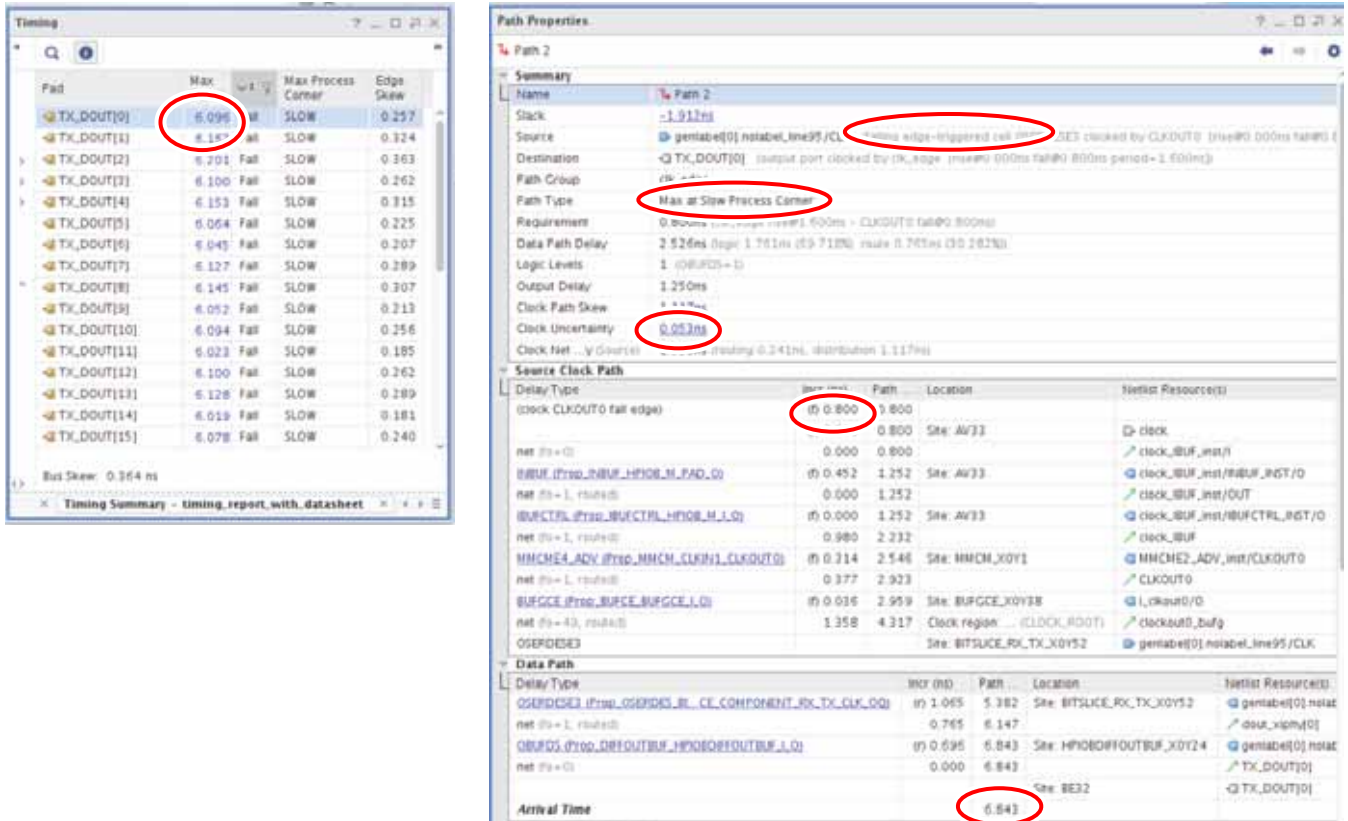
```
config_timing_analysis -disable_flight_delays true
```

差動出力は、差動出力バスのデータシート仕様でカバーされるため、解析は差動ペアの p 側 (マスター) を解析するだけで簡単にできます。

最大遅延値は式 2 を使用して計算する必要があるため、データシート レポートで示される最大遅延はプロパティに反映されません。データシート レポートを実行した後、これらの遅延値をクリックすると、タイミングパスを確認できます(図 18 参照)。遅延値 6.096ns (TX_DOUT[0], Fall) を選択すると、[Path Properties] ウィンドウにタイミングパスが表示されますが、6.096 値は表示されていません。この場合は立ち下がりエッジが解析されているため、(f) 0.800ns を含む到達時間 6.843ns が表示されています。したがって、データシート レポートの最大遅延には、クロックの不確実性が含まれ、最初の立ち下がりエッジ遅延 0.800ns が含まれていません(式 3 参照)。

$$\text{最大遅延} = \text{到達時間} - \text{CLKOUT0 の立ち下がり (0.800ns)} + \text{クロックの不確実性} \quad \text{式 2}$$

$$6.096 \text{ ns (最大遅延)} = 6.843 - 0.800 + 0.053 \quad \text{式 3}$$



X20073-122017

図 18: パス プロパティから最大遅延を計算

ソース同期の送信遅延のばらつき (Source_sync_transmit_delay_variation)

「データシート バス スキュー (datasheet_bus_skew)」からのバス スキュー計算には、配線の違いが考慮されます。スイッチング遅延の変動を考慮するには、UltraScale および UltraScale+ デバイスの全スピード グレードのシリコン特性をベースに、さらに 80ps を追加する必要があります。

ソース同期のクロック エラー (source_sync_clock_err)

ソース同期のクロック エラーは、理想的なビット周期やユニット インターバルを減少させる可能性があります。ソース同期のクロック エラーは、式 4 で表すように DCD と不確実性を合わせた値となります。

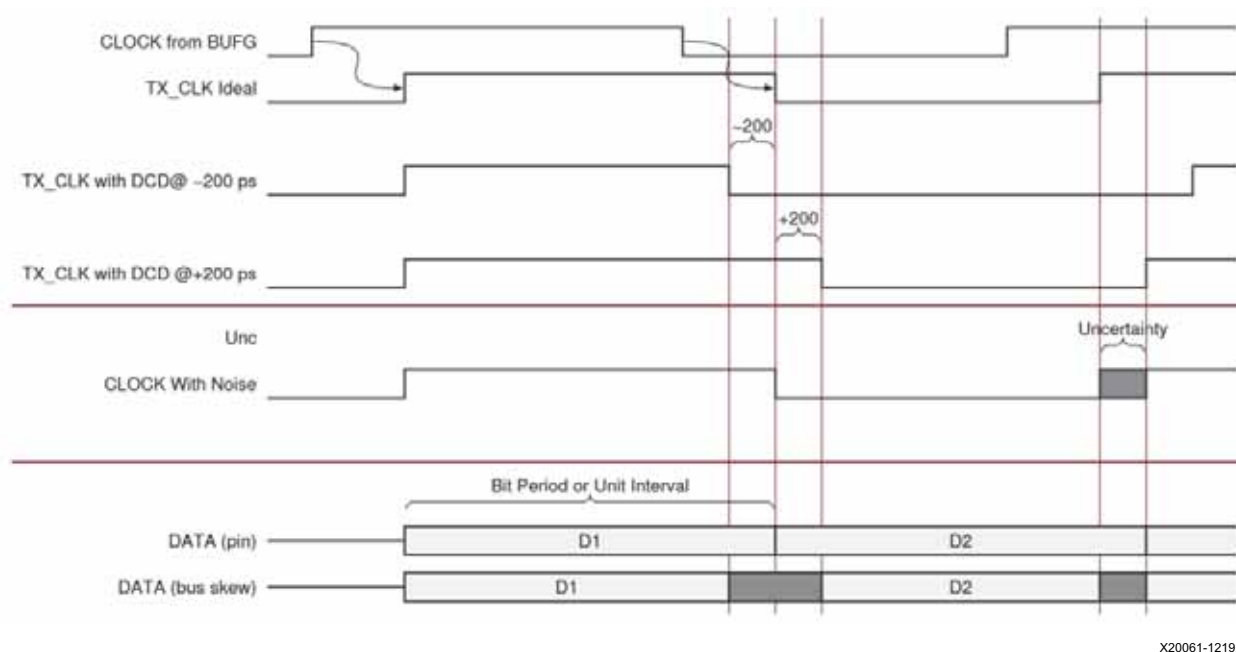
$$\text{source_sync_clock_err} = \text{デューティ サイクルの歪み (DCD)} + \text{不確実性} \quad \text{式 4}$$

デューティサイクルの歪み (DCD)

ODDRE1 および OSERDESE3 はクロックの立ち上がりエッジ/立ち下がりエッジでデータを送信するため、クロックバッファのデューティサイクルを考慮する必要があります。図 19 に示すように、DCD によってビット周期は収縮します。MMCM や PLL を使用する場合は、出力カウンタがデューティサイクルを決定します (通常は 50% でプログラムされる)。ただし、クロック信号は、クロックバッファを使用する MMCM または PLL ブロックから、最終的には I/O バンクを駆動するリーフクロックまで配線されるため、システムノイズや電圧変動が MMCM または PLL 後のデューティサイクルに影響を与える可能性があります。

MMCM のデューティサイクル (MMCM_T_{OUTDUTY}) や PLL のデューティサイクル (PLL_T_{OUTDUTY}) はデータシートに指定されており、クロックバッファの出力から ODDRE1/OSERDESE3 までが含まれます。

DCD は、クロックエッジ (立ち上がり/立ち下がり) でデータを送信しないデザインの出力には影響を与えません。図 19 で、D1 と D2 が同じ値の場合、クロックの立ち下がりエッジでスイッチング動作が見られず、DCD は生じません。



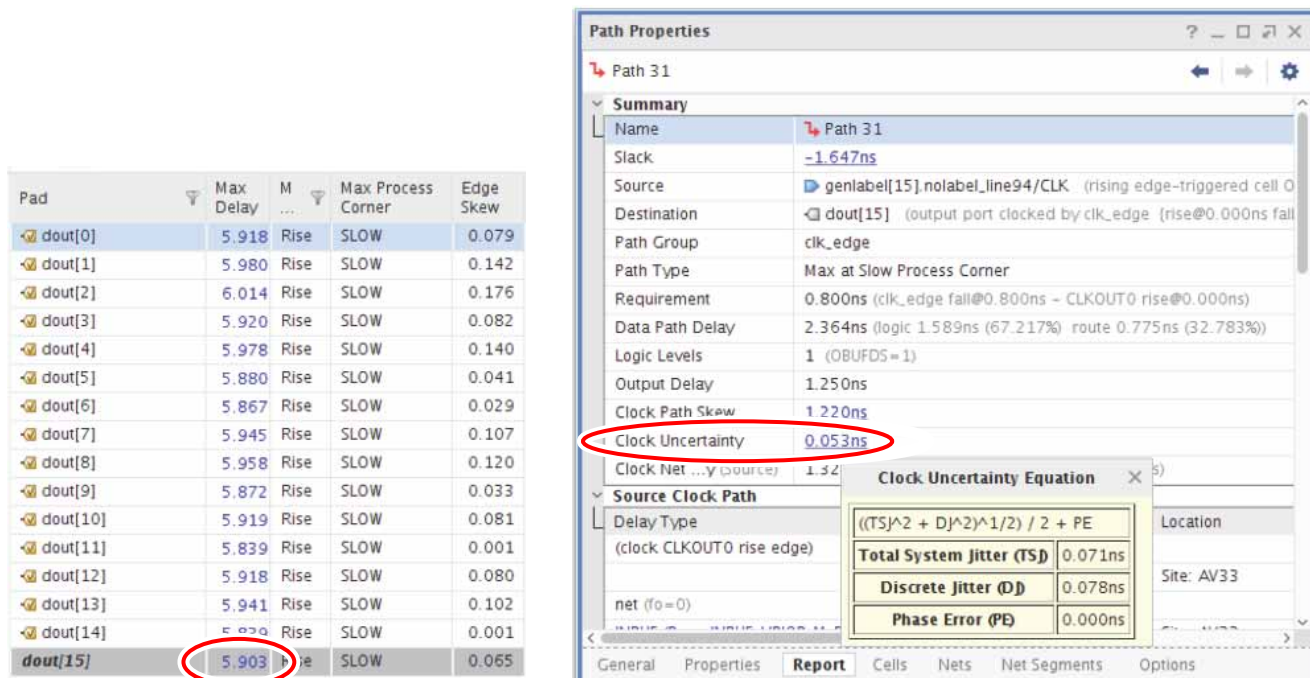
X20061-121917

図 19: ソース同期出力の DCD と不確定性 (ODDRE1)

クロックの不確定性 (clock_unc_ss_edge_aligned_output)

クロックの不確定性とは、理想的な位置からのクロック エッジの変動、システム ジッター、ディスクリート ジッター、およびクロッキング コンポーネント (CMT、クロック バッファ、電源 ノイズ) に起因する位相エラーです。ソース同期パスの場合、TX_CLK および TX_DOUT は同じクロック バッファで駆動されるため、位相エラーは無視できます。

クロックの不確定性を表す値は、[Path Properties] にリストされます。データシート レポートを実行した後、これらの遅延値をクリックすると、タイミング パスを確認できます (図 20 参照)。5.903 遅延値 (dout[15]) をクリックすると、[Path Properties] ウィンドウにタイミング パスがリストされます。この例では、クロックの不確定性が 0.053ns としてレポートされています (さまざまな条件によって異なる)。[Path Properties] ウィンドウ (図 20) のクロックの不確定性の値が 0.053ns の場合、クロックの不確定性の式 (式 5) では、総システム ジッター (TSJ) が 0.071ns、ディスクリート ジッター (DJ) が 0.078ns となります。



X20072-122217

図 20: データシートのパス プロパティで出力バスを解析

エッジアラインのソース同期出力の場合、位相エラーはトランスミッターのエラーに影響を与えることがないため、値がゼロでなくても無視できます。この MMCM (1250Mb/s に設定) の例の場合、TSJ と DJ を考慮するクロックの不確定性は、式 5 および表 1 のとおりです。

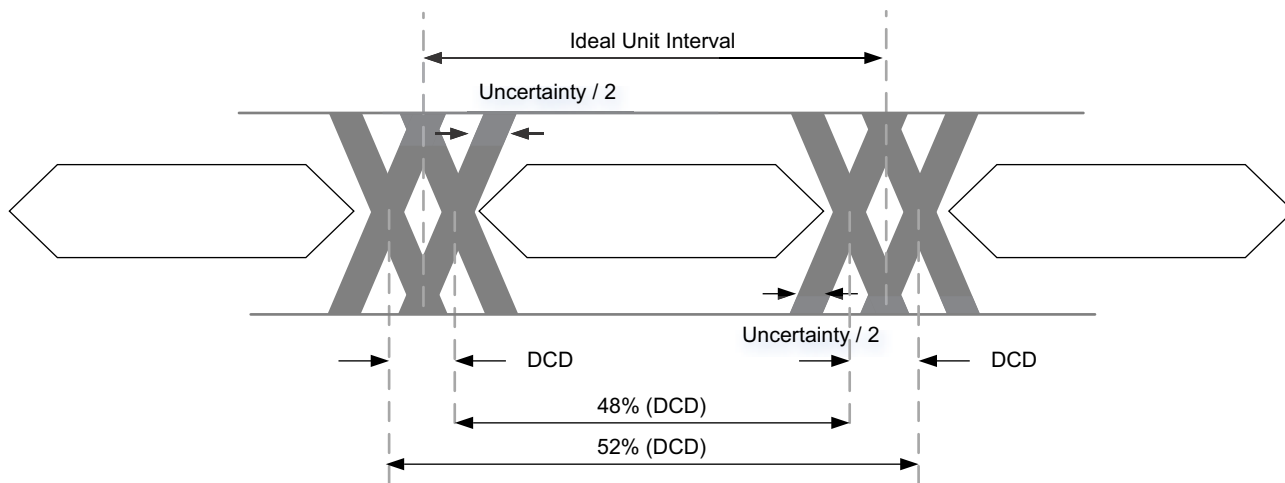
$$\text{clock_unc_ss_edge_aligned_output} = \frac{(\text{TSJ}^2 + \text{DJ}^2)^{1/2}}{2} \quad \text{式 5}$$

表 1: clock_unc_ss_edge_aligned_output

パラメーター	値 (ps)
TSJ	71
DJ	78
clock_unc_ss_edge_aligned_output	53

ソース同期デザインでは、転送クロック (TX_CLK) とデータ (TX_DOUT) が同じクロック エッジから出力されるため、最初のエッジにはクロックの不確定性がありません。クロックとデータは同じクロック エッジで送信され続けますが、クロックの不確定性がビット周期を圧縮する可能性があるため、不確定性を考慮する必要があります。

図 21 に、送信のビット周期に影響を与えるさまざまなクロック エラーの要因を示しています。DCD は、アイダイアグラムの中で 2 つの異なるビット周期のエッジとして現れています。図 21 に、48% と 52% のデューティサイクルではアイダイアグラムがどのように異なるかを示すものです。



X20074-121917

図 21: DCD とクロックの不確実性を伴う正規化されたアイ ダイアグラム

ソース同期のエッジアライン トランスミッターの合計タイミング バジエット

ソース同期でエッジアラインのトランスミッター インターフェイスにおけるタイミング バジエットの合計は、出力バス スキューとクロック エラーを合わせた値です。出力バス スキューは、データシート レポートのバス スキューと送信遅延の変動を合わせた値です (式 6)。クロック エラーは、クロック ネットワークの DCD とクロックの不確実性を合わせた値です (式 7)。式 8 に、合計の送信タイミング バジエットの計算式を示します。

$$\text{source_sync_out_bus_skew} = \text{datasheet_bus_skew} + \text{output_logic_delay_variation} \quad \text{式 6}$$

$$\text{source_sync_clock_error} = \text{DCD} + \text{クロックの不確実性} \quad \text{式 7}$$

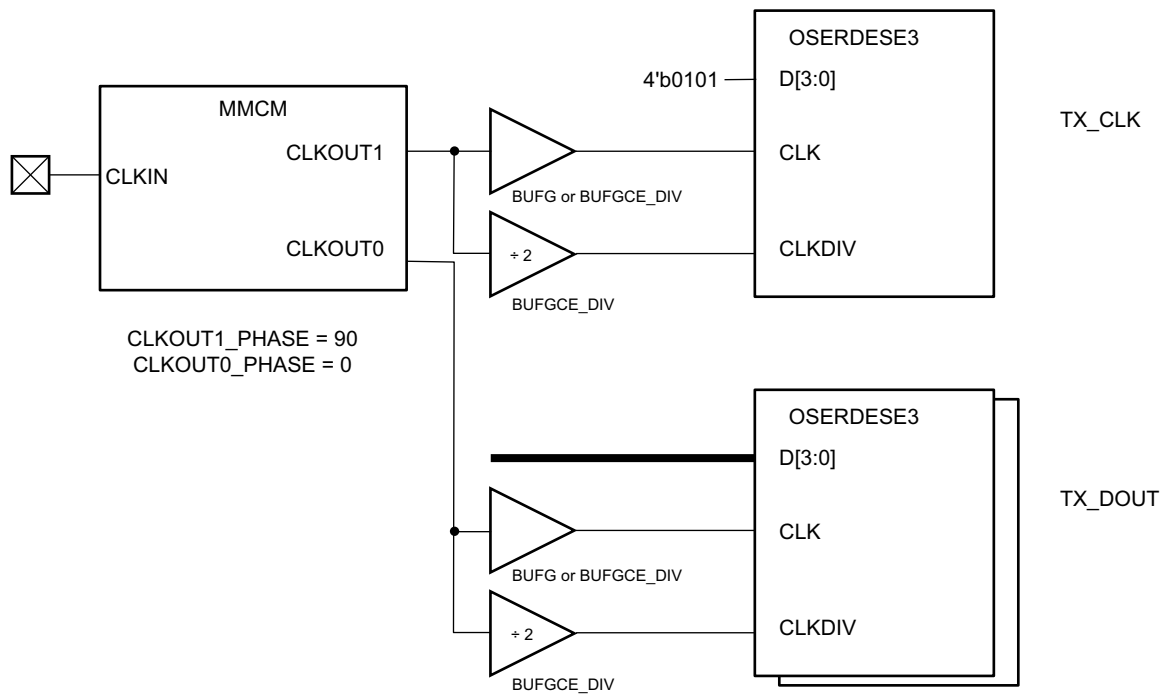
$$\text{送信エラー} = \text{source_sync_out_bus_skew} + \text{source_sync_clock_err} \quad \text{式 8}$$

表 2 のとおり、解析されたエッジアラインの例では、送信エラーが 508ps となります。

表 2: ソース同期でエッジアラインのトランスミッターの合計タイミング バジエット

パラメーター	値 (ps)
datasheet_bus_skew	175
output_logic_delay_variation	80
DCD	200
clock_unc_ss_edge_aligned_output	53
合計	508

出力 - センターアラインのソース同期出力バスのタイミング



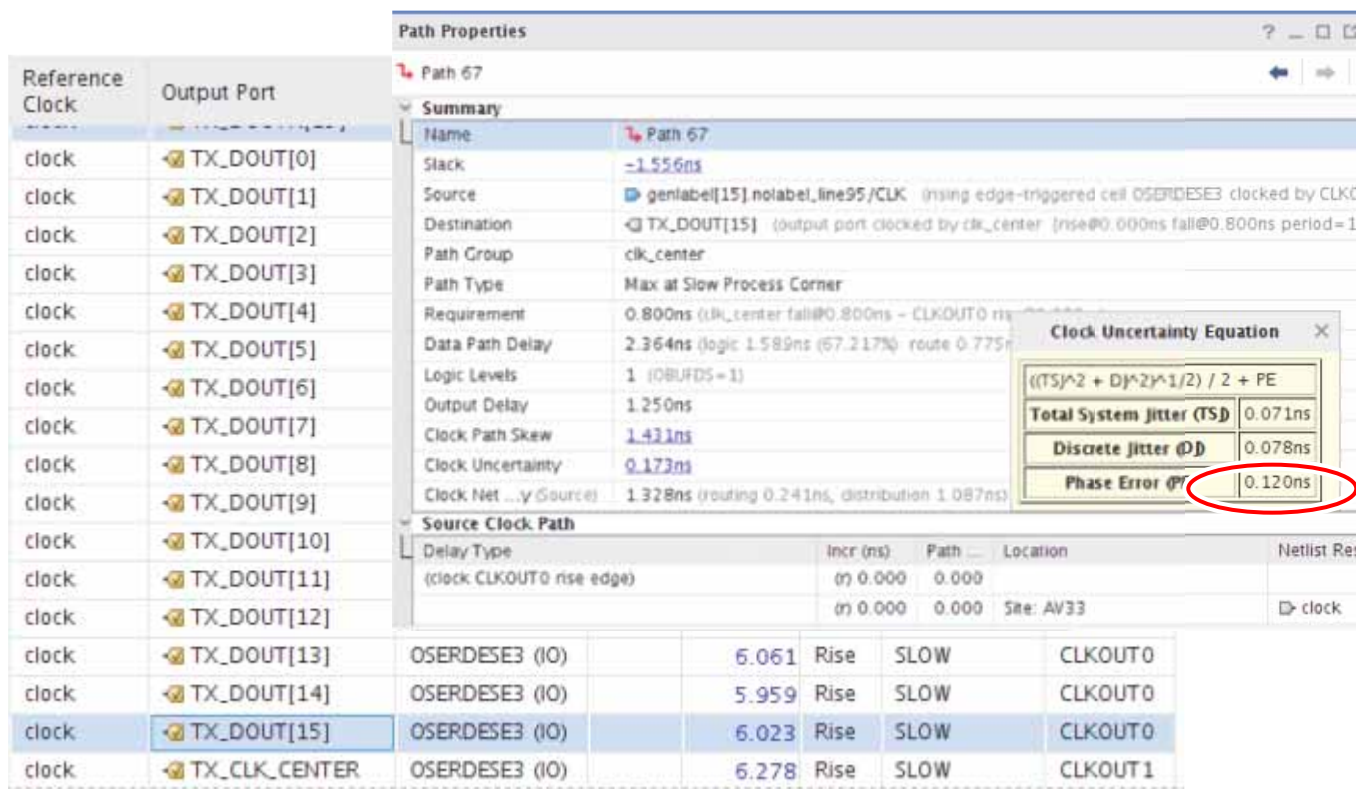
X20077-121917

図 22: センターアラインのソース同期出力バス (OSERDESE3)

センターアラインのソース同期出力バスのタイミング バジレットは、転送クロック (TX_CLK) が TX_DOUT のビット周期の中央に位置する点を除いて、エッジアラインのソース同期出力バスのタイミングと類似しています。datasheet_bus_skew、source_sync_transmit、および DCD については、「出力 - エッジアラインのソース同期出力バスのタイミング」で説明する内容と同じです。

クロックの不確定性 (clock_unc_ss_center_aligned_output)

図 23 に示すクロックの不確定性は、この例の場合、位相エラーが 120ps となっています。センターアライン クロックの場合は、任意の 2 つの MMCM クロック出力間のスタティック位相オフセットを考慮する必要があります。ただし、一貫性をもたせるために、この位相エラーはクロックの不確定性とは関係なく単独で管理されます。



X20076-121917

図 23: TX_DOUT のセンターアライン データシート レポートの例

式 9 で表すように、TSJ と DJ を考慮する場合、この MMCM (1250Mb/s に設定) 例のクロックの不確定性は 53 ps です。

$$\text{clock_unc_ss_center_aligned_output} = \frac{(TSJ^2 + DJ^2)^{1/2}}{2} \quad \text{式 9}$$

MMCM/PLL 出力のスタティック位相オフセット

センターアラインのソース同期出力バスのタイミング バジレットは、異なるクロック出力間の位相差に対する許容値のみを追加するだけとなります。MMCM の場合、これはデータシートから MMCM_TSTATPHAOFFSET または PLL_TSTATPHAOFFSET として取得できます。

スタティック位相オフセットは、MMCM の出力から同じクロック領域内のクロック バッファーまで測定され、クロック バッファーの出力からの配線変動は含まれません。したがって、クロック バッファーからのクロック配線を適切に揃えるには、「クロッキング要件」に従うことが非常に重要です。

ソース同期のセンターアライン トランスミッターの合計タイミングバジェット

ソース同期でセンターアラインのトランスミッター インターフェイスにおけるタイミング バジエットの合計は、出力バス スキューとクロック エラーを合わせた値です。出力バス スキューは、Vivado データシート レポートのバス スキューと送信遅延の変動を合わせた値です(式 10)。クロック エラーは、クロック ネットワークの DCD、クロックの不確定性、およびスタティック位相エラーを合わせた値です(式 11)。式 12 に、トランスミッターの合計タイミングバジエットの計算式を示します。

$$\text{source_sync_out_bus_skew} = \text{datasheet_bus_skew} + \text{output_logic_delay_variation} \quad \text{式 10}$$

$$\text{source_sync_clock_err} = \text{DCD} + \text{クロックの不確定性} + \text{statphaseoffset} \quad \text{式 11}$$

$$\text{送信エラー} = \text{source_sync_out_bus_skew} + \text{source_sync_clock_err} \quad \text{式 12}$$

表 3 のとおり、解析されたセンターアラインの例の場合、送信エラーは 628ps となります。

表 3: ソース同期のセンターアライン トランスミッターのタイミングバジェット

パラメーター	値 (ps)
datasheet_bus_skew	175
output_logic_delay_variation	80
DCD	200
clock_unc_ss_center_aligned_output	53
statphaseoffset	120
合計	628

入カークャリブレーションなし

その他のアライメント機能がない標準的な入力バスには、Vivado タイミング解析を使用してタイミングを解析する必要があります。

注記: COUNT モードで IDELAY/ODELAY を使用するデザインの場合、プログラムされる遅延は、データシートのパラメーター ($T_{\text{IDELAY_RESOLUTION}}$ および $T_{\text{ODELAY_RESOLUTION}}$) に応じて変化します。COUNT モードの場合、全範囲の遅延分解能を考慮する必要があります。より高い性能を達成するには、基準クロックを使用して遅延を補正する TIME モードで遅延を使用するか、または「入カークャリブレーションあり」で説明されているような補正技術を使用する COUNT モードを使用してください。

入カークャリブレーションあり

『通信クロックを使用する LVDS ソース同期の 7:1 シリアライズおよびデシリアライズ』(XAPP1315) [参照 4] で説明されているように、7:1 インターフェイスなどのクロックアライメントを行う入力バスの場合、入力遅延を持つ差動入力を使用して、スタートアップ時に入力クロック遅延を補正できます。

Vivado ツールからのタイミング値は、キャリブレーションプロセスのアライメントを正しくは反映していません。これは、キャリブレーションではクロック遅延が除去されるためです。次のパラメーターを使用して、レシーバーのエラーを計算できます。

- 「 $T_{\text{SAMP_BUFG}}$ 」は UltraScale デバイスのデータシート [参照 5] および UltraScale+ デバイスのデータシート [参照 6] を参照
- 「datasheet_input_bus_skew (データシート入力バス スキュー)」は Vivado ツールによるデータシート レポートに記載。レポートの例は図 24 を参照

$T_{\text{SAMP_BUFG}}$

IDDRE1 または ISERDESE3 を含む I/O ロジックのサンプリング ウィンドウは、 $T_{\text{SAMP_BUFG}}$ としてデータシートに定義されています。 $T_{\text{SAMP_BUFG}}$ には、MMCM などのクロックに関連するノイズが考慮されます。クロック スキューは、これとは別に管理されます。

さらに、デバイスの V_{CCINT} および温度が推奨動作条件内である限り、 $T_{\text{SAMP_BUFG}}$ には、最初のキャリブレーション後の遅延の変動が考慮されます。

datasheet_input_bus_skew (データシート入力バス スキュー)

クロック パス スキューを解析する場合は、データシート レポートを使用する必要があります。低速での最大遅延 (セットアップ) は、セットアップ遅延の変動範囲を確認します。図 24 に示すとおり、セットアップ範囲は 109ps です。

Source	Setup	Set u...	Setup Process Corner
din[0]	-2.127	Rise	SLOW
din[1]	-2.089	Rise	SLOW
din[2]	-2.199	Rise	SLOW
din[3]	-2.179	Rise	SLOW
din[4]	-2.203	Rise	SLOW
din[5]	-2.109	Rise	SLOW
din[6]	-2.078	Rise	SLOW
din[7]	-2.102	Rise	SLOW
din[8]	-2.084	Rise	SLOW
din[9]	-2.118	Rise	SLOW
din[10]	-2.127	Rise	SLOW
din[11]	-2.102	Rise	SLOW
din[12]	-2.103	Rise	SLOW
din[13]	-2.106	Rise	SLOW
din[14]	-2.102	Rise	SLOW
din[15]	-2.175	Rise	SLOW

X20081-121917

図 24: データシート レポートの入力セットアップ バス

注記: データシート レポートの生成は、パッケージ スキューがある場合とない場合で実行できます。パッケージ スキューが PCB 配線によって補正される場合は、`disable_flight_delays` オプションを使用してパッケージ スキューを無効にします。

```
config_timing_analysis -disable_flight_delays true
```


スタートアップ時に補正済みクロックを使用する場合のレシーバーの合計タイミングバジェット

補正済みクロックを使用する入力バスのレシーバーにおけるタイミングバジェットは、 $T_{\text{SAMP_BUFG}}$ と入力バススキューを合わせた値です。解析された入力バスの例 (スタートアップ時にクロック遅延が補正される場合) では、入力バスエラーが 735ps となっています (表 4 参照)。

表 4: バスアライメントがあるレシーバーのタイミングバジェット

パラメーター	値 (ps)
$T_{\text{SAMP_BUFG}}$	610
datasheet_input_bus_skew	125
合計	735

入カーダイナミック位相アライメントあり

一部のレシーバーインターフェイスでは、ダイナミック位相アライメントを使用して、レシーバーごとに単独でデータとクロックを揃えます。このキャリブレーションで獲得するタイミングマージンは、次に示す各パラメーターを使用して計算できます。

入力ロジックの不確定性 (input_logic_uncertainty)

input_logic_uncertainty には、入力ロジック (入力レジスタ、IDDRE1 または ISERDESE3) に対するセットアップ/ホールドおよびパターン依存のジッターが考慮されています。この値には、個別に考慮される必要があるクロック配線は含まれていません。

表 5: 入力ロジックの不確定性

パラメーター (ps)	UltraScale デバイス	UltraScale+ デバイス
input_logic_uncertainty	40	40

デューティサイクルの歪み (DCD)

MMCM のデューティサイクル (MMCM T_{OUTDUTY}) や PLL のデューティサイクル (PLL T_{OUTDUTY}) はデータシートに指定されており、クロックバッファの出力から ODDRE1/OSERDESE3 までです。

DCD は、クロックエッジ (立ち上がり/立ち下がり) でデータを送信しないデザインの入力には影響を与えません。図 19 で D1 と D2 が同じ値である場合、クロックの立ち下がりエッジでスイッチング動作が見られず、DCD は生じません。したがって、クロックの立ち上がりエッジまたは立ち下がりエッジのいずれかを排他的に使用するデザインでは、DCD の影響を考慮する必要はありません。

キャリブレーションエラー (cal_err)

キャリブレーション回路に関連するエラーを考慮するには、IDELAY の分解能を含める必要があります。IDELAY の分解能は、デバイスのデータシートに $T_{\text{IDELAY_RESOLUTION}}$ として定義されています。式 13 に示すように、量子化の影響により、選択された正確な値は IDELAY の最大分解能 (UltraScale デバイスの場合は 15ps、UltraScale+ デバイスの場合は 12ps) の 2 倍まで変動する可能性があります。

$$\text{cal_err} = 2 \times T_{\text{IDELAY_RESOLUTION}} \quad \text{式 13}$$

クロックの不確定性 (clk_unc_dpa)

ダイナミック位相アライメントを使用して各データ入力をトレーニングする場合、式 14 および表 6 に示すように、クロックの不確定性は TSJ と DJ を考慮する必要があります。

$$\text{clock_unc_dpa} = \frac{(TSJ^2 + DJ^2)^{1/2}}{2} \quad \text{式 14}$$

クロックの不確定性は、理想的な位置からのクロック エッジの変動や、クロッキング コンポーネント (CMT、クロック バッファ、電源ノイズ) に起因するシステム ジッター、ディスクリート ジッター、および位相エラーによるものです。

クロックの不確定性は、タイミング パス レポートに報告されます。入力バスの場合、位相エラーがクロックの不確定性に影響を与えます。MMCM を使用する場合は、位相アライメント用に帯域幅を **Optimized** または **High** のいずれかに設定してください。

表 6: clock_unc_dpa

パラメーター	値 (ps)
TSJ	71
DJ	78
clock_unc_dpa	53

補正済みデータを使用する場合のレシーバーの合計タイミングバジェット

ダイナミック位相アライメントを使用する入力バスの場合、レシーバーのタイミング バジェットは、[式 15](#) で表されるように、入力ロジックの不確定性、キャリブレーション エラー、DCD、およびクロックの不確定性を合わせた値です。

$$\text{comb_input_cal_data} = \text{input_logic_uncertainty} + \text{cal_err} + \text{DCD} + \text{clock_unc_dpa} \quad \text{式 15}$$

解析された入力バスの例 (データ遅延が継続的に補正される場合) では、入力バス エラーが 317ps となっています ([表 7](#) 参照)。

表 7: バス アライメントがあるレシーバーのタイミング バジェット

パラメーター	値 (ps)
input_logic_uncertainty	40
cal_err	24
DCD	200
clock_unc_dpa	53
合計	317

まとめ

ソース同期 I/O インターフェイスには特別なタイミング要件があるため、入念にクロッキング トポロジを設計し、デザインの考察事項に従う必要があります。このアプリケーション ノートでは、UltraScale および UltraScale+ デバイスで SelectIO コンポーネント モード プリミティブ (ODDRE1、IDDRE1、ISERDESE3、および OSERDESE3) を使用する I/O インターフェイスの推奨使用モデルおよびタイミング解析手法について説明しています。

Xilinx Documentation Navigator およびデザイン ハブ

Xilinx Documentation Navigator (DocNav) では、ザイリンクスの資料、ビデオ、サポート リソースへアクセスでき、特定の情報を取得するためにフィルター機能や検索機能を利用できます。Xilinx Documentation Navigator を開くには、次のいずれかを実行します。

- Vivado® IDE で [Help] → [Documentation and Tutorials] をクリックします。
- Windows で [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [DocNav] をクリックします。
- Linux のコマンド プロンプトに「docnav」と入力します。

ザイリンクスのデザイン ハブでは、資料へのリンクがデザイン タスクおよびトピックごとにまとめられており、これらを参照することで重要なコンセプトに関する知識を得たり、よくある質問 (FAQ) を参考に問題を解決できます。デザイン ハブにアクセスするには、次のいずれかを実行します。

- Xilinx Documentation Navigator で [Design Hubs View] タブをクリックします。
- ザイリンクスのウェブサイトでは [デザイン ハブ](#) のページを参照します。

注記: Xilinx Documentation Navigator の詳細は、ザイリンクス ウェブサイトの [Documentation Navigator](#) ページを参照してください。Xilinx Documentation Navigator からは日本語版は参照できません。ウェブサイトのデザイン ハブ ページの一部は翻訳されており、日本語版が提供されている場合はそのリンクも追加されています。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. 「UltraScale - High Speed SelectIO - ネイティブ モードのタイミング バジェット例」([ザイリンクス アンサー 68618](#))
2. 『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: [英語版](#)、[日本語版](#))
3. 『UltraScale アーキテクチャ クロッキング リソース ユーザー ガイド』(UG572: [英語版](#)、[日本語版](#))
4. 『通倍クロックを使用する LVDS ソース同期の 7:1 シリアライズおよびデシリアライズ』([XAPP1315](#))
5. UltraScale デバイス データシート:
 - 『UltraScale アーキテクチャおよび製品データシート: 概要』(DS890: [英語版](#)、[日本語版](#))
 - 『Kintex UltraScale FPGA データシート: DC 特性および AC スイッチ特性』(DS892: [英語版](#)、[日本語版](#))
 - 『Virtex UltraScale FPGA データシート: DC 特性および AC スイッチ特性』(DS893: [英語版](#)、[日本語版](#))
6. UltraScale+ デバイス データシート:
 - 『Kintex UltraScale+ FPGA データシート: DC 特性および AC スイッチ特性』(DS922: [英語版](#)、[日本語版](#))
 - 『Virtex UltraScale+ FPGA データシート: DC 特性および AC スイッチ特性』(DS923: [英語版](#)、[日本語版](#))
 - 『Zynq UltraScale+ MPSoC データシート: DC 特性および AC スイッチ特性』(DS925: [英語版](#)、[日本語版](#))
7. 『Vivado Design Suite ユーザー ガイド: デザイン解析およびクロージャ テクニック』(UG906: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2018年1月18日	1.0	初版

お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとし、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとし、

© Copyright 2018 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。