



XAPP158 (v1.4) 2001 年 2 月 6 日

Virtex FPGA への電力供給

著者: Austin Lesea、Mark Alexander

概要

Xilinx FPGA の消費電力は、内部ロジックの遷移数によって異なり、動作クロック周波数に比例します。デバイスのサイズが大きいほど、消費電力も増えます。一般に、大規模で高速なデザインでは数アンペアの電流が必要です。温度を正確に解析しないと、発生する熱によって最大許容ジャンクション温度を容易に越えてしまいます。初期状態や過渡動作、ターンオン、ターンオフなどの電源要件も重要になります。デバイスのアプリケーションなどでは、デバイスを使用するときの電源のバイパスまたはデカップルには十分な注意が必要です。デザインを成功させるには、電源についてこれらのすべてを考慮する必要があります。

はじめに

Xilinx デバイスで消費される電力は、デザインによって非常に異なります。電力を正確に予測して、システムの電源が FPGA の要件を満たすようにする必要があります。チップ温度を動作範囲内に保つための温度計画とパワー フィルタリング ネットワークのデザインにも、正確な電力データが必要です。このアプリケーションノートでは、Virtex™、Virtex-E、Virtex-II、Spartan™-II の FPGA に関する次のトピックについて説明します。

- Virtex Power Estimator を使用する電力要件の予測
- 周囲温度とジャンクション温度に関する温度の考慮事項
- 初期状態や過渡動作、ターンオン、ターンオフなどの電源要件
- デバイスにおける電源のバイパスまたはデカップル

電力の必要条件

特定のデザインについて電力要件の判断を容易にするため、Xilinx では Virtex Power Estimator を作成しています。これは、Web サイトの <http://www.xilinx.co.jp/support/techsup/powerest/> で入手できます。操作マニュアルについては、<http://www.xilinx.co.jp/xapp/xapp152.pdf> の XAPP152『Virtex Power Estimator ユーザー ガイド』を参照してください。Virtex Power Estimator ワークシートは、Virtex デザインの消費電力を予測します。Spartan-II ファミリーには Virtex シリーズと同じアーキテクチャが採用されているため、Spartan-II デバイスに Virtex の Power Estimator を使用できます。この場合は、同じ集積度を持つ Virtex デバイスを選択します。たとえば、XC2S15 および XC2S30 に対し、電力予測値を計算するには、XCV50 を選択します。Power Estimator では、集積度およびパッケージの種類 (CS、FG、PQ、TQ) が一致するように、オプションを選択します。このワークシートでは、正確な電力予測のために、デザインのリソース使用率、トグル レート、I/O など多くの要因が考慮されます。

このプログラムで使用されている公式は実際のテスト デザインの測定値に基づいているので、Virtex Power Estimator で得られる値は "典型的" になります。変動的な消費電力は、各ノードのスイッチング周波数が既知の場合のみ正確に計算できます。このような詳細な情報は、システムの動作を考慮しないと得ることができません。

温度についての考慮事項

FPGA チップの温度は、全体的な電力損失、パッケージの熱抵抗、周囲温度、気流という 4 つの要因によって決定されます。チップを最大ジャンクション温度以下にするには、これらの要因を考慮する必要があります。通常、設計者はこれらの要因の少なくとも 1 つは制御できます。温度解析によってチップが温度の上限を越えることがわかった場合は、クロック速度の低下、気流の向上、パッケージの変更、またはヒートシンクの追加という対策を講じることができます。

ケースまたはラック内の温度 (T_{AMB})、FPGA 全体の電力損失 (P)、パッケージの熱抵抗 (Θ_{JA}) が与えられ、ジャンクション温度 (T_J) は次のように計算できます。

$$T_J = T_{AMB} + P (\Theta_{JA}) \quad (1)$$

この式は、チップの温度が周囲温度より高くなることを示しています。全体の電力損失 (P) にパッケージの熱抵抗 (Θ_{JA}) を掛けた値が、ジャンクション温度と周囲温度の差になります。

温度計画の目標は、チップ温度を最大定格値より低く保つことです。コマーシャルグレード製品の最大値は 80°C、インダストリグレード製品の最大値は 100°C です。この温度を越えるとパフォーマンスが低下し、データシートのタイミング値が保証されなくなります。コマーシャルグレード製品とインダストリグレード製品のどちらの場合も、絶対最大定格温度は 125°C です。この温度を越えると、デバイスの信頼性が低下します。

温度解析手順の例として、XCV1000E の平均的なデザインを考えてみます。このデザインは、デバイスの 90% を使用して 75MHz で動作します。この仕様では、Xilinx Power Estimator から電力損失の値は 5 W になります。この場合、BG560 パッケージではチップ温度が周囲温度より 50°C 高くなります。アプリケーションの最大周囲温度 (ケースまたはラック内の温度) が 40°C の場合、チップは 90°C になり、コマーシャルグレードのデバイスの最大温度を越えます。これらの値は、上記の式 1 を使用して計算されます。

$$\begin{aligned} P &= 5 \text{ W} \\ \Theta_{JA} &= 10.0^\circ\text{C/W} \text{ (2000 データブック、第 8 章の表 3 より)} \\ T_{AMB} &= 40^\circ\text{C} \\ T_J &= 40^\circ\text{C} + 5 \text{ W} \times (10.0^\circ\text{C/W}) = 90^\circ\text{C} \end{aligned}$$

この 50°C という周囲温度からの上昇は、静止した空気に露出したパッケージにおけるものです。パッケージの上部に 250 リニアフィート/秒 (LFM) の空気を供給するファンを取り付けると、パッケージの熱抵抗値は 7°C/W に低下するので、チップ温度が 75°C になります。500 LFM では、チップ温度が 70°C まで低下します。ファンの使用が望ましくない場合は、ヒートシンクを使用することによってもチップから周囲への実質的な熱抵抗を低下させることができます。

電源の必要条件

パワーアップ時に、最大 V_{CCINT} の立ち上がり時間を 50ms 未満にする必要があります (データシートを参照してください)。 V_{CCINT} の立ち上がり時間は、電源から供給できる電流の量によって異なります。大量の電流を供給できる場合、 V_{CCINT} の立ち上がりは非常に高速になります。最終的な電圧に達すると、このような高電流は不要になります。同様に、供給される電流が制限される場合は、立ち上がり時間が長くなります。電流のトリップやフォールドバックによって立ち上がりが制限されないようにする必要があります。電流を制限する動作は、データシートの「パワーオンランプアップ電流条件」仕様に基づいたものは受け入れることができます。電圧の上昇は、なるべく一定になるようにしてください。特定の電圧にとどまることは、電源の動作として受け入れられません。電圧が最小動作電圧以上になってから最小動作電圧未満に落ちた場合も、パワーアップが正しく動作しなくなります。電源を切って電源電圧が絶対最小動作電圧未満になった場合、直ちには標準の動作電圧に戻さないでください。このような場合は、まず 0.1V DC 未満に放電してください。この要件を満たすには、フィルタとバイパスコンデンサを放電するために抵抗が必要な場合もあります。

高速なデザインの電源は、デバイスごとに最大 5 アンペアを供給することが必要な場合があります。このような電源では、デバイスに電力を分配するときの抵抗降下を考慮する必要があります。IR の降下によってデバイスにおける電圧が標準値より小さくなる場合、パフォーマンスが変動します。

クロック速度が高く強制的に空冷を行うデザインでは、抵抗による電圧降下が著しくなる場合があります。抵抗降下を補正するために、 V_{CCINT} と V_{CCIO} の電源電圧を上昇させることが必要な場合があります。

デザインによっては、このような電力が不要な場合があります。トグルレートが非常に低いデザインや少数のロジックしか使用しないデザインでは、変動的な電源に関する制限が少なくなります。このような場合に電源要件を決定する要因は、選択したデバイスのスタートアップおよびコンフィギュレーション電流です。各デバイスの静止およびコンフィギュレーション電流定格については、データシートの DC 特性のセクションに記載されています。

バイパスについての考慮事項

高速で高集積の FPGA デバイスでデザインの信頼性と再現性を保証するには、信号の完全性を保つことが重要です。電力を正しくバイパスおよびデカップルすると、全体的なシグナルインテグリティが向上します。バイパスやデカップルを行わないと、電源とグラウンドの電圧がロジックの遷移の影響を受け、動作の問題が発生する原因となります。

ロジック デバイスが論理値 1 から 0 または論理値 0 から 1 に切り替わるときに、出力構造は瞬間的に電源との間で低インピーダンス状態になります。遷移には信号ラインの充電または放電が必要で、これにはエネルギーが必要となります。この結果、電圧が急降下しないようにするため、大量の電荷が突然必要になります。バイパス コンデンサの目的は、ローカルにエネルギーを貯蔵することです。

こうしたコンデンサは、広汎な周波数範囲で使用できる必要があります。高周波の遷移で高速な電流を提供するには、直列インダクタンスが低い、非常に小さいコンデンサを使用します。これよりも大きく低速なコンデンサは、高周波コンデンサのエネルギーが使い尽くされた後も電流を供給します。現在の FPGA 技術では、高、中、低という 3 種類の周波数範囲のコンデンサが必要です。これらの周波数は、1KHz ~ 500MHz の範囲 (Switching Knee Frequency) になります。Knee Frequency はロジック遷移のエッジレートに関するもので、おおよその値は信号の立ち上がり時間の 2 倍の逆数になります。詳細については、Johnson、Graham 共著の書籍『High-Speed Digital Design』を参照してください。

高周波コンデンサ (0.1 ~ 0.001 μ F の低インダクタンスセラミック チップ) では、正しい配置が非常に重要です。中周波コンデンサ (47 ~ 100 μ F のタンタル コンデンサ) では重要度は低く、低周波コンデンサ (470 ~ 3,300 μ F) では重要度がさらに低くなります。

このように配置に依存する理由は単純で、コンデンサの端子から FPGA の電源ピンまでのパスのインダクタンスを可能な限り小さくしなければならないためです。つまり、パスが固体のグラウンドや電源プレーンを通る場合でも、パスを可能な限り短くする必要があります。固体の銅プレーンのインダクタンスは 1 インチで約 1nH なので、すべての距離が重要です。バイパス コンデンサのパスは、グラウンドまたは V_{CC} プレーンに最短距離で通る必要があります。

V_{CCINT} と V_{CCIO} のどちらの場合も、高周波バイパス コンデンサは対応する V_{CC} ピンの 1cm 以内に配置する必要があります。ほとんどの場合、この要件を満たすには、コンデンサを PC ボードの裏側の FPGA の下部に配置することになります。これが不可能な場合は、デバイス周辺で可能な限り近い場所にコンデンサを配置してください。

V_{CCINT} と V_{CCIO} の中周波バイパス コンデンサは、V_{CC} ピンの 3cm 以内に配置する必要があります。この場合も、ボードの裏面が最適な配置場所です。

低周波のバイパス コンデンサは、妥当な場所であればボード上のどこにでも配置できます。もちろん、望ましいのは FPGA の周辺です。大量の低周波エネルギーが不要なデザインでは、このサイズのコンデンサを省略できます。電力システム全体のシミュレーションなどによってこの要件が成り立たないことがある程度確実な場合は、低周波コンデンサを使用してください。低周波コンデンサは、どのような場合もほとんどのデザインで必要です。

コアの V_{CC} バイパスの計算

Xilinx FPGA のコアには、短期間 (50ps 未満) の非常に小さい電流についての必要条件があります。これらの電流をデバイス全体で合計すると、数アンペアの電流になります。スイッチの数が多数あるので、コアをバイパスするデザインを扱うには、平均エネルギー貯蔵要件を使用します。この方法ではバイパス コンデンサの要件が控えめに予測されるので、ワーストケースではなく一般的な電力予測を使用します。

基本の式 (式 2) を使用すると、高周波コンデンサの要件を決定できます。

$$P = CV^2F \quad (2)$$

C について解くと、コア電力 (P)、コア電圧 (V)、クロック周波数 (F) の関数として FPGA の等価容量 (C_{EQ}) の式が得られます。

$$C_{EQ} = \frac{P}{V^2 F} \quad (3)$$

C_{EQ} は、FPGA 全体の等価切り替え容量を表します。この値によって、最適なサイズの高周波バイパスコンデンサを選択できます。 V_{CCINT} の変動 (ノイズ) を小さい値に保つには、バイパス容量が FPGA の等価容量よりはるかに大きい必要があります。高周波バイパス容量 (C_{BT}) は、FPGA の等価容量 (C_{EQ}) より 25 ~ 100 倍大きい必要があります。25 倍にすると、 V_{CCINT} の変動は 1/25、つまり 4% になります。同様に、100 倍にすると、 V_{CCINT} の変動は 1% になります。スケールファクタを 50 にすると (変動は 2%)、次の式が得られます。

$$C_{BT} = (S \times C_{EQ}) \quad (4)$$

すべての V_{CCINT} と GND のペアに高周波バイパスコンデンサが必要です。各コンデンサの最適なサイズ (C_{BI}) を決定するには、 C_{BT} の合計をデバイスの V_{CCINT} ピンの数で割って、一般に使用できる値でそれに近い値を使用します。

$$C_{BI} = \frac{C_{BT}}{N_p} \quad (5)$$

これらの式を組み合わせると、各 V_{CCINT} 用の高周波コンデンサの最大サイズ (C_{BI}) についての式が得られます。

$$C_{BI} = \frac{C_{BT}}{N_p} = \frac{S \times C_{EQ}}{N_p} = \frac{S \times \frac{P}{V^2 F}}{N_p} \quad (6)$$

例として、75MHz で動作し 5 W を消費する BG560 パッケージの XCV1000E を考えてみましょう。 V_{CCINT} の変動は 2% 未満でなければならず、これは 50 というスケールファクタに対応します。BG560 パッケージには 36 本の V_{CCINT} ピンがあるので、 N_p の値は 36 です。

$$\begin{aligned} P &= 5W \\ V &= V_{CCINT} = 1.8V \\ F &= 75MHz \\ S &= 50 \\ N_p &= 36 \end{aligned}$$

$$C_{BI} = \frac{50 \times \frac{5W}{(1.8V)^2 \times 75MHz}}{36} = 0.028\mu F$$

各高周波コンデンサの最小サイズは、0.028 μF です。使用できるサイズのコンデンサで次に大きい値のもの (0.047 μF または 0.1 μF) を選択してください。

高周波バイパスコンデンサが決定したので、次に中周波と低周波のコンデンサを選択します。中周波範囲には、47 ~ 100 μF のタンタルコンデンサが適しています。タンタルコンデンサを使用できない場合は、低インダクタンスのアルミ電解コンデンサを使用できます。1500 個の CLB ごとに少なくとも 1 つの中周波コンデンサが必要です。つまり、XCV1000E ではデバイスの 3cm 以内に少なくとも 4 個の中周波コンデンサが必要です。

4 個の FPGA ごとに少なくとも 1 個の低周波コンデンサ (470 ~ 3,300 μF) をボード上のどこかに配置する必要があります。

I/O の電源バイパスの計算

単一のデバイスで多数の I/O 構造を使用できるようになっているので、 V_{CCO} 電源ピンに適切なバイパスを提供するよう注意する必要があります。 V_{CCINT} と同様に、I/O のバイパス要件は平均エネルギー貯蔵要件に基づいて計算されます。この場合、等価切り替え容量のサイズを決定するのは、FPGA が駆動する負荷です。I/O バンクによって動作電圧が異なる場合が多いので、バイパス ネットワークを別々に設計する必要があります。

1 つのバンクまたは 1 つの電圧レベルに対応する負荷の等価容量 (C_{EQ}) を決定するには、負荷の数 (N_L) に負荷の値 (C_L) を掛けます。

$$C_{EQ} = (N_L \times C_L) \quad (7)$$

V_{CCO} の変動 (ノイズ) を小さい値に保つには、バイパス容量が等価負荷容量よりはるかに大きい必要があります。高周波バイパス容量は、等価負荷容量より 25 ~ 100 倍大きい必要があります。式 4 を使用すると、全体の高周波バイパス容量 (C_{BT}) を決定できます。

すべての V_{CCO} と GND のペアに高周波バイパス コンデンサが必要です。各コンデンサの最適なサイズ (C_{BI}) を決定するには、 C_{BT} の合計をバンク内の V_{CCO} ピンの数 (N_P) で割って、一般に使用できる値でそれに近い値を使用します。各 V_{CCO} の高周波コンデンサ C_{BI} の最大サイズを表す式を組み合わせると、式 8 が得られます。

$$C_{BI} = \frac{C_{BT}}{N_P} = \frac{S \times C_{EQ}}{N_P} = \frac{S \times N_L \times C_L}{N_P} \quad (8)$$

この場合も XCV1000E の例を使用して、I/O バンクに 40 個の出力があるとします。それぞれの負荷は、10pF です。BG560 パッケージでは各バンクに 5 本の V_{CCO} ピンがあり、 V_{CCO} の変動は 2% にする必要があります。

$$\begin{aligned} S &= 50 \\ NL &= 40 \\ CL &= 10\text{pF} \\ NP &= 5 \end{aligned}$$

$$C_{BI} = \frac{50 \times 40 \times 10\text{pF}}{5} = 0.004\mu\text{F} \quad (9)$$

各高周波コンデンサの最小サイズは、0.004 μF です。使用できるサイズのコンデンサで次に大きい値のもの (0.0047 μF または 0.01 μF) を選択してください。

4 つの V_{CCO} バンクごとに 47 ~ 100 μF の中周波コンデンサが 1 つ必要です。中周波範囲には、タンタル コンデンサが適しています。タンタル コンデンサを使用できない場合は、低インダクタンスのアルミ電解コンデンサを使用できます。これらのコンデンサは、 V_{CCO} ピンから 3cm 以内に配置する必要があります。

各電圧レベルについて少なくとも 1 つの低周波コンデンサ (470 ~ 3,300 μF) を使用する必要があります。1 つのコンデンサで、4 つまでのデバイスに対応できます。

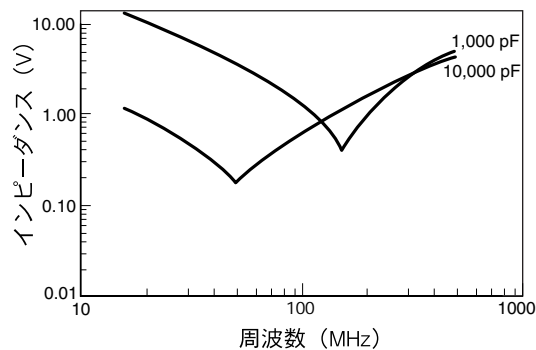
コンデンサの特性

新型のデバイスでは I/O バイパス要件によって、速度または集積度が低いデザインでは使用できたタイプのコンデンサが有効ではない場合があります。材料、構造、値によって、バイパス コンデンサの直列リアクタンスは周波数ごとに異なります。X7R や Z5U など各ファミリのデータシートを調べると、目的のアプリケーションに適したコンデンサがわかります。

周波数によるインピーダンスの変化について、図 1 に示します。たとえば、業界標準タイプの X7R モノリシック 0.01 μ F セラミック 1206 チップ コンデンサのインピーダンスは、50MHz で 0.2 Ω です。ただし、500MHz では同じコンデンサのインピーダンスが 3.0 Ω になります。実質的なインピーダンスが増加したために負荷に対して貯蔵されているエネルギーを使用できなくなると、コンデンサの効果がなくなります。

温度範囲も考慮する必要があります。コンデンサによっては、室温ではインピーダンスが低くても、高温になるとパフォーマンスが低下するものがあります。Z5U コンデンサは、容量が大きくなると (0.1 ~ 0.33 μ F) 高周波で ESR が低下する場合があります。ただし、これらは 10 $^{\circ}$ C 以下では使用しない方がよいでしょう。これらは +20%、-80% の部品なので、安全のためデザインの値をほぼ 2 倍にする必要があります。バイパス コンデンサ シリーズを選択する場合は、コンデンサ メーカーのデータシートを調べてください。

コンデンサ値のインピーダンスと周波数
(X7R 0805 の 1000 pF と 10000 pF)
によるインピーダンスの変化



図提供 : AVX Corp.
(www.avxcorp.com)

図 1: コンデンサのインピーダンスと周波数

参考文献

Howard Johnson, Martin Graham 共著『High Speed Digital Design: A Handbook of Black Magic』、Prentice Hall、New Jersey (1993 年)

おわりに

特定のデザインの消費電力と温度計画、デバイスの電源要件、適切な電力バイパスを考慮することによって、安定した信頼できるシステムを容易に開発できます。このアプリケーション ノートの内容は Virtex、Virtex-E、Virtex-II、Spartan-II ファミリのすべてのデバイスに適用します。

改訂履歴

日付	バージョン	改訂内容
1999 年 9 月 28 日	1.0	初期リリース
1999 年 11 月 15 日	1.1	少量の修正と新しいスタイルへの再フォーマット
2000 年 9 月 26 日	1.2	各セクションの文章と式を修正
2000 年 10 月 4 日	1.3	文章を若干修正
2001 年 2 月 6 日	1.4	Virtex-II および Spartan-II デバイス情報を追加