



XAPP161 (v3.1) 2002 年 6 月 10 日

## XC18V00 から XC1700 へのデザイン移行

著者: Chris Borelli および Randal Kuramoto

### 概要

XC1700™シリーズと XC18V00™ シリーズの PROM には互換性があるので、プロジェクトの開発段階では XC18V00 PROM のインシステム再プログラム機能を利用し、製造段階では安価な XC1700 シリーズの PROM を使用できます。このアプリケーション ノートでは、パッケージの互換性、ピンの互換性、I/O 電圧の互換性、電源とグラウンドの接続、バウンダリ スキャン チェーンの完全性など、XC18V00 PROM から XC1700 シリーズの PROM への移行パスをサポートするシステムについて考慮すべき点を説明します。

### はじめに

XC18V00 PROM ファミリーと XC1700 シリーズの PROM は、ザイリンクス FPGA をコンフィギュレーションするための簡単なソリューションです。これらを使用すると、電源を切ってもデータが失われず、ターゲットとなる FPGA に対する完全なビットストリーム提供メカニズムが得られます。

XC18V00 PROM ファミリーは、多くの魅力的な機能を持つ ISP (インシステム プログラマブル) PROM です。XC18V00 PROM は、IEEE バウンダリ スキャン規格 1149.1 (JTAG) をサポートします。JTAG ポートは、ボードをテストするためのアクセスが可能になります。また同様に、PROM の内容をオンボードで再プログラムできるようになります。ISP 機能は、デスクトップまたは遠隔地から FPGA のデザインをアップデートするための便利なメカニズムです。XC18V00 PROM は、シリアル モードまたはパラレル モードでターゲットの FPGA にビットストリームを送信できます。

XC1700 シリーズの PROM は、OTP (ワンタイム プログラマブル) PROM です。XC1700 シリーズの PROM は、主としてシリアル モードでターゲットの FPGA にビットストリームを送信します。XC17V00 PROM ファミリーの一部は、パラレル モードでビットストリームを送信することもできます。XC1700 シリーズの PROM はプログラム時間が短い安価なソリューションを提供するので、製造環境では魅力的なソリューションとなります。

XC18V00 ISP PROM ファミリーは、デザインのアップデートが頻繁に行われる試作/開発段階での使用に適しています。そして、XC18V00 ISP PROM と XC1700 シリーズの OTP PROM には互換性があるので、最終的な製造段階では安価な XC1700 OTP PROM に移行できます。

### 機能の比較

XC18V00 ISP PROM ファミリーと XC1700 シリーズの OTP PROM では、いくつかの機能が異なります。基本的な違いは、プログラミングのサポートです。XC18V00 ISP PROM はシステム内で再プログラムができますが、XC1700 シリーズの PROM は 1 回だけプログラムできます。表 1 に、XC18V00 ISP PROM と XC1700 シリーズの OTP PROM の主要な機能を示します。

© 2002 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.co.jp/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。

表 1: PROM の機能

機能	XC18V00 ISP PROM	XC1700 シリーズの OTP PROM
インシステム リプログラマブル	JTAG を使用すれば可能	該当なし
バウンダリ スキャン テスト	可能	該当なし
独立した I/O 電源ピン	可能	不可
シリアル出力モード	可能	可能
パラレル出力モード	可能	不可 (例外はメモ 1 参照)

メモ :

- XC17V08 と XC17V16 のみ、パラレル (SelectMAP) 出力モードをサポートしています。

## ターゲット FPGA に適した PROM ファミリ

ザイリンクスでは、各 FPGA について XC1700 OTP PROM ソリューションを提供しています。また、すべてのザイリンクス FPGA と互換性がある XC18V00 ISP PROM ソリューションも提供しています。表 2 に、各 FPGA ファミリに適した PROM を示します。

表 2: 推奨される PROM ファミリ

FPGA ファミリ	ISP PROM ファミリ	OTP PROM ファミリ
Virtex-II Pro™	XC18V00	XC17V00
Virtex™-II	XC18V00	XC17V00
Virtex-E	XC18V00	XC17V00
Virtex	XC18V00	XC17V00
Spartan™-IIE	XC18V00	XC17S00A
Spartan-II	XC18V00	XC17S00A
Spartan-XL	XC18V00	XC17S00XL

各 FPGA について特に推奨される PROM については、PROM ファミリのデータシートを参照してください。

## パッケージ/ピン 配置の互換性

XC18V00 ISP PROM と XC1700 シリーズの OTP PROM がサポートするパッケージの場合、XC1700 のピン配置は XC18V00 のサブセットになっています。表 3 を参照してください。

表 3: XC18V00 ISP PROM と XC1700 シリーズ OTP PROM のパッケージ互換性

PROM ファミリ	PROM のサイズ	XC18V00 SO20 パッケージ	XC18V00 PC20 パッケージ	XC18V00 PC44 パッケージ	XC18V00 VQ44 パッケージ
XC1700	XC17V16	該当なし	該当なし	4つのカスケード接続した XC18V04 が必要	4つのカスケード接続した XC18V04 が必要
	XC17V08	該当なし	該当なし	2つのカスケード接続した XC18V04 が必要	2つのカスケード接続した XC18V04 が必要
	XC17V04	該当なし	該当なし	XC18V04	XC18V04
	XC17V02	該当なし	該当なし	該当なし	XC18V02
	XC17V01	XC18V01 <sup>(1)</sup>	XC18V01 <sup>(1)</sup>	該当なし	該当なし
XC17S00A	XC17S300A	該当なし	該当なし	該当なし	XC18V02
	XC17S200A	該当なし	該当なし	該当なし	XC18V02
	XC17S150A	XC18V01	該当なし	該当なし	該当なし
	XC17S100A	XC18V01	該当なし	該当なし	該当なし
	XC17S50A	XC18V01	該当なし	該当なし	該当なし
	XC17S30A	XC18V512	該当なし	該当なし	該当なし
	XC17S15A	XC18V512	該当なし	該当なし	該当なし
XC17S00XL	XC17S150XL	XC18V01	該当なし	該当なし	該当なし
	XC17S100XL	XC18V01	該当なし	該当なし	該当なし
	XC17S50XL	XC18V01	該当なし	該当なし	該当なし
	XC17S40XL	XC18V512	該当なし	該当なし	該当なし
	XC17S30XL	該当なし	該当なし	該当なし	該当なし
	XC17S20XL	該当なし	該当なし	該当なし	該当なし
	XC17S10XL	該当なし	該当なし	該当なし	該当なし
	XC17S05XL	該当なし	該当なし	該当なし	該当なし
XC1700L	XC1704L	該当なし	該当なし	XC18V04	XC18V04
	XC1702L	該当なし	該当なし	XC18V02	XC18V02
	XC1701L	XC18V01	該当なし	該当なし	該当なし
	XC17512L	XC18V512	該当なし	該当なし	該当なし

メモ:

1. XC18V01 から XC17V01 への移行はサポートされています。しかし、状況によっては容量の違いが問題になる場合があります。XC17V01 の容量は 1,679,360 ビットですが、XC18V01 の容量は 1,048,576 ビットです。
2. 「該当なし」と記載されている場合は、パッケージまたはピン配置に互換性がありません。

## タイミングの 互換性

PROM ファミリを移行するシステムのデザインでは、使用するすべてのファミリでクロックの最大周波数を超えないように注意する必要があります。外部の固定クロック ソースを使用するシステムでは、クロック周波数の選択が重要です。ただし、FPGA のマスタ シリアル モードまたはマスタ SelectMAP モードを使用する場合は、ザイリンクス BitGen ソフトウェアの ConfigRate オプションによってコンフィギュレーションクロックの周波数を選択できます。したがって、マスタ コンフィギュレーションモードの場合は、デザインサイクルの後の方の段階で PROM ファミリに合わせてコンフィギュレーション レートを調整できます。

XC18V00 ISP PROM ファミリは、XC1700 シリーズの OTP PROM より速い最大コンフィギュレーションクロック周波数をサポートしています。表 4 に、各 PROM ファミリの最大コンフィギュレーションクロック周波数を示します。

表 4: PROM の最大クロック周波数

PROM ファミリ	最大クロック周波数
XC18V00	33MHz <sup>(1)</sup>
XC17V00	15MHz
XC17S00A	10MHz
XC17S00XL	10MHz
XC1700L	15MHz

メモ:

1. XC18V02 と XC18V04 の最大クロック周波数は、20MHz です。

## 電源と I/O 電圧の 互換性

XC1700 シリーズの OTP PROM は、内部回路と I/O バッファへの電力供給に同じ電源 ( $V_{CC}$ ) を使用します。XC1700 シリーズのファミリには電源電圧が 5V のものと 3.3V のものがありますが、XC18V00 ISP PROM と交換できるようにするには、3.3V の XC1700 ファミリを使用する必要があります。3.3V の XC1700 シリーズは、3.3V の I/O のみサポートします。

XC18V00 ISP PROM は、3.3V の PROM です。XC18V00 ISP PROM の場合、出力バッファについて独立した電源 ( $V_{CCO}$ ) を使用して 3.3V または 2.5V で電力を供給できますが、移行で互換性を保つには  $V_{CCO}$  ピンを 3.3V に接続する必要があります。XC1700 では、XC18V00 の  $V_{CCO}$  ピンに対応するピンには何も接続されていません。

表 5 に、電圧の互換性を示します。

表 5: 電圧の互換性

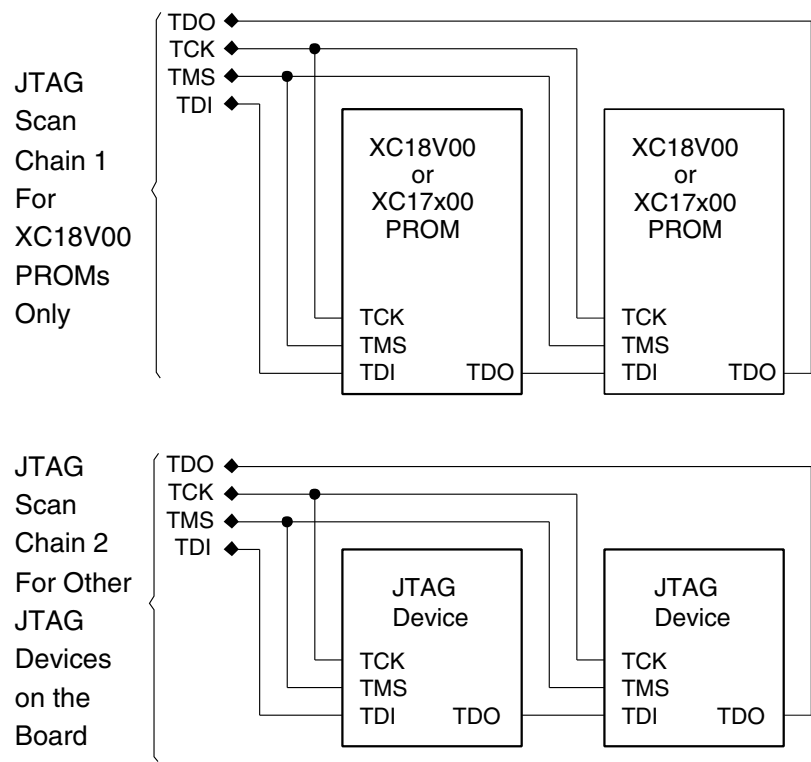
PROM	内部電源 ( $V_{CC}$ )	I/O 電源 ( $V_{CCO}$ )	I/O の許容差
XC18V00	3.3V	3.3V または 2.5V をサポート (移行で互換性を保つには 3.3V が必要)	最大 5.5V
XC17V00	3.3V	$V_{CC}$ と同じ	$V_{CC} + 5\%$ と同じ
XC17S00A	3.3V	$V_{CC}$ と同じ	$V_{CC} + 5\%$ と同じ
XC17S00XL	3.3V	$V_{CC}$ と同じ	$V_{CC} + 5\%$ と同じ
XC1700L	3.3V	$V_{CC}$ と同じ	$V_{CC} + 5\%$ と同じ

ザイリンクス PROM との I/O の互換性を保つため、Virtex シリーズ、Virtex-II シリーズ プラットフォーム FPGA、Spartan-II/III FPGA の場合は、コンフィギュレーション ピンがあるバンクの  $V_{CCO}$  ピンを 3.3V に接続してください。XC18V00 ISP PROM から XC1700 シリーズの OTP PROM に移行する場合は、XC1700 との I/O の互換性を保つため、FPGA でコンフィギュレーション ピンがあるバンクの  $V_{CCO}$  ピンを 3.3V に接続する必要があります。

XC1700 シリーズの OTP PROM ファミリには、 $V_{PP}$  ピンが定義されているものもあります。 $V_{PP}$  ピンはサードパーティのプログラマがデバイスをプログラムするときに使用する特殊な電源ピンですが、ボード上では  $V_{CC}$  ピンと同じ電源 (3.3V) に接続されます。XC18V00 の場合、XC1700 で  $V_{PP}$  ピンがある位置には  $V_{CC}$  ピンがあります。このため、XC1700 の  $V_{PP}$  ピンと XC18V00 の  $V_{CC}$  ピンには接続の互換性があります。

## バウンダリ スキヤンの完全性

多くの XC1700 OTP PROM が XC18V00 ISP PROM の代わりに使用できますが、XC18V00 が IEEE のバウンダリ スキヤン規格 1149.1 (JTAG) ポートをサポートしているのに対して、XC1700 はサポートしていません。XC18V00 の JTAG ポートへの接続は、再プログラムのために PROM 内部にアクセスする場合やバウンダリ スキヤンテストを行う場合に必要となります。XC18V00 の JTAG ポートピンに対応する XC1700 のピンには、何も接続されていません。バウンダリ スキヤンの問題を回避し、PROM ソリューションを XC1700 に移行した後でバウンダリ スキヤンチェーンの完全性を維持するため、ボード上での JTAG 接続のデザインには特別な注意が必要です。

最も簡単なソリューションは、PROM をボード上にある他の JTAG デバイスとは別のバウンダリ スキヤンチェーンに接続するというものです。を参照してください。このアーキテクチャでは、PROM に XC18V00 を使用する場合は独立したバウンダリ スキヤンチェーンを使用し、XC1700 を使用する場合はこのバウンダリ スキヤンチェーンを無視できます。また、XC18V00 が接続されているバウンダリ スキヤンチェーンと他の JTAG デバイスのバウンダリ スキヤンチェーンをジャンパで接続すると、単一のバウンダリ スキヤンチェーンを作成することもできます。

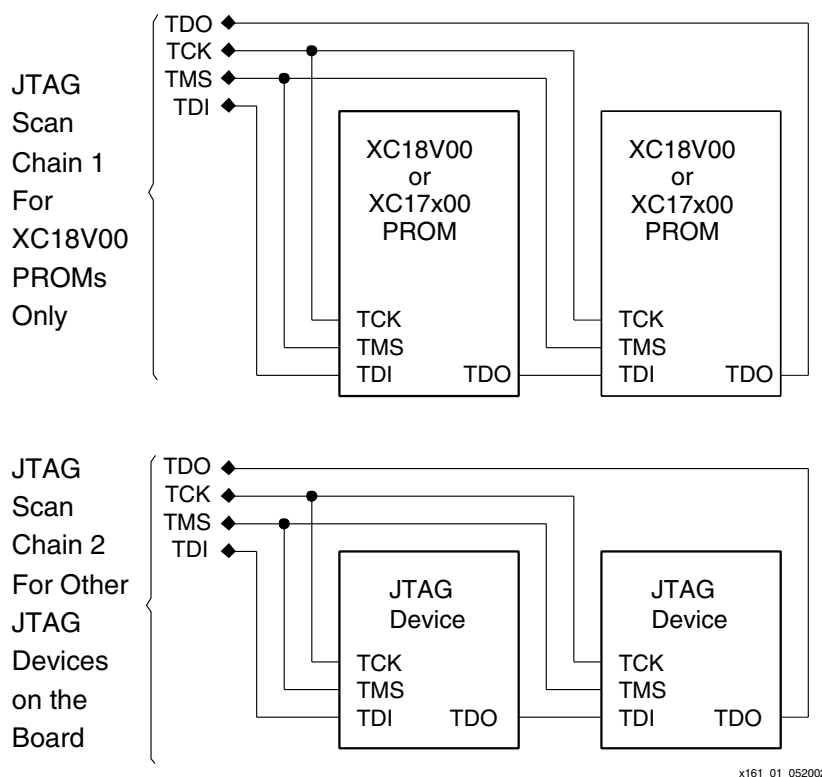


図 1: PROM 用の独立した JTAG スキヤンチェーン

もう 1 つのソリューションとしては、PROM の TDI ピンと TDO ピンを接続するジャンパをボード上で使用するというものもあります。図 2 を参照してください。PROM として XC18V00 を使用する場合はジャンパを取り外し、XC1700 を使用する場合はジャンパを接続します。このソリューションでは、JTAG スキャンチェーンからは XC1700 を認識できなくなります。JTAG スキャンチェーンは、使用する PROM によって変化します。スキャンチェーンの変化は、バウンダリ スキャンテストシステムなど、スキャンチェーンにアクセスする他のシステムに影響を与えます。

図 2 は、XC18V00 から XC1700 に移行した後でバウンダリ スキャンの完全性を維持するためにジャンパを使用する様子を示しています。

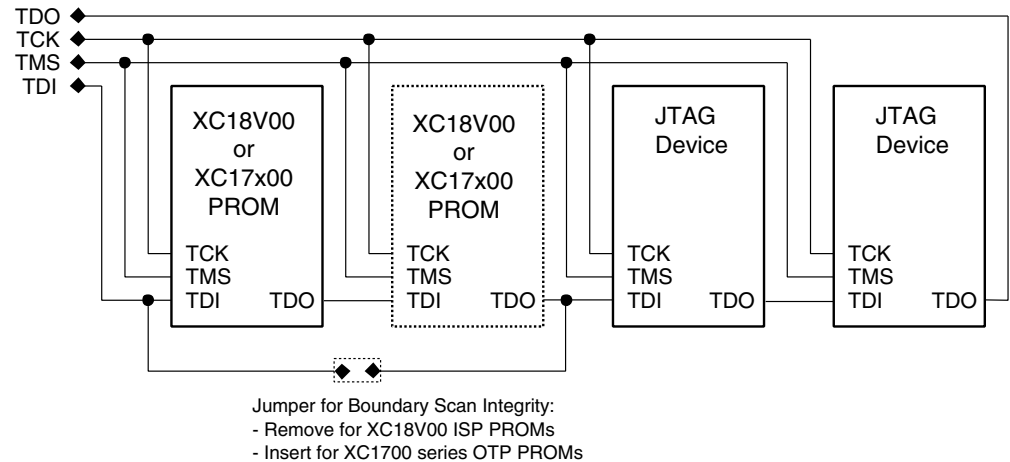


図 2: ジャンパの使用によるバウンダリ スキャンにおける完全性の維持

## 特殊な信号

XC18V00 の CF 信号は、XC1700 では使用できません。したがって、XC18V00 から XC1700 に移行するボードでは、CF 信号を使用した設計はできません。

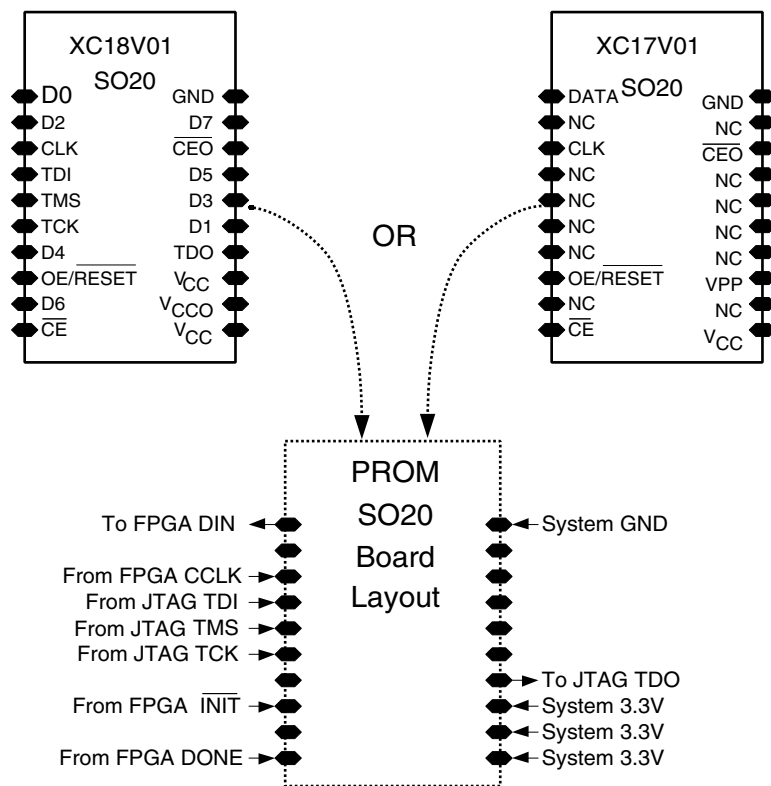
Virtex シリーズの SelectMAP コンフィギュレーション用の信号には、BUSY 信号が含まれています。BUSY 信号が High にアサートされた場合、BUSY のアサートが解除されるまで PROM のデータソースが現在のデータバイトを保持する必要があります。XC18V00 は BUSY 信号をサポートしていませんが、XC17V08 と XC17V16 は BUSY 信号をサポートしています。したがって、移行を考慮してデザインする場合は、Virtex プラットフォーム FPGA が BUSY 信号をアサートしないようにコンフィギュレーションクロックの周波数を低くする必要があります。FPGA が BUSY 信号をアサートするコンフィギュレーションクロックの周波数については、Virtex プラットフォーム FPGA のデータシートを参照してください。

### メモ:

1. 暗号化されたビットストリームの場合、コンフィギュレーションクロックが 6MHz になると Virtex-II FPGA は BUSY をアサートする可能性があります。

## 付録 - PROM 移行 のためのボード レイアウト例

図 3 に、SO20 パッケージにおける PROM のピンについてパッドの配置を示します。この図には、ボードレベルのパッド接続が示されています。図 3 のレイアウトは、SO20 パッケージの XC18V01 および XC17V01 の両方と互換性があります。XC17V01-SO20 には無接続 (NC) ピンがあります。これらは、ボードレベルの信号に接続されるパッド上にあります。XC17V01-SO20 の NC ピンは、このようなボードレベルの信号に接続されても問題ありません。

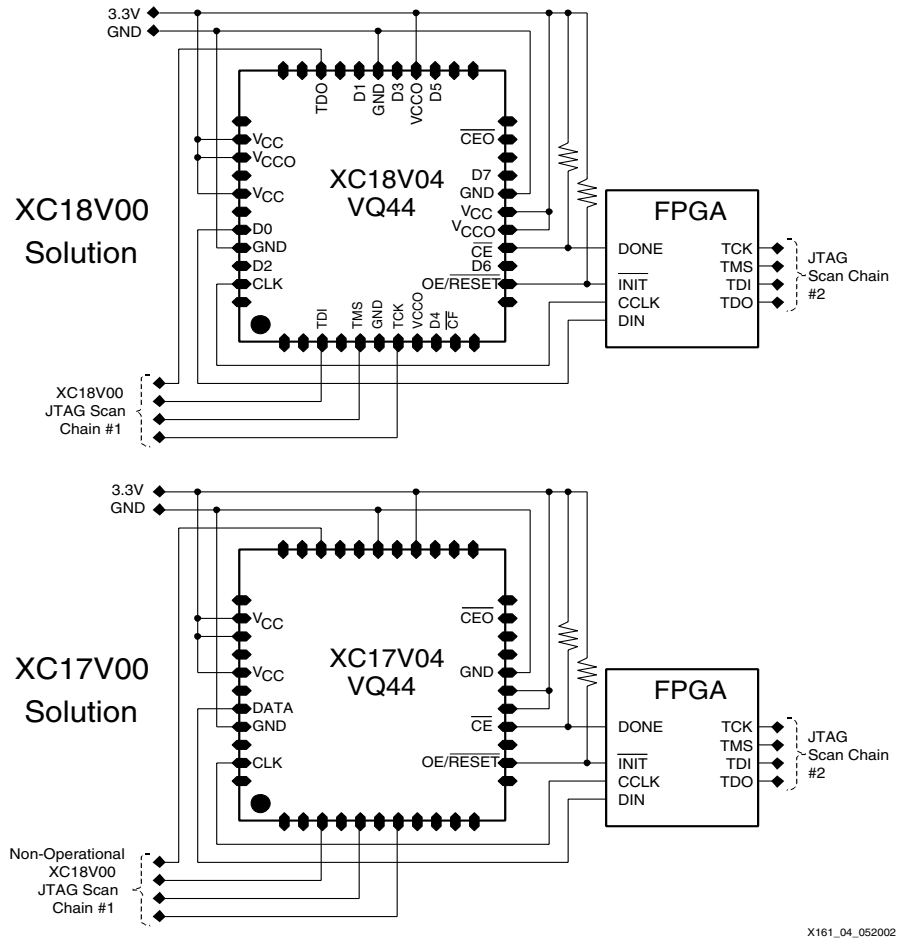


x161\_03\_052002

図 3: XC18V01 と XC17V01 のボード レイアウト例

図 4 に、VQ44 パッケージにおける PROM のピンについてパッドの配置を示します。ザイリンクス FPGA に対する信号の接続も示されています。図 4 のパッド レイアウトは、VQ44 パッケージの XC18V04 および XC17V04 の両方と互換性があります。XC17V04-VQ44 には無接続 (NC) ピンがあります。これらは、ボードレベルの信号に接続されるパッド上にあります。XC17V04-VQ44 の NC ピンは、このようなボードレベルの信号に接続されても問題ありません。

図 4 には、PROM と FPGA が接続されている独立した JTAG スキャン チェーンも示されています。JTAG スキャン チェーンのアーキテクチャについては、このアプリケーション ノートの「バウンダリ スキャンの完全性」を参照してください。



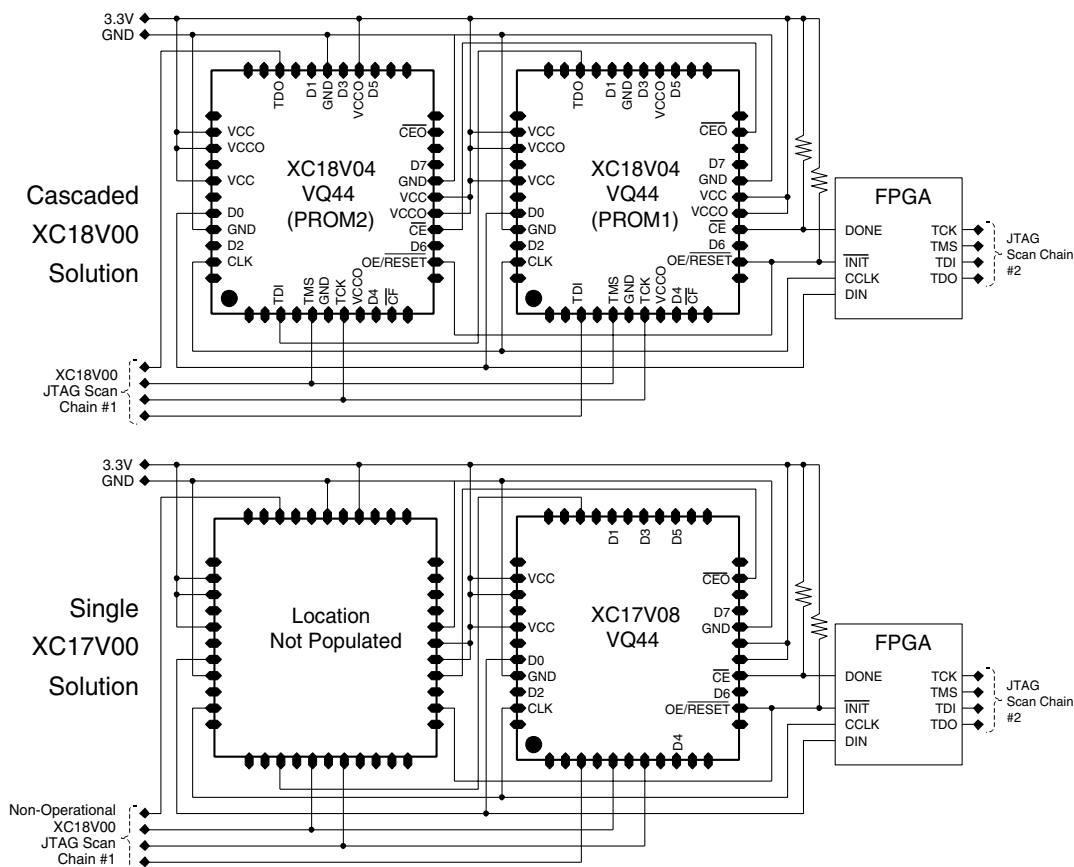
X161\_04\_052002

図 4: XC18V04 から XC17V04 に移行するためのボード レイアウト例

図 5 に、カスケード接続した 2 つの VQ44 パッケージの PROM のピンについてパッドの配置を示します。ザイリンクス FPGA に対する信号の接続も示されています。図 5 のパッド レイアウトでは 2 つの XC18V04-VQ44 または 2 つの XC17V04-VQ44 を配置できますが、同じボード レイアウトで集積度が大きい XC17V00 を 1 つだけ配置することもできます。XC17V08-VQ44 には無接続 (NC) ピンがあります。これらは、ボードレベルの信号に接続されるパッド上にあります。XC17V08-VQ44 の NC ピンは、このようなボードレベルの信号に接続されても問題ありません。

図 5 には、PROM と FPGA が接続されている独立した JTAG スキャン チェーンも示されています。JTAG スキャン チェーンのアーキテクチャについては、このアプリケーション ノートの「バウンダリ スキャンの完全性」を参照してください。





X161\_05\_052002

図 5: カスケード接続した XC18V04 を XC17V08 に移行するためのボード レイアウト例

## 改訂履歴

次の表に、このドキュメントの改訂履歴を示します。

日付	バージョン	改訂内容
9/28/99	1.0	初期リリース
2/17/00	2.0	XC1800 を XC18V00 に変更。フォーマットを更新。
5/20/02	3.0	技術的な内容を大幅に修正。
6/10/02	3.1	p.4 と p.6 の製品名を Virtex シリーズと Virtex-II シリーズ プラットフォーム FPGA に修正。