



XAPP233 (v1.2) 2001 年 1 月 6 日

Virtex-E デバイスによるマルチ チャネル 622 MHz LVDS データ転送

著者 : Brian Von Herzen, Ph.D. および Jon Brunetti

概要

Virtex™-E デバイスでは、隣接ユーザー I/O ピン間で専用オンチップ差動レシーバを提供しています。このレシーバでは、-7 スピード グレードでは 622 Mb/s までの速度で LVDS 信号を受信できます。このアプリケーション ノートでは、622 Mb/s でポイントツーポイントのデータ伝送を行うために Virtex-E FPGA デバイスでハイスピードな低電圧差動信号処理(LVDS) のトランスミッタおよびレシーバをデザインする方法について説明します。

はじめに

LVDS は、ボード、シャーシ、および周辺機器間での差動信号のための重要な標準的な規格であり、FPGA で外部バッファなしに 622 Mb/s で データを受信伝送できます。このアプリケーション ノートで説明された参照デザインを使用すると各データ チャネルでLVDS を使用して622 Mb/s の完全なポイントツーポイントのリンクをインプリメントできます。

LVDS 技術をはじめて導入される場合は、次のアプリケーション ノートを参照してください。

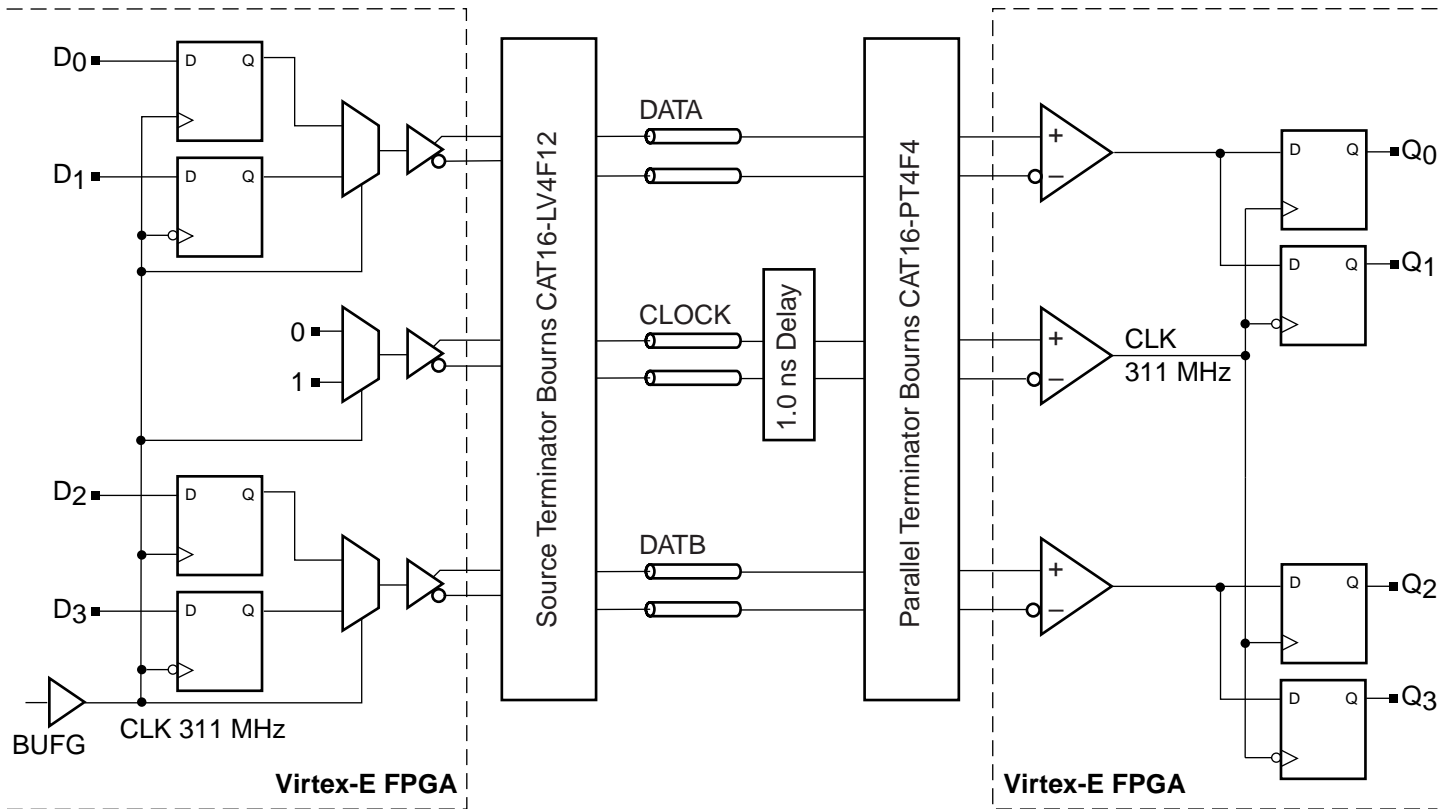
[XAPP230](#), LVDS I/O 規格。LVDS 信号の基本的な信号レベルおよび必要条件について。

[XAPP232](#), Virtex-E LVDS ドライバおよびレシーバ: インタフェース ガイドライン。Virtex-E デバイスのインプリメンテーションについて。

LVDS 622 Mb/s レシーバの参照デザインでは、2 つのデータ チャネルおよび 1 つのクロックを使用します。このシステムは、ダブルデータレート(DDR) クロックに依存しており、クロック信号の遷送毎に新しいデータが存在します。クロックおよびデータ ラインには、同じ帯域幅の条件があり、これにより高速システムが可能となります。LVDS レシーバのデザインを使用すると、ボード上ではなく実際に FPGA 上でソース同期信号の概念を取り入れることができます。ソース同期信号とは、1 つのデバイスからクロックおよびデータを伝送し、データを通しクロックをデスティネーションへ転送する技術です。クロックおよびデータは、同じ伝搬遅延のついた隣接したパスで伝搬されます。

© 2002 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.com/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。



x233_01_073000

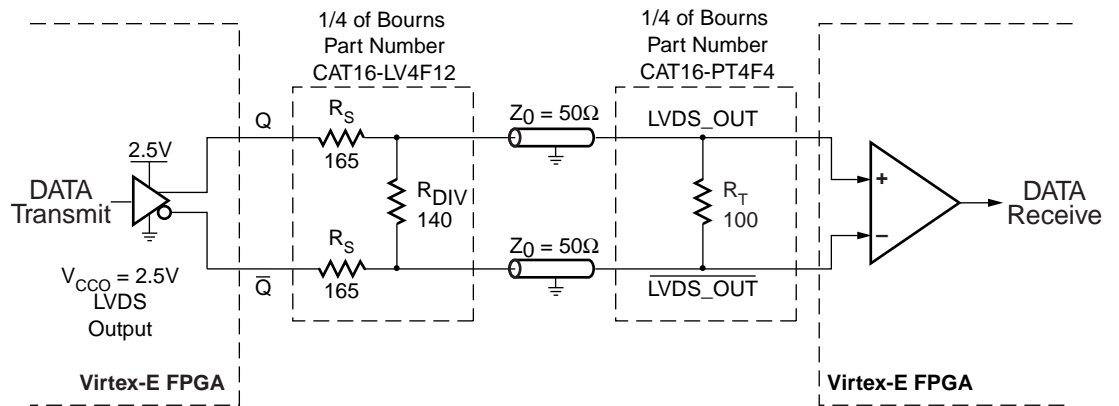
図 1: チップ内における LVDS のリンク

図 1 では、622 Mb/s で駆動する 2 つのチャンネルおよび 311 MHz で駆動する 1 つのチャンネルの LVDS の完全なリンクを示しています。図の左側のトランスミッタは、クロックの両方のエッジを使用し LVDS チャンネルでクロック マルチプレクサから送出されたデータを伝送します。クロックおよびデータは、同じマルチプレクサで生成されるためどちらの遅延も一致しています。また、クロックおよびデータは、Virtex-E LVDS ドライバの回路を通りデバイスの外に伝送されます。

ソース終端ネットワークは、LVDS に完全に準拠させるためレベルを調整し、伝送ラインのソース終端を 50Ω にしてドライバに戻ってきた反射信号を低減させます。伝送ラインは、グランド間に 50Ω のマイクロ ストリップまたはストリップ ラインがあり、ツイスト ペア間には 100Ω の差動インピーダンスがあります。パラレル終端は、 100Ω の抵抗のバンクで構成されており、各差動信号ペアに 1 つの抵抗があります。622 Mb/s でタイミング マージンを大きくする場合、別のトレース遅延またはドライバの伝搬遅延特性を使用し、データと相対して 1.0 ns までクロックを遅延させます。

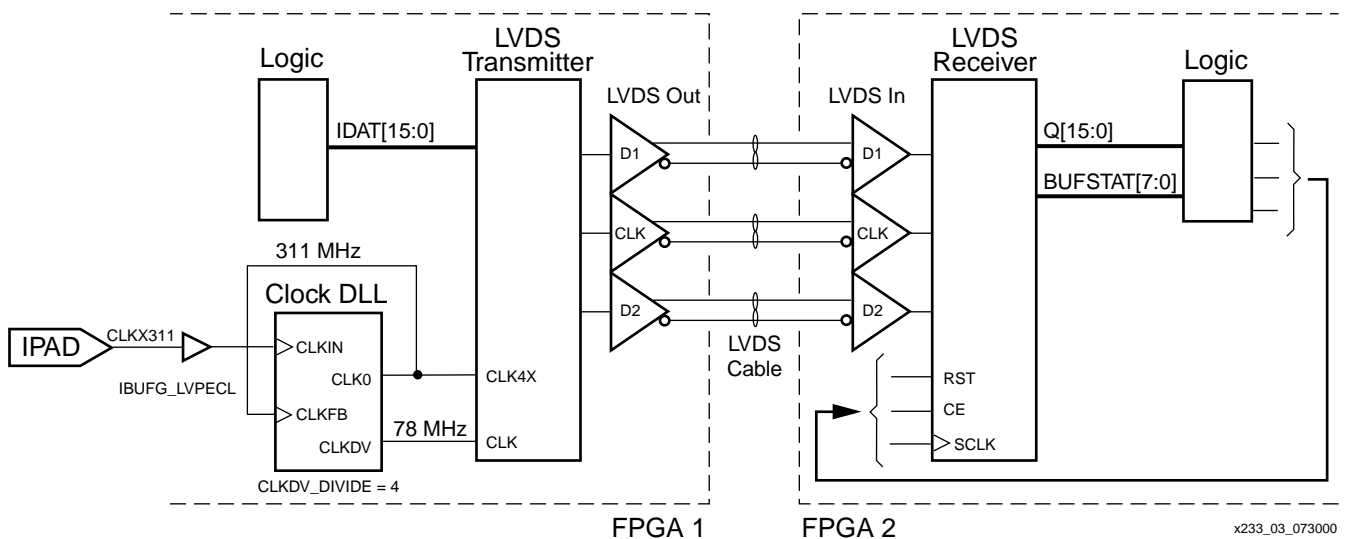
信号は、LVDS レシーバで受信され 311 MHz のクロックの立上がり立下がりエッジでデータをサンプリングするフリップフロップへ伝送されます。このアプリケーションの後で示されるように、データは更に 78 MHz にデマルチプレックスされます。

図 2 は、2 つの Virtex-E デバイス間を通る信号データ ラインの物理的な構造および終端パックの内部構造を示しています。



x233_02_073000

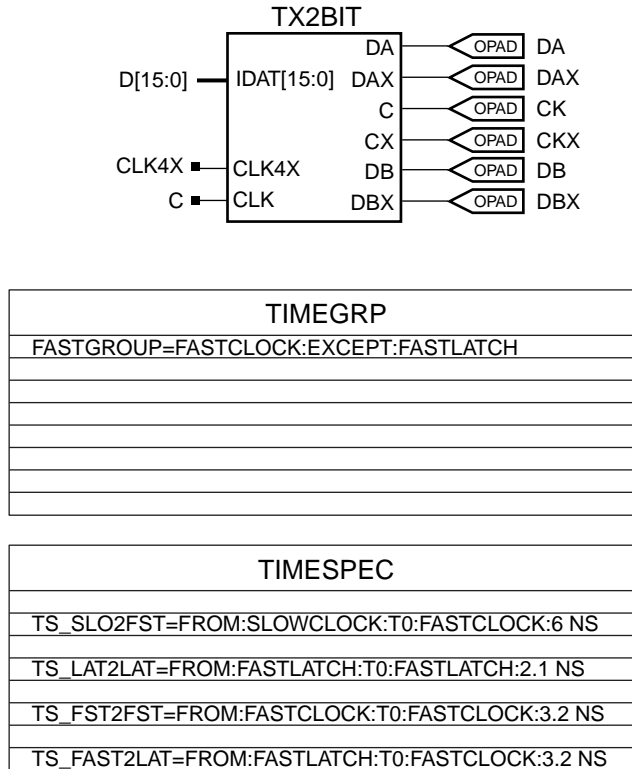
図 2: Virtex-E LVDS ラインのドライバおよびレシーバ



x233_03_073000

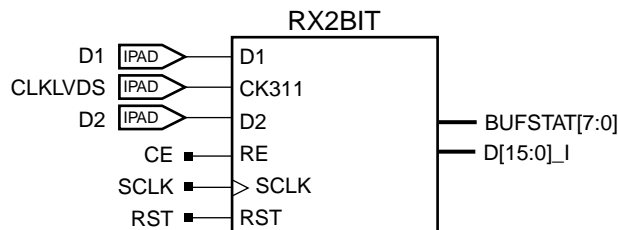
図 3: LVDS システム ダイアグラム

図 3 は、各 Virtex-E FPGA で LVDS レシーバに接続された LVDS トランスミッタを示しています。このレシーバは、622 Mb/s 毎に 2 つのデータ チャンネルを使用し、311 MHz に 1 つのクロック チャンネルを使用できます。クロックの伝搬遅延を 2 つのデータ チャンネルと等しくするため、2 つのデータ チャンネル間にクロック チャンネルを配置します。データ チャンネル間でクロック信号をセンタリングした場合、FPGA の両方のサンプル チャンネルへの距離が等しくなります。図 4 および 図 5 は、参照デザインで示されるトランスミッタおよびレシーバのブロック シンボルをそれぞれ示しています。図 4 は、622 Mb/s でポイントツーポイントのデータ伝送を行うために必要なタイム制御シンボルおよび属性を示しています。



x233_04_062200

図 4: トランスミッタ モジュール



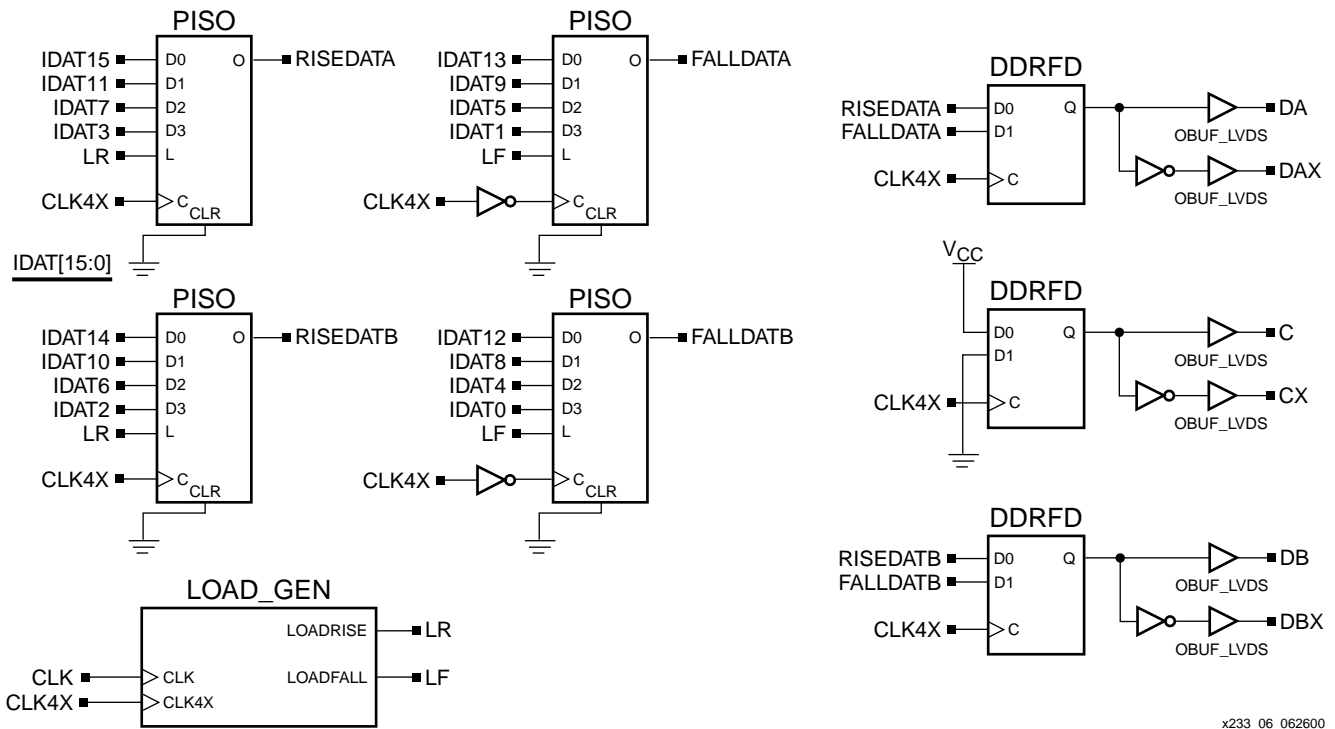
x233_05_073000

図 5: レシーバ モジュール

LVDS 622 Mb/s トランスミッタ デザイン

LVDS トランスミッタ デザインでは、78 MHz で16 ビットのワードを使用し、2 つ622 Mb/s ダブルデータレート のストリームおよび 311 MHz のクロック信号を伝送します。このトランスミッタ デザインでは、出カステージに直接配線している LVDS ピン ペアに隣接して配置された CLB のフットプリントのうち7 列 3 行がフロアプランされています。

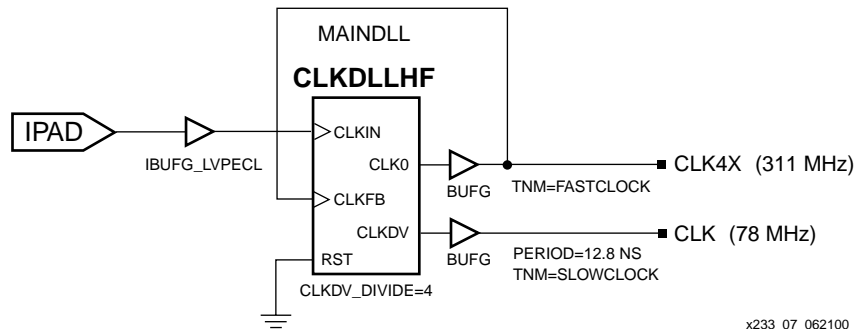
図 6 のトランスミッタ デザインは、2 つのダブルデータレートのレジスタを搬送する 4 つの平行イン/シリアルアウトのシフト レジスタで構成されています。ロジック 1 および 0 に接続された入力のある3 番目のダブルデータ レジスタは、LVDS ソース クロック信号を提供します。ロード ジェネレータ (LOAD_GEN) のモジュールは、311 MHz のグローバル クロックの立上がりおよび立下がりエッジのシフト レジスタにロード パルスを提供します。入力データ ビットは、シンプル バレル シフタのあるレシーバでワード アライメントと一致させるためシフト レジスタに送られます。



x233_06_062600

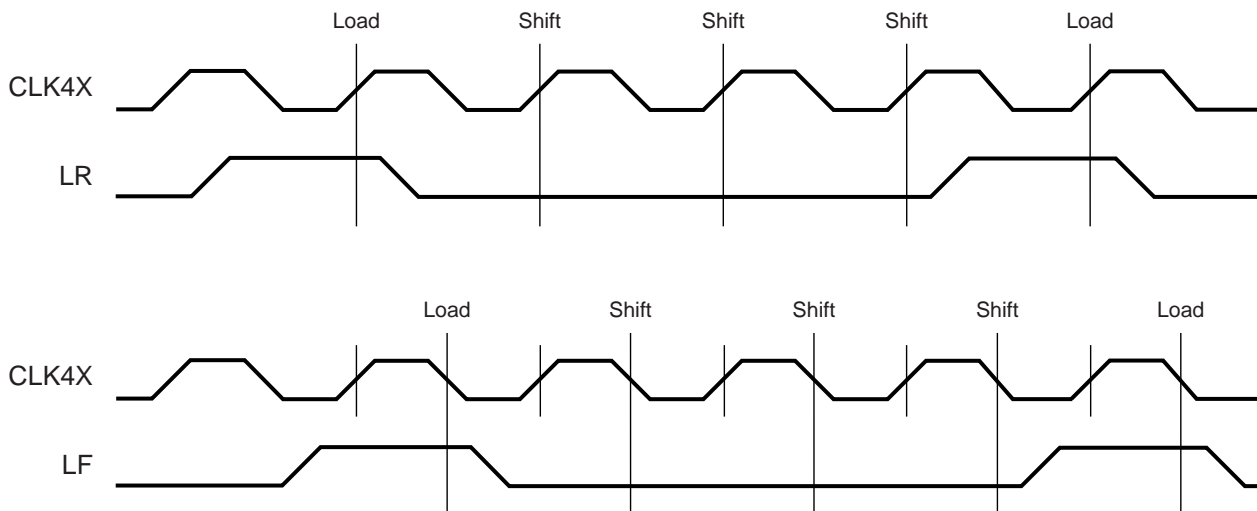
図 6: TX2BIT

図 7 は、クロックの入力回路を示しています。DLL では、311 MHz のグローバル クロック および 16 ビット入力データ用の入力クロックを 4 分割した 78 MHz のクロックを生成します。参照デザインの検証に使用した Virtex-E のハイパフォーマンス I/O デモンストレーション ボードでは、コモン LVPECL クロックを使用していますが、どのクロック ソースも使用できます。



x233_07_062100

図 7: クロック DLL



x233_08_073000

図 8: シフト レジスタのタイミング

図 9 は、パラレルイン/シリアルアウトシフト レジスタ (PISO) を示しています。このレジスタでは、ロード信号がクロックのアクティブ エッジ中にアサートされた場合に、4 ビット ワードを使用できます。次のクロック パルスは、そのビットを出力にシフトします。図 8 は、ロード/シフト タイミングを示しています。

入力データは、1.6 ns (622 MHz) 精度でシフト レジスタにロードされる必要があります。LOAD_GEN は、図 9 で示された 311 MHz クロックおよび透過ラッチの両エッジを使用するとこの条件を満たすことができます。78 MHz および 311 MHz クロックは、この精度を保証するため位相を一致（両方の立上がりエッジを同時に発生）させてください。図 7 で示されるように、DLL を使用すると位相を一致できます。

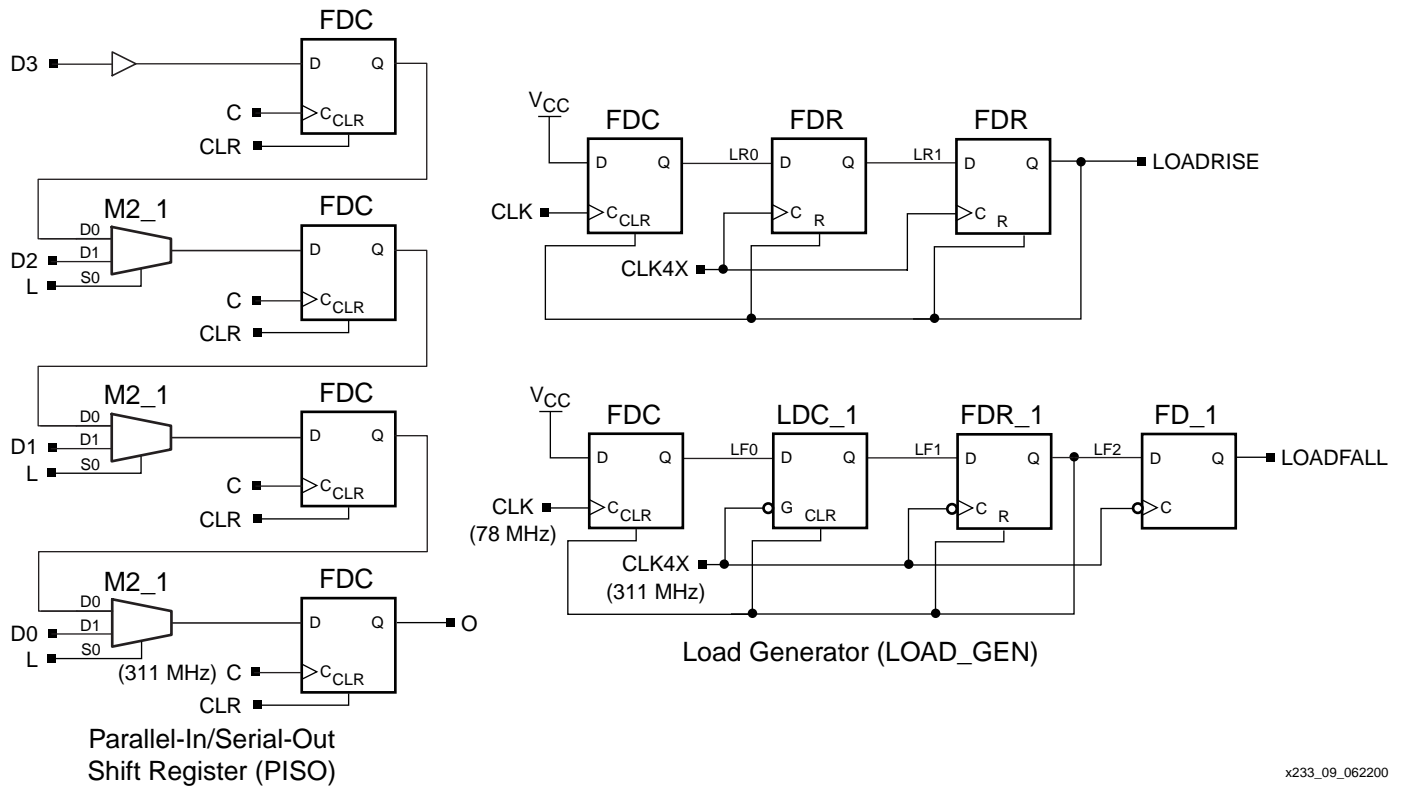


図 9: PISO およびLOAD_GEN

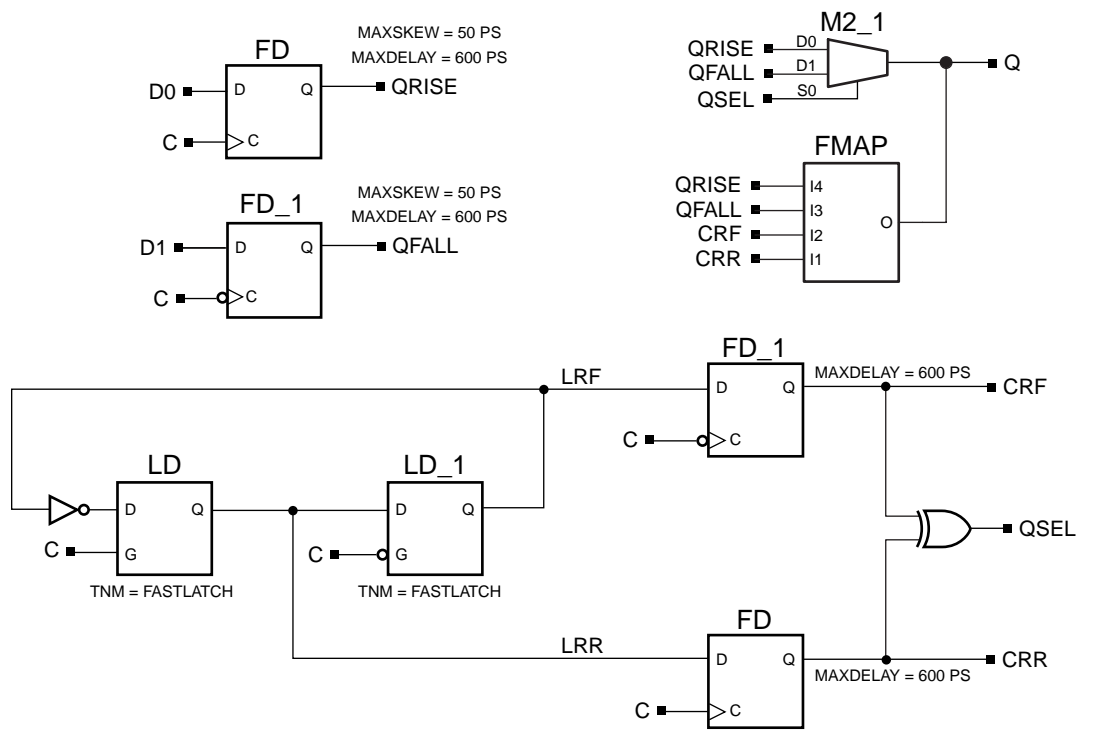


図 10: DDRFD

図 10 で示される DDRFD レジスタは、トランスミッタの出力ステージです。立上がりおよび立下がりエッジのデータは、適切なクロック エッジで登録され、(再生成されたクロック信号 QSELで駆動される) マルチプレクサは、出力信号となるために適切なラインを選択します。

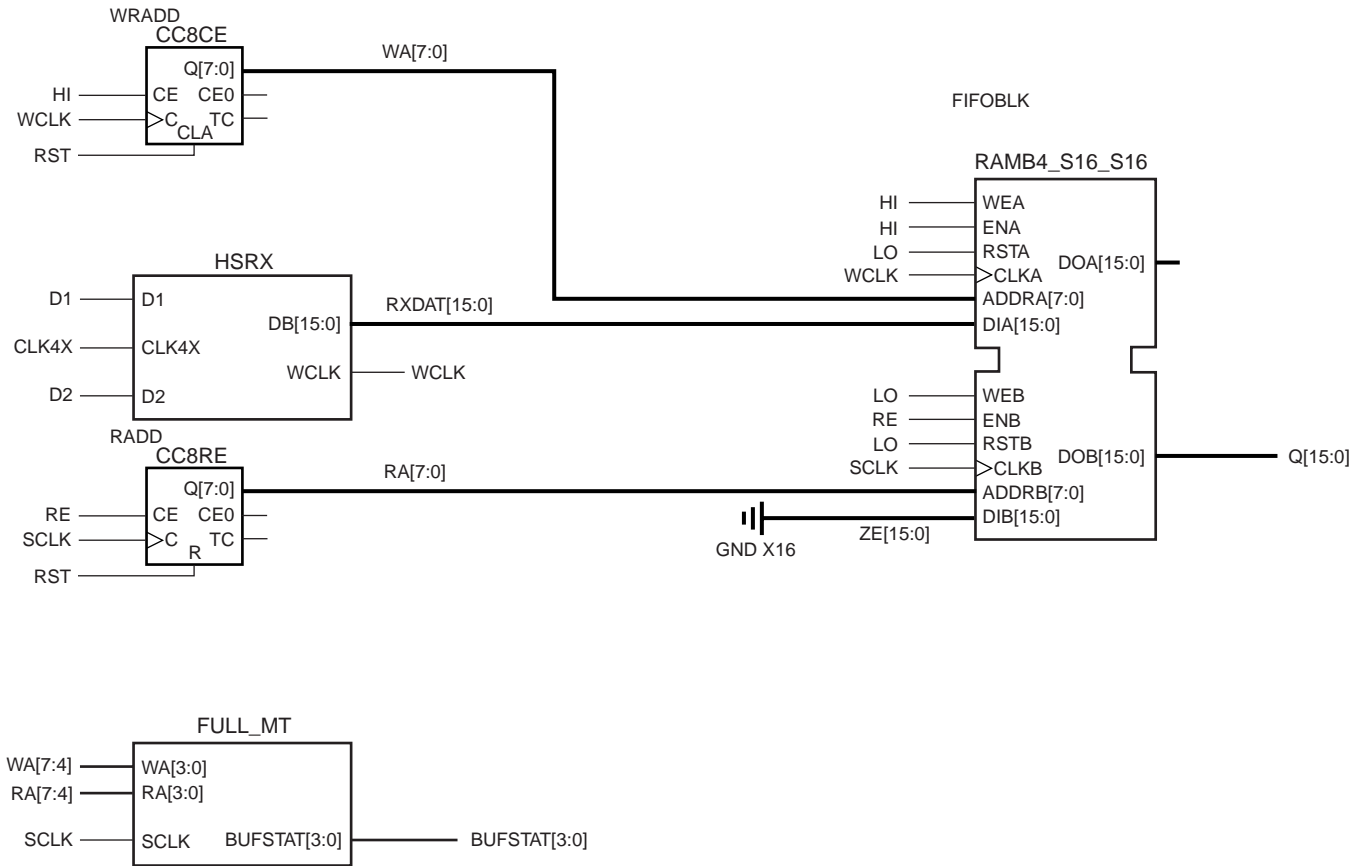
QSEL (再生成されたクロック) を生成する回路は、出力マルチプレクサを駆動します。これは、位相を 90度 離れた周波数が半分の 2 つのクロック信号に分割し、この 2 つの信号をXOR ゲートの入力に適用します。XOR ゲートの出力は、グローバル クロックの出力とほぼ同じです。FMAP は、シングル LUT 内でマルチプレクサおよび XOR ゲートの組み合わせを構成しタイミングを保証するために使用されます。

クロックを再生成する回路では、クロックを 2 分割するため 2 つの透過ラッチを使用することが重要となります。ラッチは、高速でクロックと関連する予想可能な位相を使用し初期化できます。

LVDS 622 Mb/s レシーバ デザイン

データは、高速レシーバ (HSRX) モジュールの 2 つのデータ ピンから 622 Mb/s で受信され、78 MHz にデマルチプレックスされてからブロック RAM に 16 ビット幅で書き込まれます。ブロック RAM では、クロックのドメインを切り替えることが可能です。それは、78 MHz 以上のスピードにおいてもバーストで 16 ビット幅の読み込みとなります。図 11 は、2 チャネルのデマルチプレクサおよびブロック RAM のバッファなどの LVDS レシーバの内部エレメントを示しています。

図 12 は、ダブルデータレート レジスタ (DDREG) では、各データ チャネル (D1 および D2) のデータ ストリームを 2 つの平行シングルデータレート ストリームに変換します。155 MHz でクロックされた次の DDREG ペアは、2 つのシングルデータレート ストリームを (周波数が半分の) ダブルデータレート ストリームと判断し、4 つの平行ストリームに変換します。これらのストリームは、78 MHz で 4 つの DDREG モジュールによって更に 8 つのシングルデータレート ストリームに変換されます。両方のチャネルの 16 のストリームは、シングル 78 MHz クロック エッジで登録され FIFO に送られます。入力 311 MHz LVDS クロックは、2 つの位相クロック ドライバ (CKDIV) に入ります。このドライバでは、周波数が半分の 2 つの信号の位相を 90 度離せます。この信号は、更に 2 つの CKDIV モジュールで分割され、78 MHz でクロックの 4 つの位相になります。異なった位相クロック信号は、各入力信号を最も安定した場所にクロックするようにダブルデータレート レジスタに配線されます。



X233_11_080700

図 11: RX2BIT

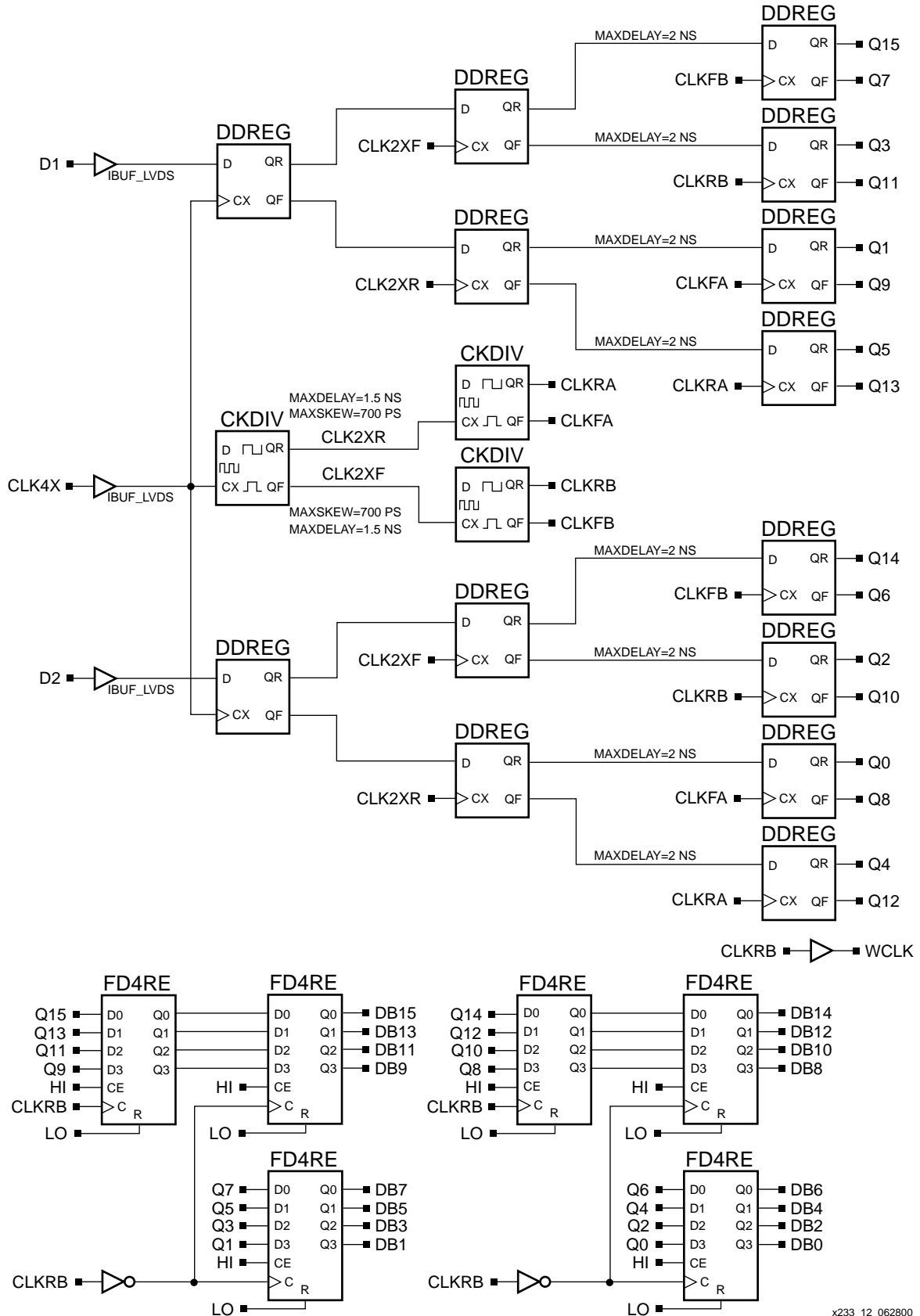


図 12: HSRX

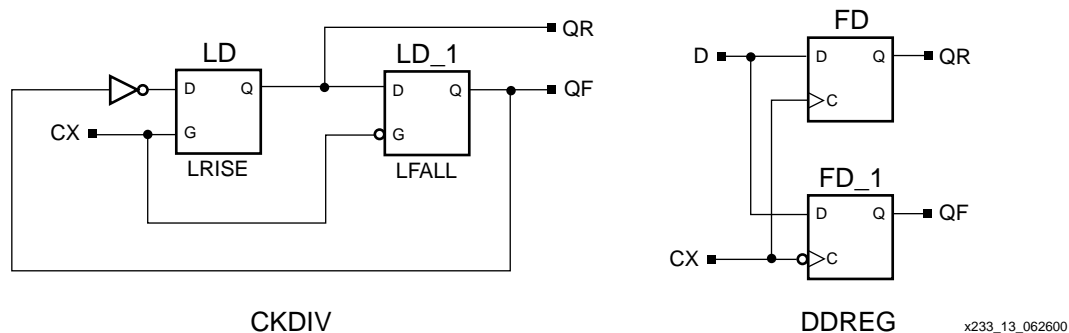


図 13: CKDIV および DDREG

レシーバのタイミング解析

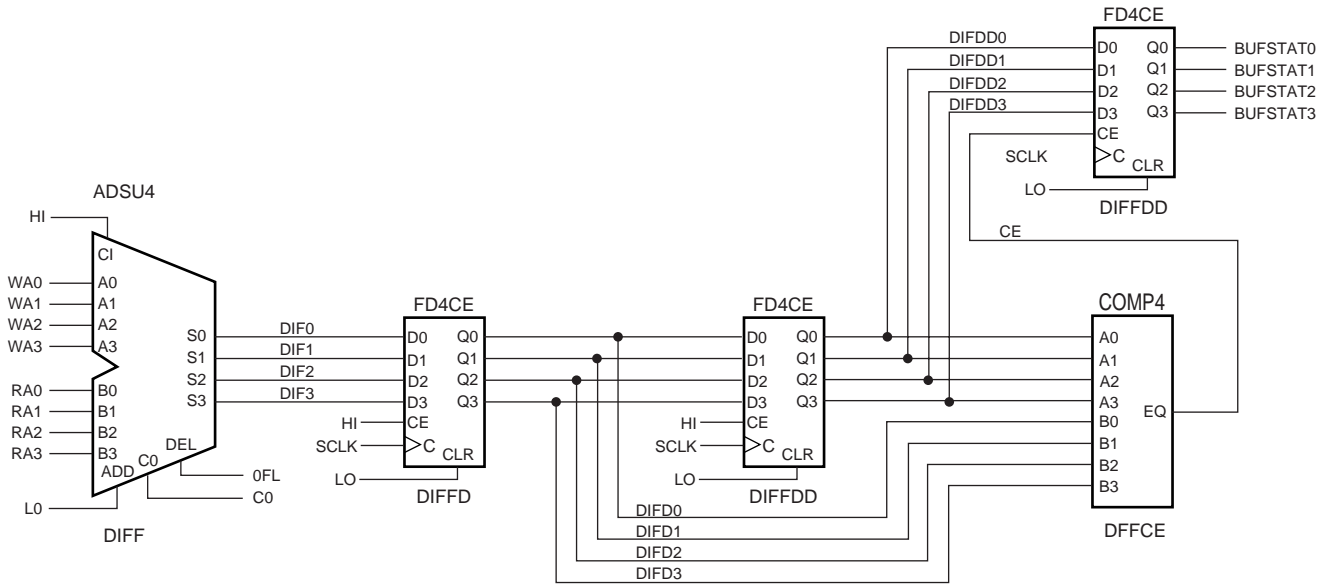
レシーバ デザインのタイミング解析では、クロックがデータより 1.0 ns まで遅延している場合にタイミング マージンが追加されます。1.0 ns 遅延したクロックがあるデザインでは、クロック/データのジッタを ± 500 ps まで許容することができます。フロアプラン ファイルおよびデザインで使用される制約でも、155 MHz および 78 MHz のクロック信号には適切な設定があり、データと同じタイミングを保持できることが保証されています。

ブロック RAM の使用方法

図 12 で示された HSRX デザインでは、データ レートが毎秒 77.78 (78) メガワードまたは 12.8 ns 毎に 16 ビット ワードに低減されます。図 11 で示されるように、このデータは、FIFO として使用されるブロック RAM に書き込まれます。78 MHz ワード クロック (WCLK) でクロックされた 18 ビットのカウンタは、RAM の最初のポートで書き込みアドレスを提供し、設計者側のシステム クロック (SCLK) でクロックされた 2 番目の 8 ビット カウンタは、2 番目のポートで読み込みアドレスを提供します。この 2 番目のカウンタは、読み込み可能 (RE) 信号で使用できます。

FIFO のレベルは、図 11 で示された FULL_MT module のロジックで保持されます。設計者は、FIFO のレベルを判断するため BUFSTAT[3:0] バスを評価します。BUFSTAT は、8 ビット値の最初の 4 ビットで構成されているため、エンプティの場合 16 ワード内では 0 の値が FIFO を示し、フルの場合 16 ワード内では 16 進数の“F”が FIFO を示します。図 14 は、FULL_MT モジュールの詳細を示しています。ADSU4 は、FIFO 書き込みアドレスの最初の 4 ビットおよび FIFO 読み込みアドレスの最初の 4 ビットを比較する減算器として動作します。4 ビットの差動出力は、BUFSTAT 値となります。FIFO の読み込みおよび書き込みアドレス カウンタは、別のクロック ドメインで動作するため、BUFSTAT 値は、2 度サンプルされそのサンプルが比較されることとなります。最初の 2 つのサンプルが同じである場合、3 番目 および最後のサンプルのみが使用されます。このようにしてサンプルが使用された場合に、書き込みアドレス カウンタが一定していることを確認します。設計者は、RE 信号を FIFO の完全な機能として生成する必要があります。16 進数“D”の *almost full* 値またはそれ以下の値および 16 進数“2”の *almost empty* 値またはそれ以上を選択し、これらの値を使用して RE 信号を生成します。作成したスピードおよびレイテンシ制約を含むため、*almost full* および *almost empty* 値を選択します。

非同期のレートの一一致したアプリケーションでは、78 MHz 以上の周波数でバースト中の FIFO を読み込む必要があります。(78 MHz とは、FIFO がオーバーフローを避けるために十分な速度です。)たとえば、設計者のシステム クロックが、103 MHz で駆動するとします。FIFO レベルが 16 進数の およそ“D”になり BUFSTAT が *almost full* 値に達する程 高くなった場合、16 進数がおよそ“2”になり *almost empty* 値となるまで RE をアサートします。その後、FIFO が再び *almost full* となるまで RE のアサートを解除します。



X233_14_080700

図 14: FULL_MT

参照デザイン

2 チャネル トランスミッタ および レシーバ の参照デザインは、2 つの XCV1000E-7-FG900 デバイスで開発されフロアプランされています。参照デザインは次のサイトから入手してください。

<ftp://ftp.xilinx.com/pub/applications/xapp/xapp233.zip>

ZIP ファイルには次のファイルが含まれています。

- Workview Office™ ViewDraw でデザインされた Windows 7.5.5 用のソース回路およびライブラリファイル
- 抽出した EDIF ネットリスト (*.edn)
- フロアプラン ファイル (top.fnf および top.mfp)
- インプリメンテーション ファイル (top.ncd)

参照デザインのインプリメント

参照デザインをインプリメントする場合は、次の手順に従ってください。

1. ZIP ファイルを解凍します。
2. インプリメントするデザインの \TRANSMITTER または \RECEIVER ディレクトリに top.edn ファイルを保存します。
3. Alliance Series™ 3.1i ソフトウェアの [New Project] ダイアログ ボックスで次のような設定を行いソースファイルとして top.edn ファイルを使用します。
 - a. part を XCV1000E-7-FG900 に設定します。
 - b. フロアプラン ファイルを top.fnf に設定します。
 - c. フロアプラン ガイド ファイルを top.mfp に設定します。
4. デフォルトの配置配線の設定を使用してインプリメンテーションを実行します。
5. タイミング制約と一致しているか検証します。

メモ :

1. フロアプラン ファイルは、622 Mb/s でのデータの送受信を行うために必ず必要となります。
2. レシーバの BitGen で、ブロック RAM およびカウンタの未使用な出力に関する警告メッセージが表示されますが、問題ありませんので無視してください。

デザインのインプリメンテーション ノート

トランスミッタ モジュールおよびレシーバ モジュールは、3x7 CLB フットプリント内で一致するようにフロアプランされています。このフットプリントは、ブロック RAM ストラクチャのピッチと一致しています。Virtex-E デバイスの左右いずれかのエッジ付近でブロック RAM 毎に マルチプル LVDS 2 チャンネル レシーバ モジュールを並べることができます。このように、XC300E デバイスでは 622 Mb/s で 24 LVDS チャンネル (16 データ、8 クロック) を許容できます。高速データ レートでの IOB からまたは IOB への直接配線は、大変クリティカルなのでトランスミッタおよびレシーバ モジュールで提供されたフロアプランに従ってください。

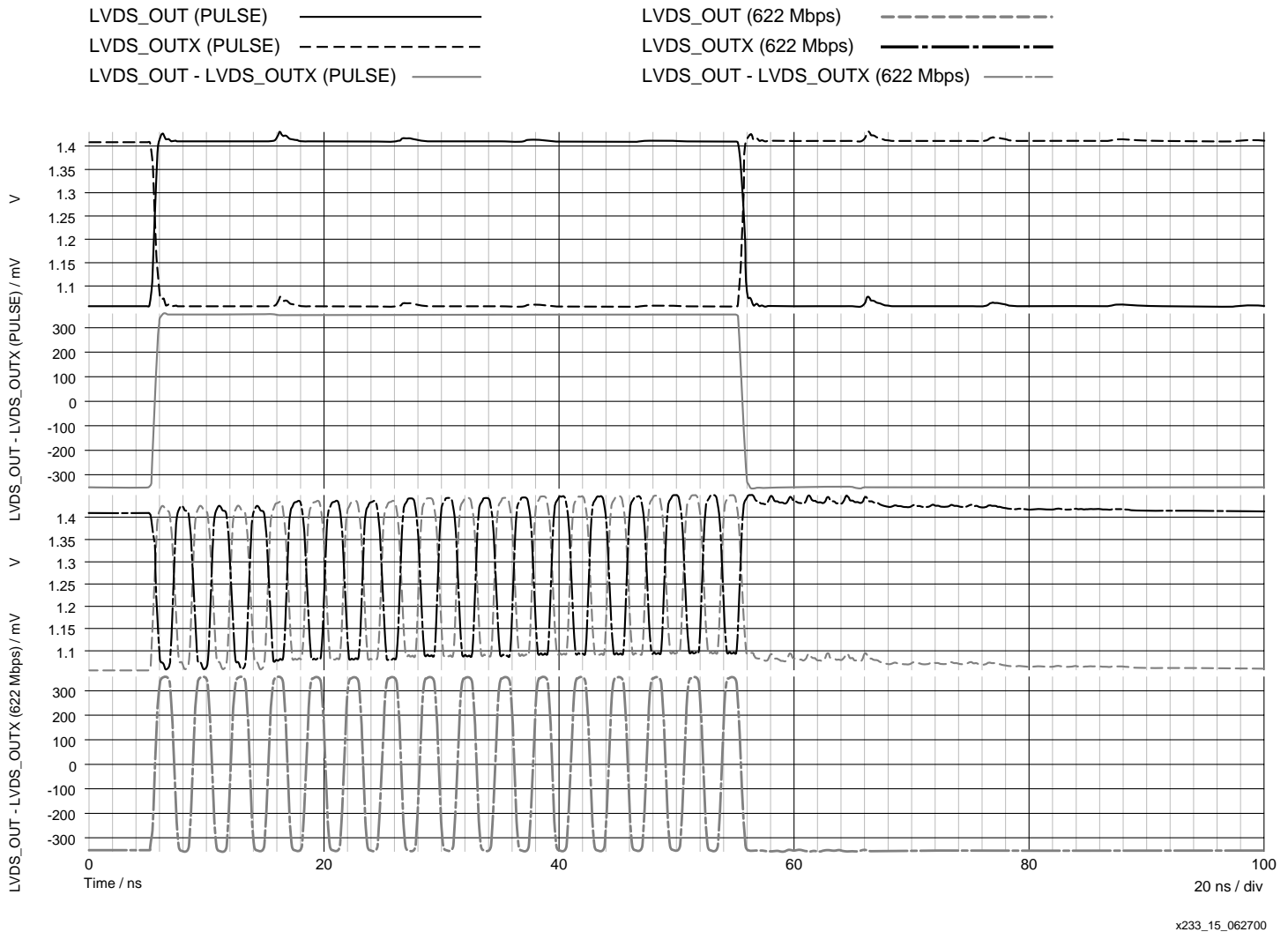
参照デザインで使用されたフロアプランでは、ピン付近のクリティカル セクションでのコンポーネント配置のみ制約します。高速配線は、サイリンクス ソフトウェアによって自動で行われます。参照デザインは、フロアプラン ファイルが添付された Alliance Series 3.1i ソフトウェアを使用しインプリメントされているため、タイミング制約がすべて満たされています。

ボード レベルでの注意事項については、[XAPP230](#) (LVDS の I/O 規格) および [XAPP232](#) (Virtex-E LVDS ドライバおよびレシーバ: インタフェース ガイドライン) をご覧ください。

シミュレーション結果

図 2 では、Virtex-E LVDS ライン ドライバおよびレシーバの完全な回路図を示します。Virtex-E LVDS ライン レシーバを駆動する場合、**図 2** の LVDS_OUT ノードを Virtex-E の入力に接続し、LVDS_OUT ノードを 真の差動入力の Virtex-E 入力に接続します。

寄生のパッケージに含まれる SPICE のシミュレーションは、BG432 パッケージに使用し、応答時間およびマルチシンボルの電磁波障害を測定するため変更するデータのバーストを実行します。



x233_15_062700

図 15: 5 ns トランスミッション ラインでの Virtex-E LVDS ライン ドライバの パルスおよび 622Mb/s バースト データ応答

図 15 は、長距離トランスミッションライン (5 ns) の BGA432 パッケージで Virtex-E LVDS を駆動する図 2 で示された Virtex-E LVDS ライン ドライバ回路のパルスおよび 622 Mb/s バースト データの反応を示しています。電圧は、ダイの差動入力で測定されています。この差動反射 (2 番目の波形が下がっている場合の $\text{LVDS_OUT} - \text{LVDS_OUTX}$) は、無視しても全く問題ありませんが、Virtex-E LVDS ドライバの調和したソース インピーダンスがほぼすべての差動反射を吸収していることを確認してください。Virtex-E LVDS ドライバのソース インピーダンスが十分に調和している場合、パルス データを 622 Mb/s で駆動またはクロックを 311 MHz で駆動すると、アンダーシュートをなくし信号振幅の減衰を小さくすることができます。この結果については、図 16 の下の $\text{LVDS_OUT} - \text{LVDS_OUTX}$ のグラフを参照してください。

LVDS 信号の品質を最高にするため、既製の LVDS ドライバではなく Virtex-E LVDS ドライバを使用し、シグナル インテグリティを向上させ、ソースおよびデスティネーション終端を調和させます。

図 16 は、Virtex-E の高性能 I/O デモンストレーション ボードで測定した試験結果を示しています。この結果は、8 Gs/s で高速 オシロスコープのサンプルを使用し測定したものです。残留リプルおよびシンボル間のインターフェイスは、試験結果およびシミュレーションで比較できます。これらのトレースは、ストリップライン トレースの 11 インチ後に LVDS レシーバで測定されています。

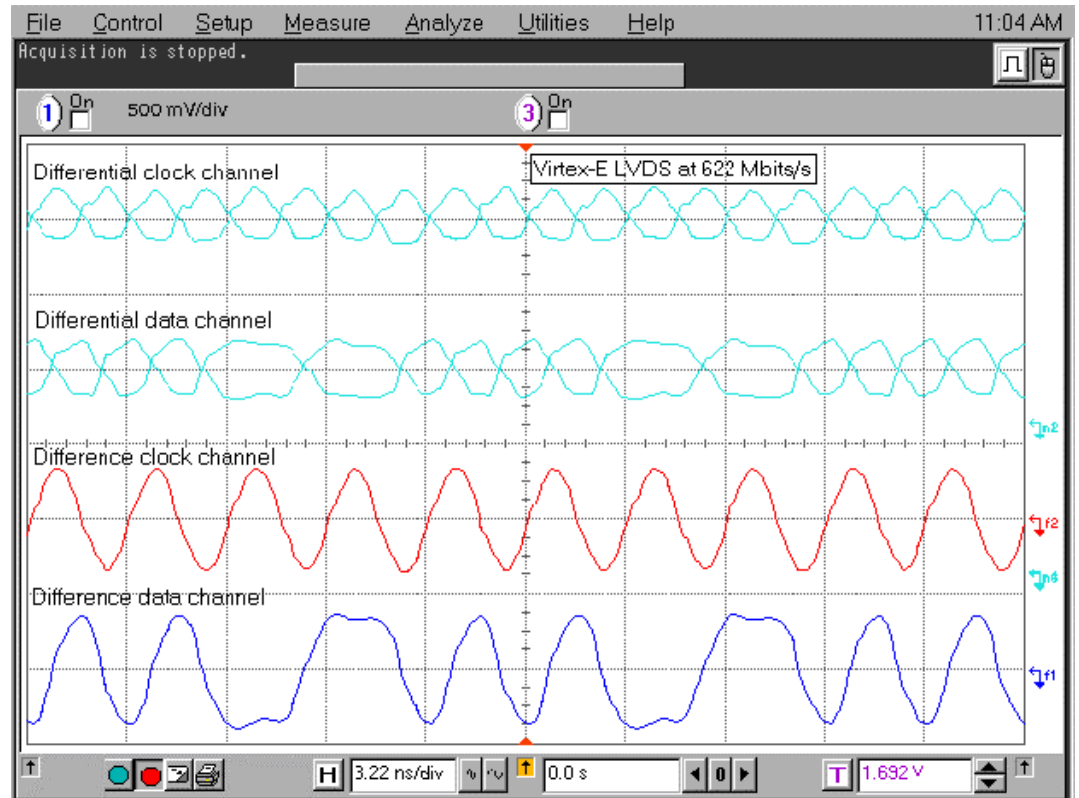


図 16: Virtex-E 高性能 I/O デモ ボードでの測定結果

図 17 は、2つの PC ボード間でツイスト ペア リボン ケーブルが 20 インチ進んだ場合の同様の測定結果です。クロック ペアは、データ ペアに隣接して駆動します。622 Mb/s でのチャンネル間およびシンボル間のインターフェイスは、全く問題ありません。

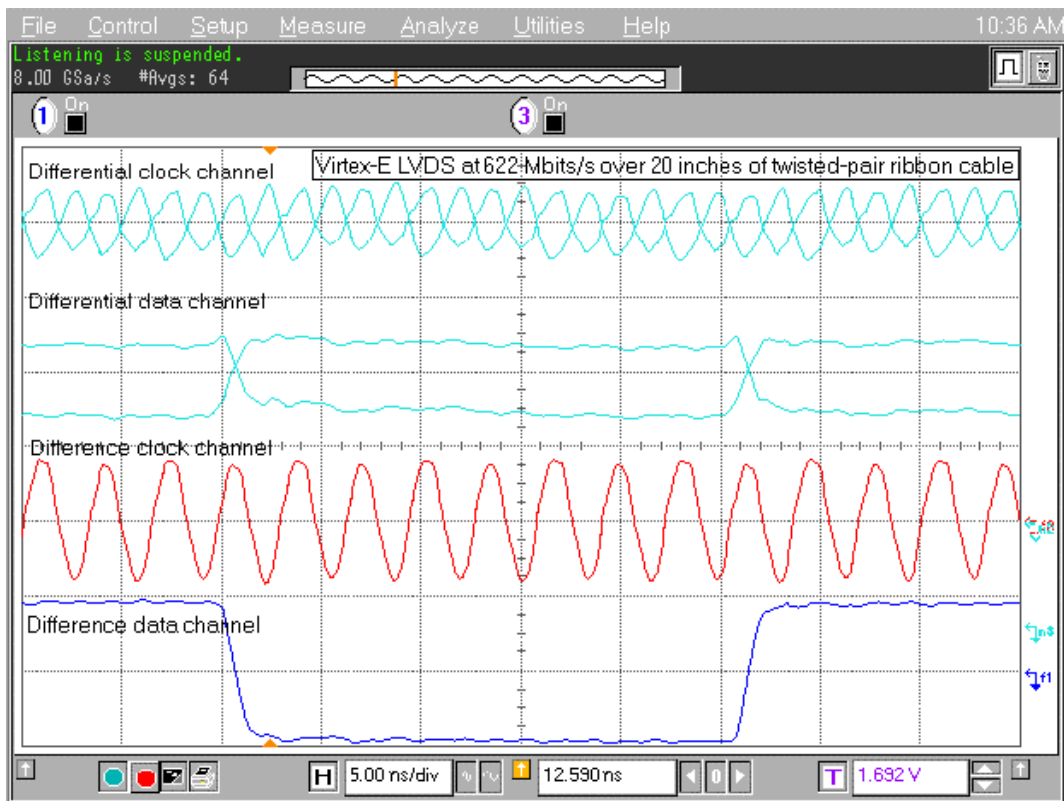


図 17: 2つの PC ボード間での測定結果

おわりに

Virtex-E デバイスは、-7 スピード グレードでは 622 Mb/s でLVDS を送受信できます。データの電気長が 5 ns (30 インチ) を超えるケーブルでデータを伝送でき、表皮効果の損失によるケーブルのみによって制限されています。Virtex-E デバイスでLVDS を使用した場合、ボード、シャーシおよび周辺機器間で長距離に渡り、高速のデータおよびクロックを確実に転送できます。

改版ヒストリ

このドキュメントの改版ヒストリを示します。

日付	バージョン	改訂内容
12/21/99	1.0	初版リリース
7/30/00	1.1	図およびテクニカル情報の修正
01/06/01	1.2	Block RAM の使用方法 (P 11, 図 11 および図 14) のアップデート