



XAPP235 (v1.3) 2000 年 6 月 20 日

Virtex パッケージ互換性ガイド

概要

このパッケージ互換性ガイドでは、Virtex™ ファミリ、Virtex-E、Virtex-EM デバイス間のパッケージ互換性について確立されているガイドラインとピン配置について説明します。Virtex-E ファミリの最新情報については、<http://www.xilinx.co.jp>にある Xilinx の Web サイトを参照してください。

はじめに

コア電圧 1.8V の Virtex-E および Virtex-EM ファミリは、合成が容易なシリコン アーキテクチャと 0.18 μm テクノロジーを組み合わせ、新しいレベルの FPGA のパフォーマンスと集積度を提供します。Virtex シリーズにはパッケージの互換性があるので、Virtex デバイスから移行して Virtex-E または Virtex-EM デバイスを使用できます。この文書では、Virtex-E ファミリと Virtex ファミリ間のパッケージ ピン配置およびピンの機能の違いについて説明します。同じパッケージの Virtex-EM デバイスと Virtex-E デバイスでは、ピン配置に互換性があります。

Virtex、Virtex-E、Virtex-EM ファミリの違い

電源

Virtex シリーズと同じように、Virtex-E ファミリの電源は V_{CCO} と V_{CCINT} という 2 つの電源に分割されます。 V_{CCO} は、出力ピンと LVTTTL、LVCMOS、PCI 規格の出力/入力ピンに電力を供給します。 V_{CCINT} は、LVTTTL、LVCMOS、PCI 規格の入力を除くすべての入力ピンと内部ロジックに電力を供給します。Virtex の V_{CCINT} は 2.5V ですが、Virtex-E の V_{CCINT} は 1.8V です。低電圧での動作の実現は、より高度なプロセスと 0.18 μm デザインルールによるものです。また、これによって、チップサイズの縮小、電力消費の低減、速度の向上も可能になります。 V_{CCO} は、使用する I/O 規格に合わせて 3.3V まで調整できます。サポートされる I/O 規格については、表 1 を参照してください。

出力電圧をプログラムできる電圧レギュレータ モジュールを使用すると、 V_{CCO} と V_{CCINT} の入力に電力を供給でき、Virtex-E ファミリの 1.8V の V_{CCINT} にも対応できます。

サポートされる I/O 規格

Virtex-E デバイスは、LVDS および LVPECL 差動信号処理規格など 20 種類の高性能インターフェイス規格をサポートしています。1.8V の V_{CCO} に基づく新しい LVCMOS I/O 規格もサポートされています。表 1 に、サポートされるすべての I/O 規格を示します。すべての I/O ピンは 3V トレラントで、適切な外部抵抗を接続すると 5V トレラントになります。PCI 5V はサポートされていません。

I/O バンク

Virtex ファミリと同じように Virtex-E ファミリには 8 つの I/O バンクがあり、各バンクには複数の V_{CCO} ピンがあります。1 つのバンク内の V_{CCO} ピンは、すべて同じ電圧レベルに接続する必要があります。この電圧レベルは、使用する I/O 規格によって決定されます。

LVTTTL、LVCMOS、PCI 規格の入力バッファには V_{CCINT} ではなく V_{CCO} によって電力を供給するので、Virtex-E デバイスではバンクルールが異なります。これらの規格では、 V_{CCO} が等しい入力バッファと出力バッファのみを同じバンクで混合できます。

表 1: サポートされる I/O 規格

I/O 規格	出力 V _{CCO}	入力 V _{CCO}	入力 V _{REF}	ボード終端 電圧 (V _{TT})
LVTTTL	3.3	3.3	N/A	N/A
LVC MOS2	2.5	2.5	N/A	N/A
LVC MOS18	1.8	1.8	N/A	N/A
SSTL3 I および II	3.3	N/A	1.50	1.50
SSTL2 I および II	2.5	N/A	1.25	1.25
GTL	N/A	N/A	0.80	1.20
GTL+	N/A	N/A	1.0	1.50
HSTL I	1.5	N/A	0.75	0.75
HSTL III および IV	1.5	N/A	0.90	1.50
CTT	3.3	N/A	1.50	1.50
AGP-2X	3.3	N/A	1.32	N/A
PCI33_3	3.3	3.3	N/A	N/A
PCI66_3	3.3	3.3	N/A	N/A
BLVDS/LVDS	2.5	N/A	N/A	N/A
LVPECL	3.3	N/A	N/A	N/A

低電圧差動信号

Virtex-E ファミリには、差動信号処理 (LVDS および LVPECL) が組み込まれています。このような信号を Virtex-E デバイスに接続するには、差動ピンペアと呼ばれる 2 本のピンを使用します。各差動ピンペアには、ポジティブ (P) ピンとネガティブ (N) ピンがあります。これらのペアには、次の方法でラベルが付けられます。

I/O_L#[P/N]

ただし、L = LVDS または LVPECL のピン

= ピンペア番号

P = ポジティブ

N = ネガティブ

差動信号の I/O ピンは、同期または非同期、入力または出力のいずれかにできます。ピンペアは、非同期入力信号、出力信号の他に、同期入力信号にも使用できます。ただし、非同期出力信号に使用できるのは一部の差動ペアだけです。

差動信号では、ペアになっているピンがほとんど同時に切り替わる必要があります。IOB フリップフロップの信号がピンペアを駆動する場合、これらは同期しています。内部ロジックの信号がピンペアを駆動する場合、これらは非同期です。表 2 に、Virtex-E ファミリの各種の差動ピンペアの名前と機能の定義を示します。

表 2: 差動ピン ペア

ピン名	説明
IO_L#[P/N] 例: IO_L22N	一般的な I/O または同期入力/出力差動信号を表します。差動信号として使用する場合、N はネガティブの I/O、P はポジティブの I/O を意味します。
IO_L#[P/N]_Y 例: IO_L22N_Y	一般的な I/O、同期入力/出力差動信号、デバイスに依存する非同期出力差動信号のいずれかを表します。
IO_L#[P/N]_YY 例: O_L22N_YY	一般的な I/O、同期入力/出力差動信号、非同期出力差動信号(同じパッケージ内のすべてのデバイス)のいずれかを表します。
IO_LVDS_DLL_L#[P/N] 例: IO_LVDS_DLL_L16N	一般的な I/O、同期入力/出力差動信号、差動クロック入力信号、DLL 入力のいずれかを表します。差動クロック入力として使用する場合、このピンは隣接する GCK ピンとペアになります。差動クロック入力の場合、GCK ピンは常にポジティブ入力になります。

差動クロック ピン

Virtex-E ファミリには、Virtex ファミリの 4 本の GCLK に加えて、4 本の IO_LVDS_DLL ピンがあります。これらは、GCLK とペアにして 4 つまでの差動クロックをサポートできます。差動クロック入力ペアには、1 つの GCLK と隣接する IO_LVDS_DLL ピンが必ず含まれます。差動クロック入力の場合、GCLK ピンは常にポジティブ入力になります。

差動クロックを使用しない場合、これらの IO_LVDS_DLL ピンはシングルエンドの I/O または DLL 入力ピンとして使用できます。

DLL 入力ピン

Virtex-E ファミリでは DLL への入力として使用できる 4 本の DLL 入力ピンが追加されているので、DLL に対して合計で 8 つの入力を使用できます。これは、クロック ミラー アプリケーションで非常に便利です。

Virtex ファミリと Virtex-E ファミリのピン配置の違い

Virtex-E、Virtex-EM、Virtex の等価なデバイスは、同じパッケージ内でピン配置に互換性がありますが、表 3 に示すようにわずかな例外があります。

XCV200E デバイス、FG456 パッケージ

Virtex-E XCV200E では、差動クロック ペアをサポートするため、Virtex XCV200 とは 2 本の I/O ピンが異なります。

XCV300E デバイス、BG432 パッケージ

Virtex-E XCV300E では、8 本のピン (B26、C7、F1、F30、AE29、AF1、AH8、AH24) が V_{CCINT} に接続されています。これらは、Virtex XCV300 では接続されていません。

XCV400E デバイス、FG676 パッケージ

Virtex-E XCV400E では、差動クロック ペアをサポートするため、Virtex XCV400 とは 2 本の I/O ピンが異なります。Virtex-EM ファミリ (XCV405E) でも同様です。

すべてのデバイス、PQ240 および HQ240 パッケージ

PQ240 および HQ240 パッケージの Virtex デバイスには V_{CC0} バンクがありませんが、Virtex-E および Virtex-EM デバイスにはあります。これを実現するため、Virtex の 8 本の I/O ピン (P232、P207、P176、P146、P116、P85、P55、P25) が Virtex-E ファミリでは V_{CC0} ピンに

なっています。このため、Virtex の 1 本の IO_VREF ピンを標準の I/O ピンに変更する必要もありません。

さらに、Virtex-E デバイスで差動クロック入力ペアをサポートするため、XCV400E および XCV600E デバイスのみで一部の IO_VREF が異なります。Virtex の IO_VREF ピン、P215 と P87 は、それぞれ Virtex-E の IO_VREF ピン、P216 と P86 になっています。Virtex-E の P215 および P87 ピンは、IO_LVDS_DLL になっています。

表 3: Virtex-E ファミリと Virtex ファミリのピン配置の違い

デバイス	パッケージ	ピン	Virtex	Virtex-E
XCV200	FG456	E11, U11	I/O	接続なし
		B11, AA11	接続なし	IO_LVDS_DLL
XCV300	BG432	B26, C7, F1, F30, AE29, AF1, AH8, AH24	接続なし	V _{CCINT}
XCV400 XCV400E XCV405E	FG676	D13, Y13	I/O	接続なし
		B13, AF13	接続なし	IO_LVDS_DLL
XCV400/600	PQ240/H Q240	P215, P87	IO_VREF	IO_LVDS_DLL
		P216, P86	I/O	IO_VREF
すべて	PQ240/H Q240	P232, P207, P176, P146, P116, P85, P55, P25	I/O	V _{CCO}
		P231	I/O	IO_VREF

表 4: XCV600E と XCV812E における FG900 パッケージの互換性

ピン	XCV600E	XCV812E
J1, F9, A7, C10, G12, A13, B18, D20, B21, C23, P23, C26, J25, H25, K30, M23, N23, T24, V24, Y27, AB27, Y21, AH26, AH23, AB19, AD19, AF19, AD14, AK12, AE12, AE10, AH8, AD8, Y10, AD1, AA4, V7, U6, N8, M7, L3, J4, J6	接続なし	I/O
A10	IO-L23-N-YY	IO-VREF-O-L23-N-YY
F19	IO-L45-P-YY	IO-VREF-1-L45-P-YY
L30	IO-L94-P-YY	IO-VREF-2-L94-P-YY
Y29	IO-L117-N-YY	IO-VREF-3-L117-N-YY
AK22	IO-L166-P-YY	IO-VREF-4-L166-P-YY
AJ12	IO-L188-N-YY	IO-VREF-5-L188-N-YY
Y5	IO-L236-N-YY	IO-VREF-6-L236-N-YY
M1	IO-L259-P-YY	IO-VREF-7-L259-P-YY

表 5: BG560 パッケージの互換性

ピン	XCV1000E	XCV812E
D29	IO-VREF-O-LOP	IO-LOP
E7	IO-VREF-1-L43-P-Y	IO-L43-P-Y
B3	IO-VREF-2-L46N	IO-L46N

表 5: BG560 パッケージの互換性 (続き)

ピン	XCV1000E	XCV812E
AH4	IO-VREF-3-L90N-Y	IO-L90N-Y
AN3	IO-VREF-4-L93N	IO-L93N
AK28	IO-VREF-5-L136N-Y	IO-L136N-Y
AH30	IO-VREF-6-L138P	IO-L138P
D31	IO-VREF-7-L182P-Y	IO-L182P-Y

表 6: XCV1000E と XCV812E における FG900 パッケージの互換性

ピン	XCV1000E	XCV812E
VCCO_0	VCCO_0	接続なし
VCCO_1	VCCO_1	接続なし
VCCO_2	VCCO_2	接続なし
VCCO_3	VCCO_3	接続なし
C5、H24、G26、A25、F22、G20、L18、D16、J16、B17、J17、E19、L13、D13、C14、AA14、AJ13、AG12、AE15、AD18、AE18、AJ18、AK27、AD21、AD26、AA23、T29、T26、T22、V25、AB29、M25、M24、P30、AF10、AG9、AA11、AF6、J1、J3、F1、L10、T3、P9、N2、N10、T2、V1、T10、U7、AB7、AC5、C6	I/O	接続なし
A3	IO_VREF_0_L2N_Y	IO_L2N_Y
A9	IO_VREF_0_L16P	IO_VREF_0
G23	IO_VREF_1_L66P_Y	IO_L66P_Y
E28	IO_VREF_2_L73P_YY	IO_L73P
J30	IO_VREF_2_L87N_YY	IO_VREF_2
AG29	IO_VREF_3_L138N_YY	IO_L138N
AB21	IO_VREF_4_L145P_Y	IO_L145P_Y
AA18	IO_VREF_4_L159N	IO_VREF_4
AJ4	IO_VREF_5_L209N_Y	IO_L209N_Y
AC1	IO_VREF_6_L229P_YY	IO_VREF_6
AE3	IO_VREF_6_L215N_YY	IO_L215N
C2	IO_VREF_7_L280P_YY	IO_L280P
C4	IO_L0N_YY	接続なし
F7	IO_L0P_YY	I/O
B4	IO_L3N_Y	接続なし
J10	IO_L3P_Y	I/O
D9	IO_L14N	接続なし
C9	IO_L14P	I/O
E10	IO_L16N	接続なし
H12	IO_L18N_YY	接続なし

表 6: XCV1000E と XCV812E における FG900 パッケージの互換性 (続き)

ピン	XCV1000E	XCV812E
C10	IO_L18P_YY	I/O
B11	IO_L21N_Y	接続なし
G12	IO_L21P_Y	I/O
B15	IO_L32N	接続なし
H15	IO_L32P	I/O
F15	IO_L33N_YY	I/O
D15	IO_L33P_YY	接続なし
D20	IO_L47N_Y	I/O
A20	IO_L47P_Y	接続なし
B21	IO_L50N_YY	I/O
D21	IO_L50P_YY	接続なし
C26	IO_L65N_Y	I/O
F23	IO_L65P_Y	接続なし
B28	IO_L68N_YY	I/O
A28	IO_L68P_YY	接続なし
C29	IO_L71P	接続なし
D28	IO_L71N	I/O
K22	IO_L74P	接続なし
F27	IO_L74N	I/O
K26	IO_L85P_YY	接続なし
J28	IO_L85N_YY	I/O
K27	IO_L87P_YY	接続なし
K28	IO_L89P_YY	I/O
L25	IO_L89N_YY	接続なし
L29	IO_L92P	接続なし
M23	IO_L92N	I/O
R21	IO_L103P_YY	接続なし
R28	IO_L103N_YY	I/O
P24	IO_L105P_YY	接続なし
R27	IO_L105N_YY	I/O
V24	IO_L119P	I/O
Y28	IO_L119N	接続なし
Y27	IO_L122P	I/O
W23	IO_L122N	接続なし
AG30	IO_L137P	I/O
AC25	IO_L137N	接続なし
AF28	IO_L140P	I/O
AD25	IO_L140N	接続なし

表 6: XCV1000E と XCV812E における FG900 パッケージの互換性 (続き)

ピン	XCV1000E	XCV812E
AG26	IO_L143P_YY	接続なし
AH27	IO_L143N_YY	I/O
AC22	IO_L146P_Y	接続なし
AH26	IO_L146N_Y	I/O
AK24	IO_L157P	接続なし
AD20	IO_L157N	I/O
AH22	IO_L159P	接続なし
AH21	IO_L161P_YY	接続なし
AD19	IO_L161N_YY	I/O
AC18	IO_L164P_Y	接続なし
AF19	IO_L164N_Y	I/O
AD15	IO_L175P	接続なし
AH17	IO_L175N	I/O
AC15	IO_L178P_YY	接続なし
AG15	IO_L178N_YY	I/O
AK12	IO_L190P_Y	I/O
Y13	IO_L190N_Y	接続なし
AE12	IO_L193P_YY	I/O
AG10	IO_L193N_YY	接続なし
AD8	IO_L208P_Y	I/O
AK5	IO_L208N_Y	接続なし
AH5	IO_L211P_YY	I/O
AG3	IO_L211N_YY	接続なし
AH2	IO_L213N	接続なし
AG2	IO_L213P	I/O
AB8	IO_L216N	接続なし
AD6	IO_L216P	I/O
AA5	IO_L227N_YY	接続なし
W10	IO_L227P_YY	I/O
Y7	IO_L229N_YY	接続なし
AA2	IO_L231N_YY	I/O
U10	IO_L231P_YY	接続なし
AA1	IO_L234N	接続なし
V7	IO_L234P	I/O
R9	IO_L245N_YY	接続なし
T6	IO_L245P_YY	I/O
R5	IO_L248N_YY	I/O
R6	IO_L248P_YY	接続なし

表 6: XCV1000E と XCV812E における FG900 パッケージの互換性 (続き)

ピン	XCV1000E	XCV812E
M7	IO_L261N	I/O
L5	IO_L261P	接続なし
L3	IO_L264N	I/O
M10	IO_L264P	接続なし
D1	IO_L279N	I/O
H7	IO_L279P	接続なし
D3	IO_L282N_YY	接続なし
K10	IO_L282P_YY	I/O

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
1999年9月23日	1.0	初期リリース
1999年11月12日	1.1	1 ページのサポートされる I/O 規格を修正
2000年3月21日	1.2	Virtex-EM ファミリの互換性を追加
2000年6月20日	1.3	BG560 および FG900 の互換性を追加