



Virtex-II、Virtex-II Pro、Virtex-4、Virtex-5 デバイスのホットスワップ

XAPP251 (v1.3.1) 2007 年 5 月 14 日

本資料は英語版 (v1.3.1) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

概要

ホットスワップとは、通電しているシステムへ未通電ボードを挿入する方法で、リスクが伴います。そのため、注意すべき点があります。まず、ボード挿入にあたり、システムまたは挿入するボードそのものに、物理的、恒久的な損傷を与えないように注意する必要があります。そして、この挿入が原因でデータ破損などシステムに問題が起きないように注意しなければなりません。このアプリケーション ノートでは、Virtex™-II、Virtex-II Pro、Virtex-4、Virtex-5 ベースのボードを、通電しているシステムやシステム バックプレーンに挿入するにあたっての、物理的な側面について説明します。接続の順序が決まっていないコネクタの使用に伴う危険性は、「**ホット プラグイン**」で説明します。ボードの有無の検出、ボードがどのようにシステムで受け入れられるかなど、システムの問題は、このアプリケーション ノートでは説明されていません。

はじめに

ボードを通電中のシステムに取り付けると、電気的な接続が予想できない順序でおきるため、多くの問題が発生します。その接続順序を特定したコネクタを使用すると、信号ピンの接続前に GND と V_{CC} を接続してしまうため、ほとんどの問題を回避できます。ただし、挿入したボード上の V_{CC} の分散に関しては、レギュレータにかなりの遅延が発生してしまいます。この遅延は、ボード挿入時間を超過してしまう可能性もあり、コネクタ ピンを順番に接続していくこと自体が無意味になってしまいます。

Virtex-II から Virtex-5 アーキテクチャまでの CMOS 出力構造は従来の技術に則しており (図 1)、強力なダイオードが各ピンに 2 つ、GND および V_{CC} にそれぞれ 1 つずつ含まれています。一方、Virtex および Virtex-E ファミリの場合は、この従来の技術とは異なり、その出力構造には、外部 P チャネル プルアップ抵抗と、プラスの電荷を V_{CC} ではなく GND に印加する非標準のバイポーラ/SCR プロテクションの付いたダイオードが使用されています。この構造であれば、通電中のシステムへのボードも簡単になりますが、非標準のプロセス方法が使用されるため、Virtex-II ~ Virtex-5 ファミリではこの構造は採用されていません。これらのデバイスの I/O 構造には、LVDS 差動レシーバとドライバ、HSTL の Class IV レシーバとドライバ、さらに、すべてのシングルエンド レシーバとドライバにデジタル制御可能インピーダンス (XCITE™) 機能がサポートされています。

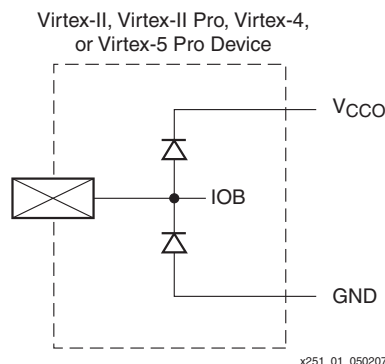


図 1: 通電していないシステムへのボード挿入

ベスト ケースであれば、信号ピンが接続する前に、GND と V_{CC} がまず接続し、ボード上の V_{CC} がすべての供給ピンにプラスの電荷を印加します。

このボード上の V_{CC} の通電速度が遅く、供給電圧が完全に上昇する前に信号ピンが接続されてしまうと、アクティブ High の信号ピンは電流をダイオードから V_{CC} ピンへと流す可能性があります。この状態が発生すると、ドライバ側で信号が損失してしまいます。この問題を回避する 1 つの方法としては、まずボード上での V_{CC} の分配を図 2 で示すパッシブ ネットワークを使ってバイパスする方法があります。このやり方だと、信号ピンが接続される前に FPGA の I/O での電力が保証されます。

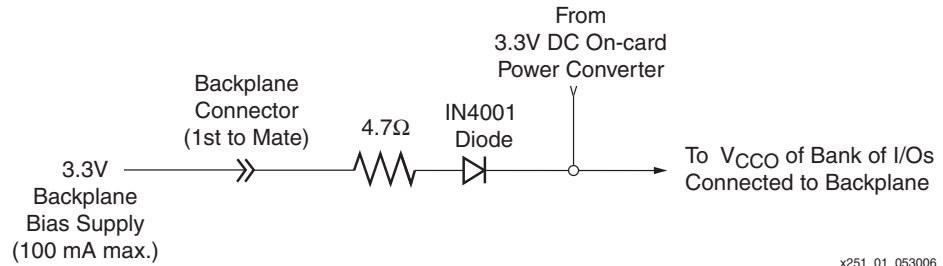


図 2：低バイアスの供給例

信号ピンがバックプレーンと接続するとき、ボード間で共有される信号電位に影響がある場合があります。PCB トレース キャパシタンス、パッケージ キャパシタンス、および デバイス I/O キャパシタンス間の瞬間的な電荷移動は、必ず考慮する必要があります。たとえば、この合計キャパシタンスが 50pF で、信号値が 1 である場合、ボードを挿入すると、信号グリッチが発生し、0 の状態になる可能性があります。この状態を確認するには、シミュレーションを実行します。グリッチによるエラーの影響が広がらないように、プロトコルを用意しておく必要があります。

突発的に大きな電流が流れ、バックプレーンへの損傷が起きると、表装が変形してしまうことがあります。損傷を引き起こすような大きな電流を避けるには、ボード上の電力コンバータの電圧を徐々に上げてスタート (ソフトスタート) させる必要があります。ただし、ソフトスタートを行うと、信号ピンが接続する前にボードが通電していなければならないという矛盾が生じます。

ボードの故障

ボードの故障にはさまざまな原因がありますが、電力供給が原因となる場合のみをここで説明します。

ボード上の V_{CCO} 供給に問題が発生すると、I/O バンクの V_{CCO} が関連する共通信号の電圧より著しく低い場合、Virtex-II ~ Virtex-5 デバイスのダイオードにバイアス電流が順方向に流れます。この電流は V_{CCO} がしっかりとグラウンドにクランプされていない限り (タンタル キャパシタでの故障が原因で起こる短絡の場合など)、大きくありません。ワースト ケースで 50mA 程度です。

クリティカルな I/O がバックプレーンに接続する前に電圧を引き上げておくのは、時間的に厳しいものがありますが、供給電圧は、ボードが通電される前に、クリティカル I/O バンク用に、バックプレーンに供給されている必要があります。

クランプを避けるには、重複した電力供給を利用するか、または図 2 に示すように低いバイアス電流を利用します。電力ソースをまとめる際には、単純なダイオードを使用するのが最善です。図 2 では、低いバックプレーンのバイアス電流がボードの V_{CCO} に流れるため、信号のクランプを防ぐことができます。1N4001 ダイオードは、バイアス電流が減退して、ボード上の 3.3V DC 供給が隔離されないようにします。4.7Ω の抵抗は、サージ電流を制限し、表装の破損や変形を防止します。

図 3 では、ボード上の 3.3V DC の電力ソースが、2.5V DC で、すべてのボード間で共有バックプレーンバスピンに 500mA を供給する能力を持つ、低ドロップアウト レギュレータ (LDO) を介していることを示しています。

信頼性に関しては、LDO はダイオードと同等で、10 億時間につき、5 回の故障が見られる程度です (5 FIT)。この故障率は、バックプレーン コネクタ ピン ペアの 10 FIT (平均) に比べて低く、LDO は高い安定性が評価されています。オフセット コネクタ システムの詳細については、バックプレーン製造者にお問い合わせください。

電流が制限されている共通ラインに各ボードが 2.5V DC を供給する場合、各ボードのクリティカル I/O バンクは、2.2Ω の抵抗を介してバンク特定のバイパス キャパシタに電力供給を受けます。つまり、ボードを挿入しても、共通バスを使用しているほかのボードへ影響を与えず、流れてくる電流量はピンの損傷を防ぐために制限されます。この方法で電力供給を受けたバンクの I_{CC} 負荷は、この 2.2Ω の抵抗が 200mV 以上ドロップしないよう、小さい値である必要があります。

クリティカル I/O バンクでは、3.3V DC 標準ではなく、LVTTTL 2.5V DC 標準が使用されます。クリティカル バンクは、3.3V DC コンバータが使用できない場合でも、すべてのクリティカル I/O バンクに電力が供給できます。このクリティカル パワー ピンから電力供給を受ける、オンボード電力供給のロス検出機能は、すべての I/O をトライステート状態にするために使用する必要があります。その他のバンクに対するボード上の V_{CCINT} 、 V_{CCAUX} 、 V_{CCO} に故障が見られる場合は、デバイスをトライステート状態にしておくことで、警告が発せられます。

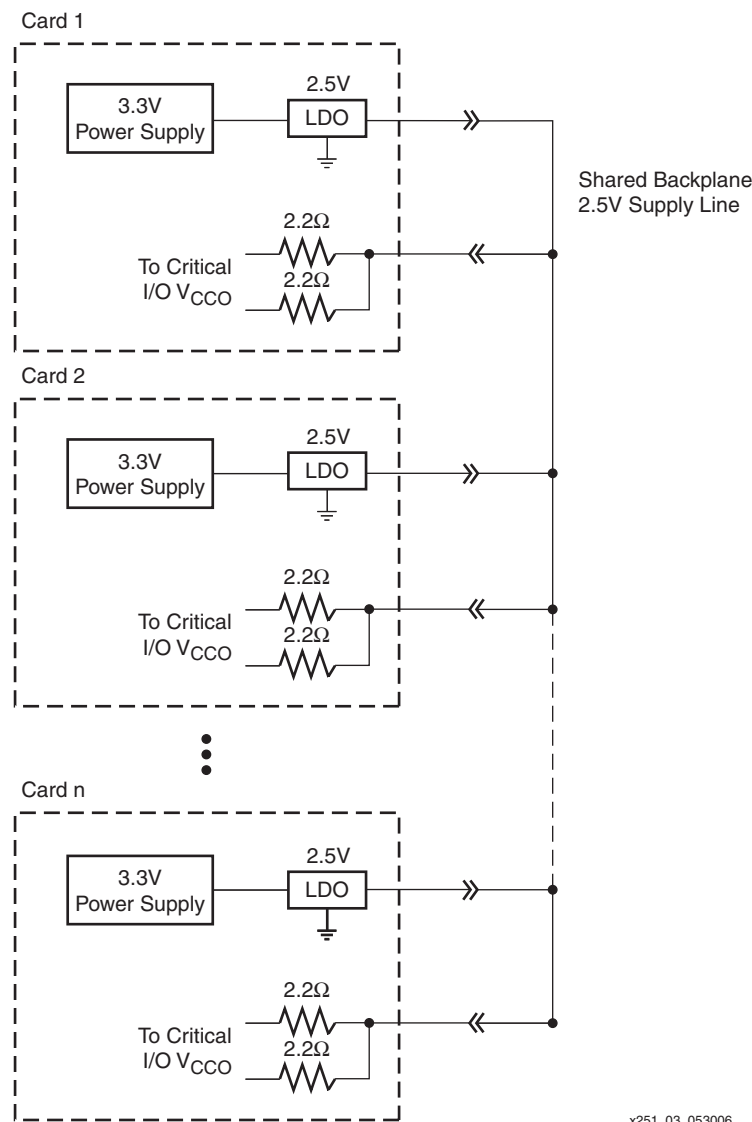


図 3：ソリューション

x251_03_053006

ホット プラグイン 接続順序が制御できないコネクタの危険

通電しているシステムにボードやデバイスを挿入するのは、予想できない順序でピンが接続されていくため、危険です。最初のピンに電荷が印加されて、最後のピンに印加されるまで、何ミリセカンドという時間がかかります。問題は、この間に発生します。

先のページに説明したように、どの信号ピンが接続するよりも先に **GND** と **V_{CC}** が最初に接続するのがベストです。この接続の順序を特定するための特別なコネクタがあります。**GND** と **V_{CC}** ピンはほかのものよりも長く、常に最初に電荷が印加されます。このタイプのソケットは、ホット プラグインが一般的に行われているテレコム分野で広く使用されています。こうした特別なコネクタを使用すると、電気的な故障を防止できます。

また、この特別コネクタを使用しない場合は、恒久的な電氣的損傷も起こり得ます。**GND** といくつかの信号ピンが最初に接続され、そのうちの 1 つの信号ピンが **20 Ω** の出力インピーダンスを持つ **3.3V CMOS** ドライバによって **High** に駆動されているケースを例にとってみましょう。**V_{CC}** ピンに電荷が印加されるまで、**High** 信号は、このピンと **V_{CC}** 間にあるダイオードにバイアス電流を順方向に流し、未接続の **V_{CC}** 分配ネットワークを **High** に駆動しようとしています。

このロジック信号は、**V_{CC}** 供給の代替として機能しますが、信号トレースおよび回路素子は、この機能を実現できるほど強力ではありません。電流値はこの未通電の **V_{CC}** ネットに接続されているデバイスの数やタイプによって異なります。**SRAM** ベースの **FPGA** は、マスタ モードでコンフィギュレーションプロセスを開始できますが、やはり 1 つまたはわずかな数のロジック信号によってのみ電源供給が行われるだけで、結果として、コンフィギュレーション プロセスは完了前に中断してしまいます。こうしたユーザー側ではコントロールできないような動作や電氣的な過剰ストレスは、望ましくありません。

V_{CC} といくつかの信号が **GND** 接続前に接続した場合も、同様の問題が発生します。通電しているボードの **Low** 信号出力は、プラグインされたデバイスの代替 **GND** として機能し、電流は未通電デバイスからピンと **GND** 間のダイオードを通過します。

Virtex-II ~ **Virtex-5** デバイスには、強力なダイオードが各入力ピンに 2 つ、**GND** と **V_{CC}** にそれぞれ 1 つずつ接続されており、過剰な入力電荷を供給ラインに送ります。**XC4000XL**、**Virtex**、**Virtex-E**、**Spartan™** デバイスでは、**V_{CC}** にダイオードがなく、その代わりにプラスの電荷を **GND** に放電する構造になっています。この構造により、ホット プラグインに関わる問題はある程度解消できます。

デジタルシステムでの **V_{CC}** の上昇率は通常複雑で、電圧位、デバイスによって結果が異なります。無計画にプラグインを行った場合は、さらに悪い結果となります。ホット プラグインは、装置がそれに対して特別に設計されていない限り、避けてください。

まとめ

熟慮の上、正しいコネクタを使用すれば、バックプレーンのボードが通電中のシステムにも挿入できるよう、システムを設計できます。

改訂履歴

次の表に、この文書の改定履歴を示します。

日付	バージョン番号	改訂内容
07/12/01	1.0	初期リリース
08/13/01	1.1	セクション「はじめに」を改訂
05/30/06	1.2	Virtex-II Pro の情報を含有
05/02/07	1.3	Virtex-4 および Virtex-5 ファミリのリファレンスを追加
05/14/07	1.3.1	スペルミスの修正

免責事項

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.

この日本語訳 (参考のみ) は、<http://japan.xilinx.com/support/documentation/disclaimer.htm> を参照してください。