



システム インターフェイス タイミング パラメータ

XAPP259 (v1.0) 2003 年 4 月 28 日

概要

このアプリケーション ノートでは、ソース同期アプリケーション、およびシステム同期アプリケーションのタイミング解析に必要なタイミング パラメータについて説明します。このパラメータは、Virtex-II および Virtex-II Pro データシートのモジュール 3 に記載されています。また、DCM の位相クロック パラメータの正確性、DCM パラメータでのシステム同期 pin-to-pin セットアップ/ホールド タイム (T_{PSDCM} と T_{PHDCM})、およびすべてのソース同期パラメータについて説明します。その例として、メモリ インターフェイスと XGMII インターフェイスの解析を挙げます。

はじめに

あらゆるシステム インターフェイスにおいて、基本となるモジュールはトランスミッタとレシーバであり、これらのモジュールのパフォーマンス測定には、タイミング解析が必要になります。解析に必要なタイミング パラメータについては、次のセクションで説明します。次に、トランスミッタ (メモリに書き込み) およびレシーバ (メモリから読み出し) モジュールのメモリ インターフェイス、XGMII インターフェイスの解析について説明します。

DCM 位相の エラー

ほとんどの場合、FPGA デザインには、クロック スキュー調整およびクロック合成のいずれかまたは両方に Digital Clock Manager (DCM) が使用されています。ここでは、DCM による位相エラーについて説明します。

CLKOUT_PHASE と CLKIN_CLKFB_PHASE の 2 個のパラメータは、DCM 出力位相エラーの原因になります。これらのタイミング パラメータは、ISE 5.2i では自動タイミング解析されないため、これらのパラメータを考慮してキャプチャ ウィンドウのタイミング解析を行う必要があります。

CLKOUT_PHASE

CLKOUT_PHASE により同一 DCM の DCM 出力間の位相関係が規定されます。このパラメータは、 ± 140 ps と規定されています。この場合の \pm は、ある出力が別の出力の前後どちらか一方に入ること示しています。DCM からの出力 2 つの位相差異はいずれも最大 140 ps にしかならないため、その絶対値 (280 ps) を算出に使用できません。ただし、これは DCM がロックされている場合に限りです。また、デザインにフィードバック クロック (CLK0 または CLK2X) 以外の DCM 出力が使用されている場合には CLKOUT_PHASE が関係します。

CLKIN_CLKFB_PHASE

CLKIN_CLKFB_PHASE は、同一の DCM のクロック入力とフィードバック入力間の位相オフセットの大きさを規定します。このパラメータが ± 50 ps に規定されている場合でも、1 個の DCM を使用したデザインのタイミング解析に絶対値 (100 ps) は使用できません。DCM のクロック入力とクロックフィードバック入力間の最大の位相オフセットはつねに +50 ps または -50 ps (タップ遅延) になり、DCM がロックされている間常にその値が保持されます。このパラメータを含むすべての DCM パラメータは、データシートに DCM の入力および出力ごとに規定されています。また、パラメータに関する DCM についてもすべて、データシートの「IOB フリップ フロップ」に規定されています。

© 2003 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.com/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知 : Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けない

このアプリケーション ノートの付録 には、DCM を使用した回路のタイミング図が示されています。これらの回路は、1 個または 2 個の DCM を使用して 2 個のフリップ フロップへのクロック入力を可能にする方法を示しています。また、各方法におけるクロック位相の差異のワースト ケース値が記載されています。

I/O 標準が異なる場合のセットアップ/ホールド タイムの調整

データとクロックに、異なる (混合) I/O 標準が使用される場合は、必ずセットアップ/ホールド タイムの調整が必要です。ISE v5.1i では、デフォルト標準 (LVTTTL) 以外の異なる I/O 標準を使用する場合、セットアップ/ホールド タイム、clock-to-out の順に算出されます。5.1以前のバージョンでは、計算の結果について手動の調整が必要です。セットアップ/ホールド タイムの調整は、次の論理式で表されます。

$$\text{セットアップ/ホールド タイムの調整} = \text{データパスの遅延調整} \pm \text{クロックパス遅延調整}$$

より大きいクロック遅延の場合、セットアップ タイムが短くなり、同じ分だけホールドタイムが長くなるため、キャプチャ ウィンドウは右へシフトします。この場合、キャプチャ ウィンドウは大きくなりません。より長いクロック遅延は、セットアップ タイムを削減し、同じだけのホールドタイムを長くします。このようにして、キャプチャ ウィンドウを右へとシフトさせます。この場合、キャプチャ ウィンドウは大きくなりません。

LVTTTL 入力クロック バッファよりも遅い I/O 標準の入力クロック バッファの場合、I/O 標準の入力調整によりセットアップ タイムが短くなっています。この点については、図 1 を参照してください。

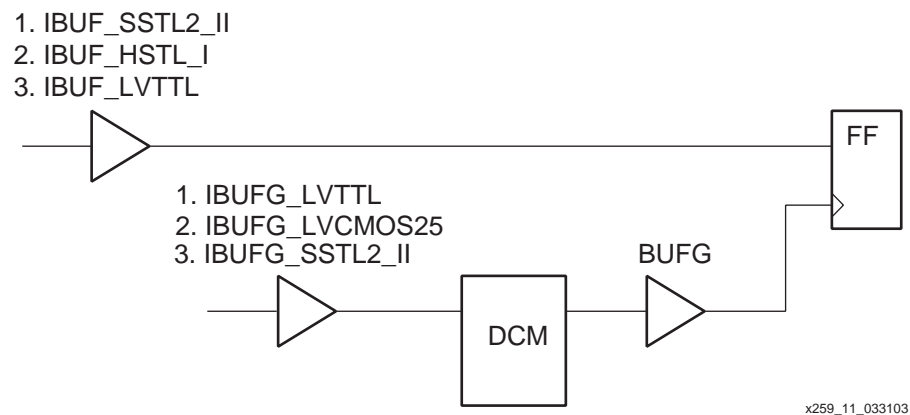


図 1: I/O 標準によるセットアップ/ホールド タイムの調整

ケース 1: データ入力バッファ SSTL2_II とクロック入力バッファ LVTTTL

$$\text{セットアップ/ホールド タイムの調整} = \text{TISSTL2_II} - 0 = 0.42 \text{ ns}$$

セットアップ タイムは 0.42ns 長くなり、ホールド タイムは 0.42 ns 短くなります。

ケース 2: データ入力バッファ HSTL_I とクロック入力バッファ LVCMOS25

$$\text{セットアップ/ホールド タイムの調整} = \text{TIHSTL_I} - \text{TILVCMOS25} = 0.42 \text{ ns} - 0.11 \text{ ns} = 0.31 \text{ ns}$$

セットアップ タイムは 0.31ns 長くなり、ホールド タイムは 0.31 ns 短くなります。

ケース 3: データ入力バッファ LVTTTL とクロック入力バッファ SSTL2_II

$$\text{セットアップ/ホールド タイムの調整} = \text{TILVTTTL} - \text{TISSTL2_II} = 0 - 0.42 \text{ ns} = -0.42 \text{ ns}$$

セットアップ タイムは 0.42 ns 短くなり、ホールド タイムは 0.42 ns 長くなります。

ジッタ

それぞれのタップ遅延を周期的に抽出するときに DCM で生じるジッタについて説明します。DDR IOB のデータが DCM の CLK0 クロックで入力されている場合、タイミングの算出で ± 100 ps と指定された CLKOUT_PER_JITT_0 を使用する必要があります。この場合、ワースト ケースのジッタの絶対値は $100 \times 2 = 200$ ps になります。

パッケージ スキュー

パッケージ スキュー値 ($T_{PKGSKEW}$) は、パッケージでの 2 個のボール間におけるレイアウト ネットリスト ワースト ケース スキューを表します。これらの値は、パッケージ レイアウト ネットリスト からトレース長を抽出して測定されます。誘電材料は時間領域反射率測定法により定義され、さまざまな誘電材料についてはデータシートに記載されています。

データシートに記載されている値は、すべてのピンおよび最も遅い誘電体のワースト ケース値を表します。すべてのフリップ フロップ パッケージの各ピンのトレース長については、スプレッドシートに記載されています。Virtex-II および Virtex-II Pro 「パッケージ フライト タイム」 データ スプレッドシートについては、Xilinx ウェブサイトの SPICE Suite アクセスを参照してください。

(<http://www.xilinx.co.jp/support/software/spice/spice-request.htm>)

このページで登録完了後に、SPICE モデル、シミュレーション キット、特性レポート、およびパッケージのフライト タイム データのページにアクセスしてください。各ピンのフライト タイムは、スプレッドシートに記載されている誘電体の特徴をもつ定数 (時間/距離) を使用して算出できます。

クロック ツリー スキュー

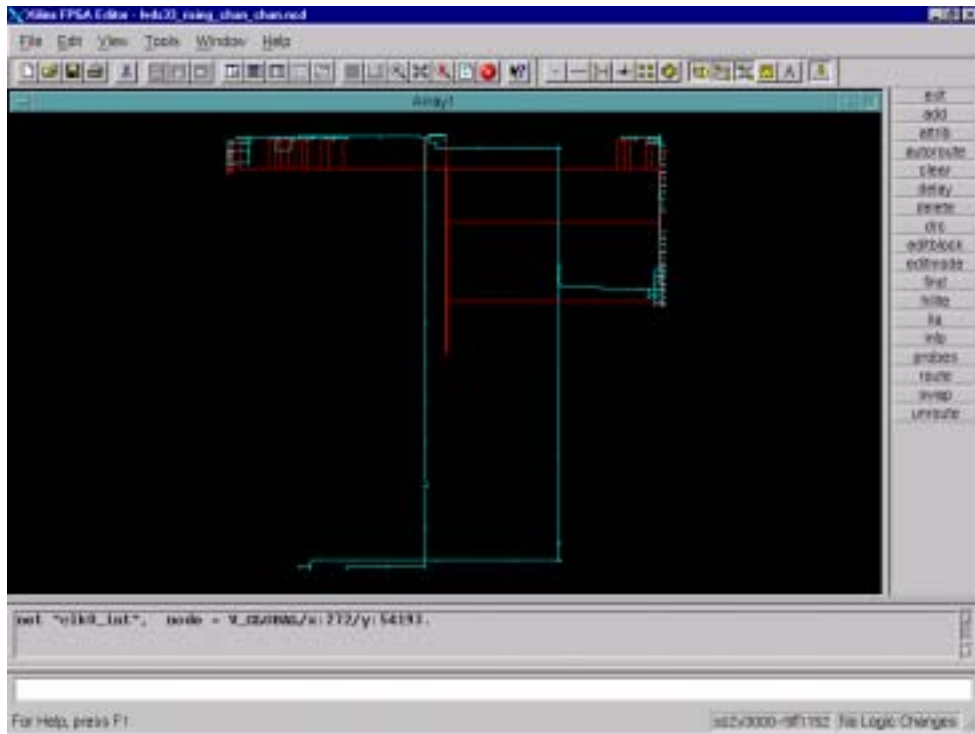
グローバル クロック ツリー スキューの値 (T_{CKSKEW}) は、IOB の配列エレメント間 (入力フリップ フロップ間) に見られるワースト ケースのクロック ツリー スキュー値を表します。グローバル クロック ツリー スキューの測定に使用するテストパターンには、1 つの BUFG、クロック転送用にコンフィギュレーションされた DDR 出力レジスタ、LVDS ドライバを使用します。この回路の詳細については、Virtex-II/Virtex-II Pro ユーザー ガイドの第 2 章 「ダブル データ レート (DDR) I/O の使用について」 を参照してください。

スキューは、クロック ソース (BUFG) に最も隣接したピン (対応の IOB フリップ フロップ付き) と、クロック ソース (BUFG) から最も離れたピン (対応の IOB フリップ フロップ付き) との間を測定した出力遅延の差異です。この値が、IOB すべてのワーストケースです。I/O レジスタが互いに隣接しており、同一または隣接のクロック ツリー分岐に接続されている場合、クロック ツリー スキューはごくわずかしかな存在しません。

各バンクに渡るクロック ツリー スキューのピヘイピアを定義すると、次のような結果になります。

1. 上部と下部のバンク: スキューは、チップの中央から端に対数的に増加します。これについては、最大の使用可能なクロック ツリー スキューとしてデータシートに記載されています。
2. 左右のバンク: スキューを表す関数は、ほとんど変動のない断続的な波形です。

ソース同期デザインには、互いに隣接したバス (転送クロックを含む) に関連するすべての I/O を配置し、過剰な channel-to-channel クロック ツリー スキューを防ぐために左右いずれかのバンクを使用することを推奨します。図 2 は、典型的な Virtex-II のクロック ツリーを示しています。



x259_12_033103

図 2: クロック ツリー

DCM スキュー調整

属性名	制御エレメント	デフォルト設定
DESKEW_ADJUST	DCM フィードバック遅延エレメント	システム同期

UCF 構文の例

```
INST DEMO DESKEW_ADJUST = SOURCE_SYNCHRONOUS;
```

DESKEW_ADJUST 属性で、設定可能な変数タップの遅延エレメントの値を設定し、DCM フィードバックパス (図 3) に追加される遅延の大きさを制御します。この遅延エレメントによりクロックソースと CLK0 の間のクロック遅延が効果的に調整され、デバイスのどのフリップフロップにおいても正のホールドタイムがないことを保証します。DCM フィードバックパスに更に遅延を追加することにより、FPGA クロック入力ピンからフリップフロップへのクロック入力までのクロックパス間で有効な遅延を減らすことができます。クロック遅延を減少させることで入力フリップフロップのセットアップタイムが増加し、必要な正のホールドタイムをすべて減少させます。クロックパス遅延には、IBUFG、配線、DCM、BUFG、クロックツリーから目的のフリップフロップまでの遅延が含まれます。フィードバック遅延がクロックパス遅延と同じ場合には、有効なクロックパス遅延はゼロになります。

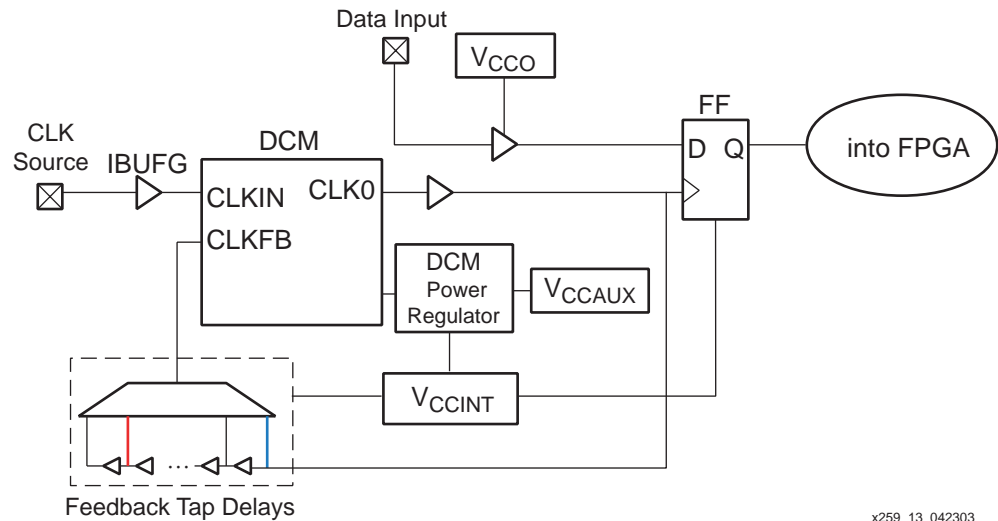


図 3: DCM と変数タップ遅延エレメント

システム同期設定 (デフォルト)

フィードバック遅延は、デフォルトでシステム同期に設定されています。システム同期のシステムでの主なタイミング要件は、正以外のホールド タイム (または 最小限の正のホールドタイム)、最小限の clock-to-out、およびセットアップ タイムです。より高速な clock-to-out とセットアップ タイムによって、より短いシステム クロック周期が実現できます。DLL の基本的な目的は、クロック遅延をゼロにし、より高速な clock-to-out とホールド タイムにすることです。DESKEW_ADJUST のシステム同期設定 (デフォルト) により、約 1.5 ns の遅延をフィードバックパスに追加するようにフィードバック遅延エレメントが設定されます。図 3 に示されるように、フィードバックパスのデフォルト設定 (赤色の線) にはタップ遅延が含まれます。Virtex-II/Virtex-II Pro データシート (モジュール 3) に記載されている pin-to-pin タイミングパラメータ (DCM で使用) は、DCM が「システム同期」モードの場合のセットアップ/ホールドタイムの値および clock-to-out 時間を示しています。

ソース同期の設定

DESKEW_ADJUST がソース同期に設定されている場合、DCM フィードバック遅延エレメントはゼロに設定されます。図 3 に示されるように、ソース同期モードで、DCM クロックフィードバックは DCM フィードバック遅延エレメント (青色の線) のタップ遅延をバイパスします。その結果、約 1.5 ns の追加クロックパス遅延 (アレイサイズにより異なる)、正のホールドタイム、およびより大きな clock-to-out が生じます。ただし、クロック転送されたソース同期インターフェイスでは問題ありません。フィードバックタップ遅延により発生し得るさまざまなクロック遅延 (V_{CCINT} の変化による) がすべて取り除かれているため現在サンプリングエラーは最小限に抑えられています。Virtex-II/Virtex-II Pro データシート (モジュール 3) の「ソース同期スイッチの特徴」のセクションには、DCM が「ソース同期」モードの場合に、ソース同期デザインに使用するさまざまなタイミングパラメータが示されています。

デューティサイクルのずれ

データシートのパラメータ ($T_{DCD_CLK0}/T_{DCD_CLK180}$) は、DCM、BUFG、グローバルクロックツリー、IOB DDR フリップフロップの出力におけるデューティサイクルのずれ全体への影響を考慮し、規定されています。 T_{DCD_CLK0} と T_{DCD_CLK180} は、デバイスパッドのワーストケースのデューティサイクルのずれを表します。値は LVDS ドライバで測定されます。LVDS ドライバは、回路の残りの部分のデューティサイクルのずれにわずかに影響します。他の I/O 標準が使用されている場合、指定ドライバと PCB/リード条件 (対称的な立ち上がり時間と立ち下がり時間) が原因で生じるデューティサイクルのずれは、IBIS シミュレーションにより予測できます。シミュレーションで確認された追加のデューティサイクルのずれは、すべて T_{DCD_CLK0} および T_{DCD_CLK180} に追加しなければなりません。

T_{DCD_CLK0}

T_{DCD_CLK0} は、図 4 の回路 1 に示されるように、CLK0 または他の DCM クロック出力 (90、180、270) が IOB でクロック入力またはクロック出力の DDR フリップ フロップにローカル反転して使用される場合に生じるワースト ケースのデューティ サイクルのずれを表します。

T_{DCD_CLK180}

T_{DCD_CLK180} は、DCM (および 2 個の BUFG) の CLK0 と CLK180 (または CLK90 と CLK270) の出力が、クロック入力または出力 DDR フリップ フロップに使用された場合に生じるワースト ケースのデューティ サイクルのずれを表します。図 4 の回路 2 を参照してください。

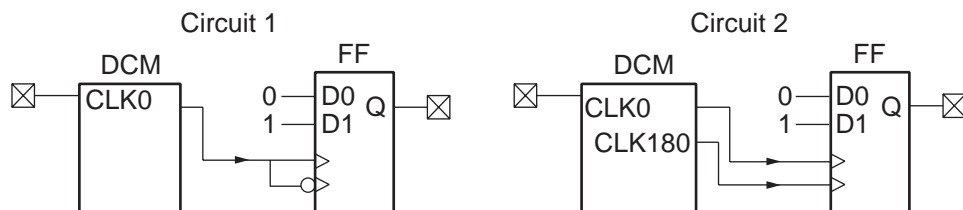


図 4: デューティ サイクルのずれ

Pin-to-Pin セットアップ/ホールド タイムおよびサンプリング ウィンドウ

セットアップタイムとは、クロック エッジの命令が取り込まれる前にデータを使用可能にするために必要な最小限の時間のことです (図 5)。

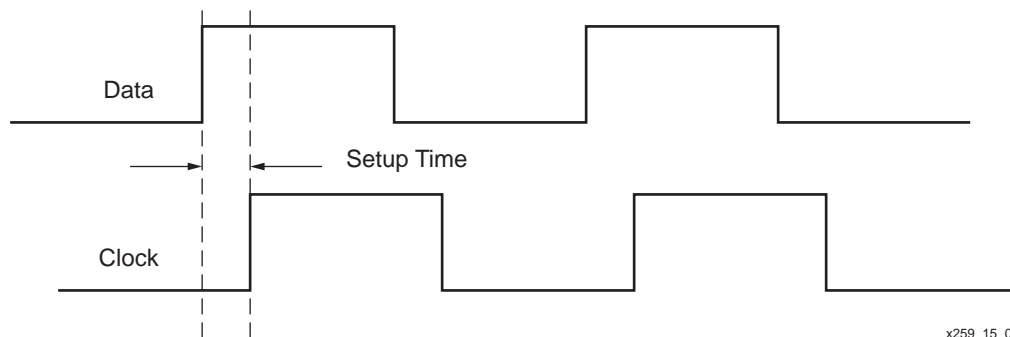


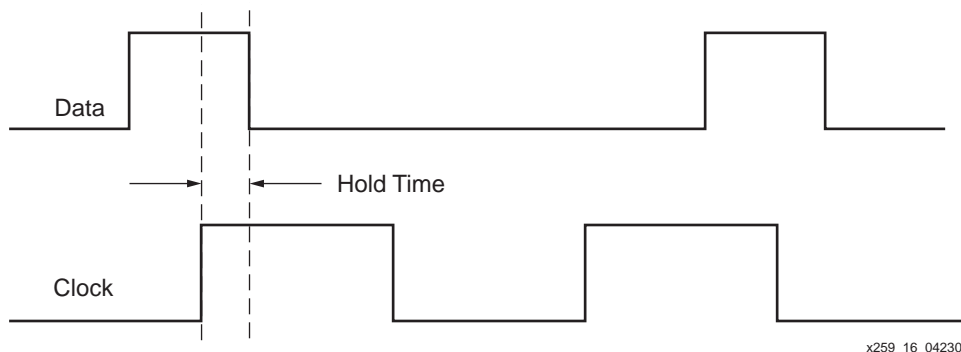
図 5: セットアップ タイム

セットアップタイムとは、通常データパス遅延、クロックパス遅延間の差異を測定したものです。この場合データパスは、デバイスの入力ピンから入力バッファ、フリップフロップへの D 入力 (または DDR IOB 入力フリップフロップ) までになります。また、クロックパスは、デバイスの入力ピンからクロック入力バッファ、DCM を使用したあるいは使用しないグローバルクロック分散、フリップフロップへのクロック入力まで (または DDR IOB 入力フリップフロップまで) です。

$$\text{セットアップタイム} = \text{データパス遅延} - \text{クロックパス遅延}$$

データ信号とクロック信号がいずれも FPGA ピンに同時に到達するようにするためには、クロック信号がデータ信号 ($\text{Data_Path_Delay} > \text{Clock_Path_Delay}$) の前に入力フリップフロップピンが到達するように正のセットアップタイムを設定します。また、負のセットアップタイムを設定し、クロック信号がデータ信号 ($\text{Data_Path_Delay} < \text{Clock_Path_Delay}$) の後に入力フリップフロップピンに届くようにします。

ホールド タイムとは、クロック エッジでデータ ビットを取り込むためにデータ ビットがクロック エッジの後に確保しなければならない最小限の時間のことです (図 6)。



x259_16_042303

図 6: ホールド タイム

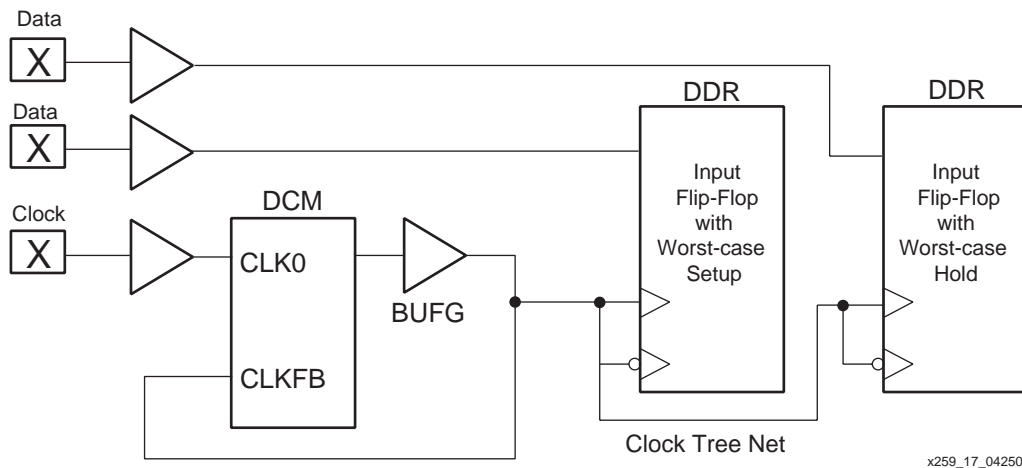
これらの定義と図に基づいた場合、データ ビットのサンプリングにおいてクロック エッジに必要な最小データ有効時間は、セットアップ タイムとホールド タイムの合計になります。この値は、ターゲット デバイス (すべてのピン間) のサンプリング エラー (またはサンプル ウィンドウ) の合計を示します。

Virtex-II/Virtex-II Pro デバイスの Pin-to-Pin セットアップ/ホールド タイム:

$T_{\text{PSDCM}}/T_{\text{PHDCM}}$: システム同期モード

$T_{\text{PSSDCM}}/T_{\text{PHSDCM}}$: ソース同期モード

図 7 の回路を使用して、Virtex-II/Virtex-II Pro デバイスのセットアップ/ホールド タイムを測定します。



x259_17_042503

図 7: システム同期 Pin-to-Pin セットアップ/ホールド タイムの測定回路

システム同期 pin-to-pin 測定では、まずプロセス、電圧、温度についてパルス ジェネレータを使用してステミュラス (クロックおよびデータ) を測定し、次にオシロスコープを使用してクロックおよびデータ間の遅延 (セットアップ/ホールド タイム) を測定します。最初の測定後、引き続き類似テスト パターンのプロダクション テスタで pin-to-pin 測定を行います。この回路では、パルス ジェネレータからのデータおよびクロック信号が、FPGA のピンに同時に到達します。このためデータは、レジスタ出力で有効な状態で安定するまで、クロックに対して遅延します。セットアップ/ホールド タイムの測定では、Q (IOB レジスタからの出力) が安定かつ有効な場合のステミュラス間 (クロックとデータ) における遅延の平均値が測定されるため、システム内のジッタ (DCM のジッタ) はいずれも取り込まれません。オシロスコープまたはプロダクション テスタで測定する場合に、安定かつ一貫した結果を求めるためには波形間の遅延の平均値を使用します。平均値が使用されているため、クロックまたはデータ位置 (ジッタ) の変化は取り込まれません。システム同期の pin-to-pin セットアップ/ホールド タイム

(T_{PSDCM}/T_{PHDCM}) は、Virtex-II/Virtex-II Pro アーキテクチャでの下記の点を含む、プロセス、電圧、温度について保証されている (およびテスト済み) ワースト ケース値です。

1. クロック ツリー スキュー (ワースト ケース)
2. パッケージ スキュー

図 8 は、入力クロックおよびデータ信号でのクロック パス遅延およびデータ パス遅延の影響について示しています。1.7 ns に設定した場合、システム同期モードの DCM を使用した場合のワースト ケースの pin-to-pin セットアップ タイムになります。

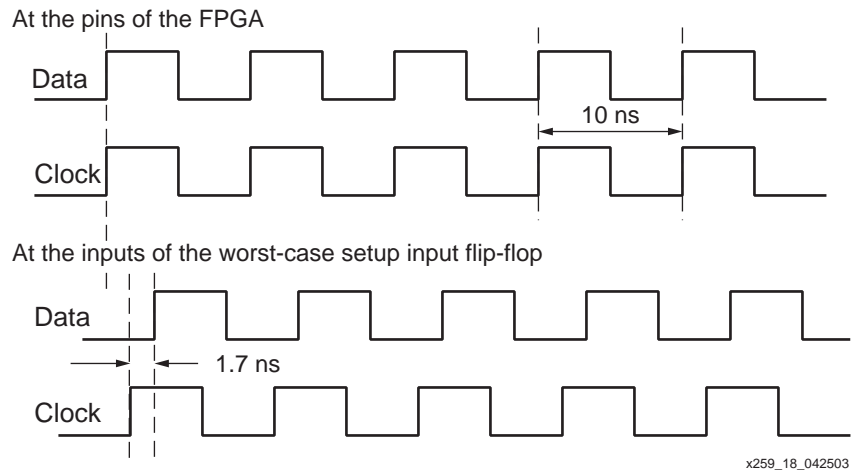


図 8: システム同期のクロックおよびデータ パス遅延の影響

ソース同期の pin-to-pin 測定は、Built-in self test (BIST) という別の手法を使用して行われます。この新しいテスト方法は、セットアップ/ホールド タイムとサンプル エラーについて正確な測定を行うために開発されました。この手法では、device under test (DUT) で DCM を使用し、測定される入力フリップフロップのセットアップ/ホールド タイムにステイミュラス (クロックとデータ) を生成します。1 個の DCM が、クロックに対応する位相シフトデータに (可変位相シフトモードで) 使用され、メタステーブル イベント (無効なデータ) が生成されます。ステートマシンは DCM を制御し、データが有効、無効として取りこまれるポイントを記録します。これにより、データ中心が効果的に記述され、データ有効ウィンドウ (セットアップ/ホールド タイム) のデータ エッジが定義されます。一度データ有効ウィンドウのデータの「エッジ」が決定すると、その測定は数回繰り返され ($\pm 3\sigma$)、ステイミュラスのジッタを制限するワースト ケースの範囲が取りこまれます。ソース同期の pin-to-pin の仕様にジッタが含まれているのはこのためです。ソース同期の pin-to-pin セットアップ/ホールド タイム

(T_{PSSDCM}/T_{PSHDCM}) は、Virtex-II/Virtex-II Pro アーキテクチャの下記の特徴を含めて、プロセス、電圧、温度について保証されている (およびテスト済み) ワースト ケース値です。

1. クロック ツリー スキュー (ワースト ケース)
2. パッケージ スキュー
3. DCM ジッタ

Virtex-II/Virtex-II Pro デバイスのサンプル ウィンドウ パラメータ: T_{SAMP}

サンプリング エラーとしても知られるサンプル ウィンドウは、Virtex-II/Virtex-Pro のレシーバで必要とされる最小所要時間です。レシーバは、フリップ フロップ、データ パス、クロック ネットワークとして定義されています。これらのエレメントのエラー (さまざまな伝搬遅延、あるいはクロック誤差) の原因はすべて、レシーバのサンプリング エラーの合計に影響します。サンプル ウィンドウの仕様には、ソースが同期の pin-to-pin セットアップ/ホールド タイムの値を求める場合と同じデータ セットを使用します。 T_{SAMP} は、ソース同期モードの DCM (および CLK0 と CLK180 がともに DDR アプリケーションに使用されている場合) およびグローバル クロック ツリーがクロック 分配に使用されている場合、デバイス内の 1 個の入力フリップ フロップのセットアップ タイムおよびホールド タイムのワースト ケースの合計で表されます。

ソース同期サンプルの測定に使用する回路についての詳細は、アプリケーション ノート [XAPP268](#) 『アクティブ位相配列 (Active Phase Alignment) 英語版』を参照してください。XAPP268 では、特性データに使用されたものとほぼ同様の回路について説明しています。

T_{SAMP} はソース同期 pin-to-pin 仕様と同じ手法で得られるため、DCM ジッタにも含まれています。ただし、 T_{SAMP} は 1 個の入力フリップフロップについてのセットアップ/ホールド タイムを表すため、これにパッケージやクロック スキューは含まれません。このパラメータは、アクティブ位相配列が使用される場合やベンチ較正が行われる際に、スタティック インターフェイス タイミング解析のみで使用されるものです。ベンチ較正とは、試験的にクロックを集約データの中心 (ソース同期バス全体のデータ中心) にシフトさせる工程のことです。つまり、「列」に転送されたクロックを取り込んだデータ ストリームに手で位相シフトすることです。一度最適な位相シフトの値が決定すると、特定のソース同期インターフェイスにおけるレシーバ サンプリング エラーの合計は $T_{SAMP} + [\text{レシーバ インターフェイスで使用する特定ピンのクロック ツリー スキュー} + \text{パッケージ スキュー}]$ になります。アクティブ位相配列を使用した場合、同じ論理式が適用されます。CLK0 や CLK180 ではなく、IOB のローカルクロックの反転が使用される場合には、90 ps を追加してデューティ サイクルのずれの差異 (T_{DCD_CLK0} vs. T_{DCD_CLK180}) を補正しなければなりません。

図 9 に示される回路では、DCM は可変位相シフト モードになっています。また、サンプル ウィンドウの値 (T_{samp}) は 500 ps になっています。

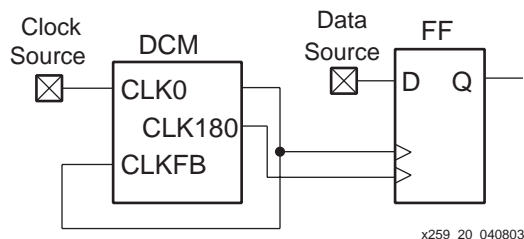


図 9：サンプル ウィンドウ回路の例

図 8 に示されるように、クロック信号とデータ信号が FPGA ピンに同時に到達する場合には、クロック信号は入力フリップフロップにデータ信号よりも 200 ps 早く到達します。Virtex-II/Virtex-II Pro のセットアップ タイムを満たすには、1 ビット クロックおよびデータ信号が FPGA ピンに同時に到達する場合に入力クロックを 200 ps 分だけ遅延する必要があります。入力クロックを少なくともその分だけ遅延させることで、取り込まれたデータビットはかならず付属のクロック エッジでサンプリングされます。

ソース同期デザインには、通常データ ビットに対してクロック エッジを中央配置する方法が確実です。1 ビット クロックと 1 ビット データ信号に必要な遅延の大きさは、次の式で求められます。

$$\text{遅延の大きさ} = \text{セットアップ タイム} + (1/2 \times \text{ビット タイム})$$

図 10 は、Delay_Amount のタイミング図を示します。

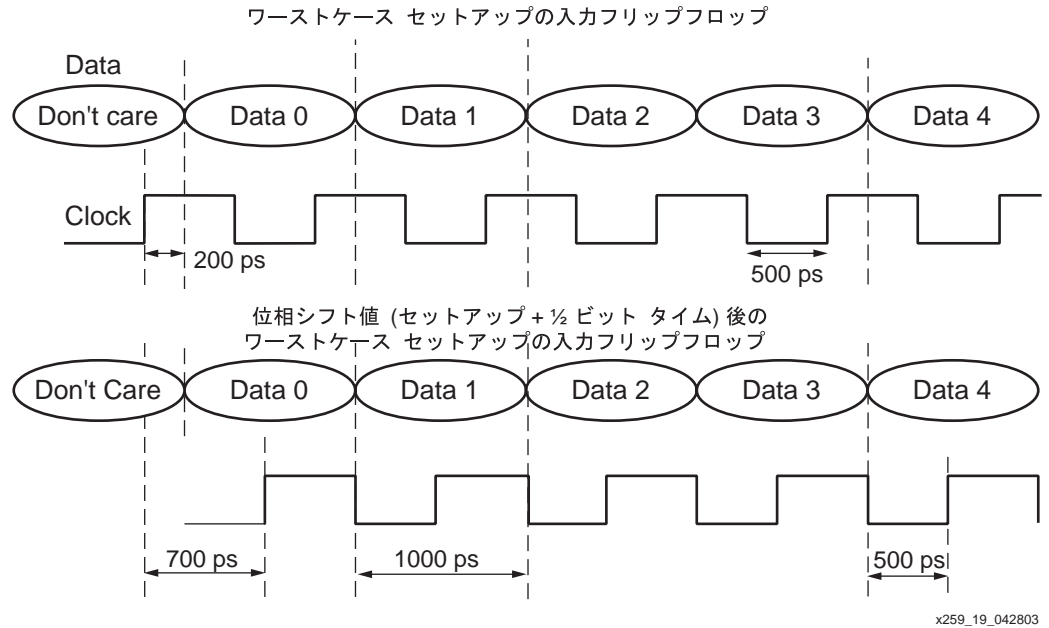


図 10: データ ビットに対してクロック エッジを集中化

乗算データビットの遅延の大きさを計算する代わりに、[XAPP225](#) に紹介されている『自動クロック配列回路 (Auto Clock Data Alignment Circuit) 英語版』を使用することを推奨します。

セットアップタイムの値は、入力クロック ピンに最も近い DDR フリップ フロップで測定され、ホールドタイムの値は、入力クロック ピンから最も遠い DDR フリップ フロップで測定されます。これらの値は、プロセス、電圧、温度を測定したワースト ケース値であり、指定デバイスのワースト ケースのクロック ツリー、パッケージ スキューの値も含まれます。ただしオシロスコープを使用したベンチ測定であるため、DCM ジッタの値は含まれません。

固定位相シフトモードの DCM を使用した Virtex-II/Virtex-II Pro 入力フリップ フロップのサンプリングエラー値は、セットアップタイムとホールドタイムを加算して算出できます。固定位相シフトモードの DCM 使用回路におけるワーストケースのタイミングを算出するため、サンプルウィンドウ、クロック ツリー スキュー、パッケージ スキューの合計をセットアップ/ホールドタイムの合計として使用します。

入力フリップフロップが CLK180 ではなくローカルクロックの反転を使用する場合には、デューティサイクルのずれの差異 (T_{DCD_CLK0} 対 T_{DCD_CLK180}) を補正するために、さらに 90 ps を追加する必要があります。

XGMII のタイミング解析例 (XC2V1000 FF896)

アプリケーションノート [XAPP606](#) の『DDR レジスタ、DCM Select I/O-Ultra 機能を使用する XGMII (日本語版)』によると、クロック周波数は 156.25 MHz であり、システムは DDR (312.5 MHz) です。これは、ビットタイムが 3.2 ns であることを示しています。 T_{SET} と T_{HOLD} はそれぞれ 960 ps です。つまり、データ有効ウィンドウの値は最小で 1920 ps になります。上記については、[XAPP606](#) の図 3 で示されています。

送信

[XAPP606](#) (図 6) の送信データ有効ウィンドウは、次の論理式で表されます。

$$\begin{aligned} \text{Tx データ有効ウィンドウ} &= \text{データ周期} - (\text{ジッタ} + \text{デューティサイクルのずれ} \\ &\quad + \text{パッケージ スキュー} \\ &\quad + \text{クロック スキュー} + \text{DCM 位相オフセット}) \end{aligned}$$

ジッタ

XAPP606 の図 6 の回路では、CLK0 出力のランダム ジッタは ± 100 ps になっています。さらにもう一つのクロック (CLK90) を使用することで、ジッタ (± 150 ps) が発生します。DCM の乗算ピンが使用されている場合には、ジッタのワースト ケース値 (この場合 ± 150 ps) を使用します。ジッタは、絶対値で定義されるタイミングの数値であり、この場合のジッタの絶対値は 300 ps になります。

デューティ サイクルのずれ

XGMII デザインで、ローカル反転を使用してデュアル データ レート レジスタにクロックを与えるためには、DCM の CLK0 出力が使用されます。140 ps の値は T_{DCD_CLK0} に使用されます。

パッケージ スキュー

XC2V1000 FF896 デバイスを使用したワースト ケースのパッケージ スキュー $T_{PKGSKEW}$ の値は 130 ps です。

クロック ツリー スキュー

XC2V1000 を使用した場合のクロック ツリー スキュー $T_{CKSKREW}$ の値は 80 ps です。

CLKOUT_PHASE エラー

CLK90 により転送されたクロックには、 ± 140 ps の出力間 (CLKOUT_PHASE) の位相オフセットがあります。ただし、オフセットの絶対値は 2 倍の 280 ps にはなりません。DCM がロックした後は、どの出力の位相の差異も最大で 140 ps にしかありません。記号の +/- は、ある DCM からの DCM 出力すべてが 140 ps 前または 140 ps 後になり、その両方にはならないことを示しています。

$$Tx \text{ データ有効ウィンドウ} = 3200 - [300 + 140 + 130 + 80 + 140] = 2410 \text{ ps}$$

送信データ有効ウィンドウの値の 2410 ps は、使用する 1920 ps よりも大きく、このデザインは XGMII のタイミング仕様の要件を満たしています。

Virtex-II および Virtex-II Pro FPGA 以外の外部デバイスからのデータ取り込み

XAPP606 (図 7) に示される送信データ有効ウィンドウは、次の論理式で記述されます。

$$\text{レシーバ サンプル エラー} = \text{サンプリング エラー} + \text{クロック スキュー} + \text{パッケージ スキュー} + \text{ジッタ}$$

サンプリング エラー

回路は DCM により固定位相シフトモードで実装されているため、サンプリング エラーは単にセットアップ/ホールド タイム (700 ps) の加算で算出できます。この値には、クロック ツリーとパッケージ スキューの数が含まれます。回路はローカル反転を使用しているため、デューティ サイクルのずれの差異を補正するためには 90 ps を追加する必要があります。

ジッタ

XAPP606 の図 7 の回路で示すように、CLK0 は DCM の出力です。DCM ジッタの値は ± 100 ps と示されています。ジッタは絶対値であるため、タイミングを考慮した値は 200 ps になります。

$$\text{レシーバ サンプル エラー} = 700 + 90 + 200 = 990 \text{ ps}$$

サンプル エラーの合計が有効ウィンドウよりも小さい場合は、XGMII のタイミングが仕様を満たしていると考えられます。ここでの 990 ps も、明らかに 1920 ps より低い値になっています。

シフト数

1 ビット クロックと 1 ビット データのシフト数は、セットアップ タイムと ハーフ ビット タイムの合計になります。

ローカルクロックを使用した DDR SDRAM インターフェイスのタイミング解析例 (XC2V3000 -5 FF1152)

DDR SDRAM インターフェイスの導入

この DDR SDRAM インターフェイスは、メモリから生成された DQS を使用して読み込み中にデータを取り込みます。DQS は読み込み時にデータにエッジが揃った状態で出力されるため、ボード上の DQS ラインにさらにトレース遅延が追加され、DQS 信号は IOB レジスタでデータ中央に揃えられます。DQS は、書き込み中にメモリのデータ中央に揃える必要があるため、この追加遅延は書き込み側の解析中に行わなければなりません。

受信側

送信 (書き込み) インターフェイスは、FPGA から DDR SDRAM へデータを送信するために使用する DDR IOB レジスタを持つデータパスで構成されています。書き込みデータは、CLK0 または 位相シフトクロックで DDR IOB レジスタにクロックを与えられ、メモリのデータマージンが改善されます。図 11 は、その送信 (書き込み) データパスを示します。

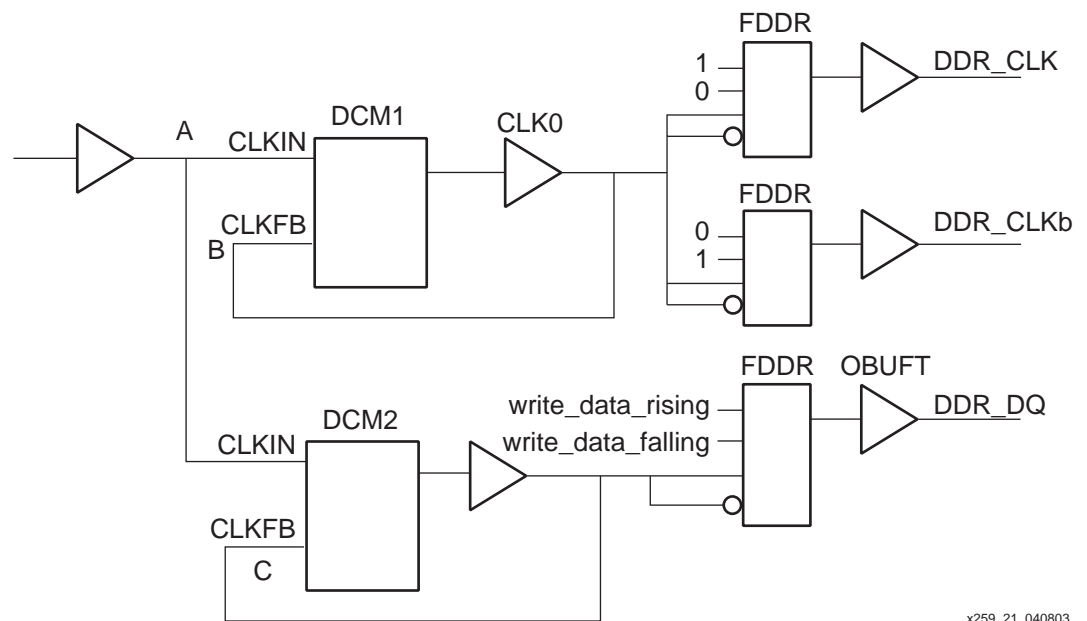


図 11：送信 (書き込み) データパス

FPGA ピンのデータ有効ウィンドウ

$$\begin{aligned}
 \text{FPGA} &= \text{Clock Period}/2 \text{ のデータ有効ウィンドウ} \\
 &- (T_{\text{PKGSKEW}} + T_{\text{CLKTREESKEW}} \\
 &+ T_{\text{DUTY_CYCLE_DISTORTION}} \\
 &+ T_{\text{Jitter}} + \text{CLKIN_CLKFB_PHASE for DCM1} \\
 &+ \text{DCM2 の CLKIN_CLKFB_PHASE}) \\
 &= 2.5 - (0.115 + 0.1 + 0.14 + 0.200 + 0.1) \\
 &= 1.845 \text{ ns}
 \end{aligned}$$

図 11 には、DCM1 により提供される DDR SDRAM に対するクロックとストロブが示されています。この回路には共通クロックソースを持つ DCM が 2 個使用されているため、CLKIN_CLKFB_PHASE パラメータを使用しなければなりません。ワーストケースのタイミング解析では、DCM1 (B) のフィードバック入力共通クロックソース (A) の 50 ps 前に入るようにします。また、DCM2 (C) のフィードバック入力共通クロックソース (A) の 50 ps 後に入るようにします。これにより、B と C のクロック間の位相オフセットの合計は 100 ps になります。また、このパラメータを含むすべての DCM パラメータは、Virtex-II/Virtex-II Pro データシートのモジュール 3 で、DCM の入出力ごとに規定されています。

パラメータに関するすべての DCM については、データシートの「IOB フリップフロップ」の欄に記載されています。

受信データパス

受信パスでは、IOB レジスタのセットアップ/ホールド タイムの要件を満たすために、DQS ラインはボード上の外部で遅延されます。図 12 は、DDR SDRAM についてのアプリケーション ノート XAPP253 からの引用です。

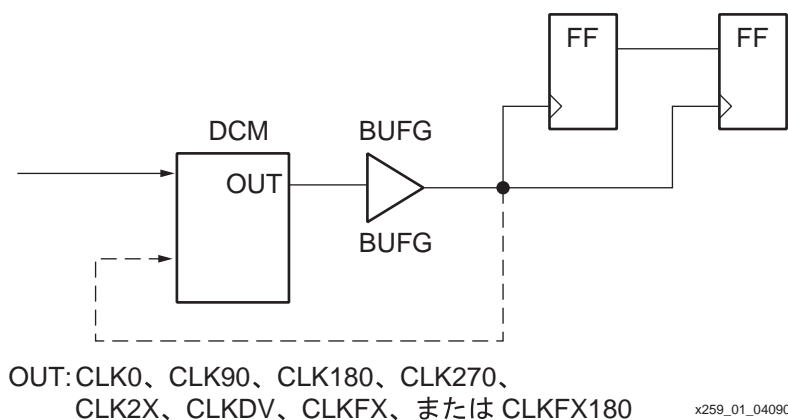


図 12: DDR SDRAM コントローラ データ幅

メモリのデータ有効ウィンドウ

データ有効ウィンドウは、実際のデータ周期のデータ有効ウィンドウの値を参照しています。200 MHz のインターフェイスでは、クロック周期が 5 ns、データ周期が 2.5 ns になります。また、この値はサンプリングエラーとデータマージンの合計としても参照されます。メモリのデータ有効ウィンドウは、メモリベンダーのタイミング仕様に対して計算されています。ここでは、Micron 社より提供されているデータシートの数値が使用されています。

$$\begin{aligned} \text{メモリ仕様に対応したメモリのデータ有効ウィンドウ} &= T_{QH} - t_{DQSQ} \\ &= 1.25 \text{ ns} \end{aligned}$$

FPGA で使用可能なデータマージン

データマージンは、メモリから受信された実際のデータウィンドウの中で使用可能なデータのマージンを表しています。このデータマージンは、メモリの中のデータウィンドウを有効にする可能性のあるワーストケースの係数を削除して算出されています。ボードパラメータは、データ有効ウィンドウに影響を与える場合がありますが、この解析では考慮されていません。

$$\begin{aligned}
 \text{FPGAで使用可能なマージン} &= \text{メモリのデータ有効ウィンドウ} \\
 &- (\text{DDR IOB のセットアップ タイム} + \text{DDR IOB のホールド タイム} \\
 &+ \text{ワースト ケース パッケージ スキュー} \\
 &+ \text{HEX ラインにおける DQS の内部スキュー} \\
 &+ \text{デューティ サイクルのずれ} + \text{ジッタ}) \\
 &= 1.25 - (1.34 - 0.81 + 0.115 + 0.18 + 0.180 + 0.180) \\
 &= 0.029 \text{ ns}
 \end{aligned}$$

セットアップ/ホールド タイム

セットアップ/ホールド タイムにより、クロックに対するデータの関係が示されます。これらの値をデータ ウィンドウから差し引いて、DDR IOB レジスタでのデータ マージンがセットアップ/ホールド タイムの要件を満たしているかどうかを確認します。T_{IOPICK}/T_{IOICKP} パラメータは、IOB 入力レジスタのクロック (DCM で生成されるものでない) に対するセットアップ/ホールド タイムに相当し、算出にも使用されます。IOB のクロック入力ピンから IOB フリップ フロップへのクロック入力までのクロックパスの T_{IOPICK}/T_{IOICKP} のパラメータが測定されます。このデザインでは、IOB レジスタのクロックは、HEX ラインに配線された DDR SDRAM メモリFPGA へのデータ ストローブ入力になっています。Virtex-II/Virtex-II Pro データシート のモジュール 3 に記載されているこれらのパラメータの数値には、LVTTTL 標準で測定されたタイミング数値が記載されています。SSTL2_II 標準では、これらのタイミング数値を調整する必要があります。

$$\text{セットアップ タイム} = T_{\text{IOPICK}} + T_{\text{ISSTL2_II}} = 0.92 + 0.42 = 1.34 \text{ ns}$$

$$\text{ホールド タイム} = T_{\text{IOICKP}} - T_{\text{ISSTL2_II}} = -0.37 - 0.42 = -0.79 \text{ ns}$$

DQS 内部スキュー

DQS 内部スキューは、HEX ラインにおける既存のスキューのワーストケース値を示しています。ワースト ケースのスキュー値である 180 ps が計算に使用されています。

ローカルクロックのデューティ サイクルのずれ

ここでは、ローカルクロックで生じるワースト ケースのデューティ サイクルのずれの大きさを指します。ワースト ケースのスキュー値である 180 ps が計算に使用されています。

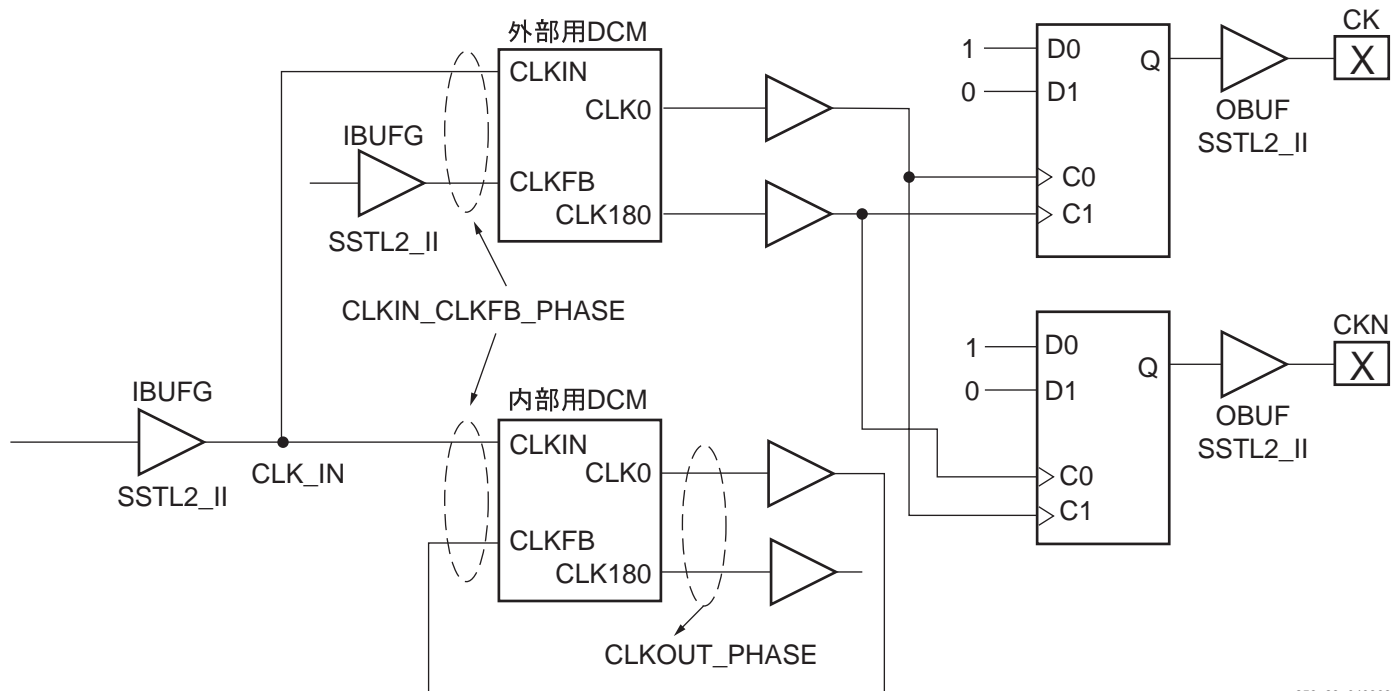
グローバルクロック リソースを使用してデータを取り込む 100 MHz DDR SDRAM インターフェイスのタイミング解析例 (XC2V6000-5FF1152)

送信 (メモリへの書き込み)

このデザイン例には、FPGA 内のメモリ コントローラ デザイン用の内部用 DCM 1 個と外部メモリ デバイスへクロック転送する外部用 DCM 1 個の計 2 個の別々の DCM が使用されています。書き込みデータ ストローブ信号と書き込みデータは、いずれも内部用 DCM によって生成されますが、データ有効ウィンドウの算出にこの 2 個の DCM 間の位相オフセットを考慮する必要があります。これは、メモリデバイスでは、書き込み命令の実行中に FPGA から転送されるデータ ストローブ信号がメモリピンで受信するクロックと同位相になる必要があるためです。

FPGA メモリ コントローラのシステム クロックとメモリへのクロック転送の間の位相オフセット

図 13 の例は、メモリ インターフェイス クロック設定について示します。



x259_23_040803

図 13: メモリ インターフェイス クロック設定

$$\begin{aligned}
 \text{ワースト ケース クロック位相オフセット} &= \text{内部用 DCM の CLKIN_CLKFB_PHASE} + \\
 &\quad \text{外部用 DCM の CLKIN_CLKFB_PHASE} + \\
 &\quad \text{内部用 DCM 出力間の CLKOUT_PHASE} + \\
 &\quad \text{XC2V6000-5 (T}_{\text{CKSKEW}}\text{) のクロックツリー スキュー} + \\
 &\quad \text{出力クロック ジッタ (CLKOUT_PER_JITT_90)} \\
 &= 50 \text{ ps} + 50 \text{ ps} + 140 \text{ ps} + 500 \text{ ps} + 300 \text{ ps} \\
 &= 1040 \text{ ps}
 \end{aligned}$$

内部用 DCM と外部用 DCM の CLKIN_CLKFB_PHASE

ワースト ケースの解析では、内部用 DCM のフィードバック入力 CLKFB がクロック ソース CLK_IN の 50 ps 後に入り、また外部用 DCM のフィードバック入力 CLKFB が、CLK_IN の 50 ps 前に入るようにしてください。これにより、内部用 DCM と外部用 DCM の CLK0 出力間の位相オフセットは 100 ps になります。

CLKOUT_PHASE

ワースト ケースの解析では、内部用 DCM の CLK90 出力が内部用 DCM の CLK0 出力の 140 ps 後に入るようにします。これにより、外部用 DCM の CLK0 出力と内部用 DCM の CLK90 出力の間の位相オフセットは 240 ps になります。

クロック ツリー スキュー

XC2V6000 FF1152 デバイスのワースト ケースのクロック ツリー スキュー値は、データシートに 500 ps と規定されています。ワースト ケースの解析では、外部用 DCM の CLK0 出力によりクロック 入力された DDR IOB フリップ フロップと内部用 DCM の CLK90 出力によりクロック入力された DDR IOB フリップ フロップ間のクロック ツリー スキュー値は 500 ps に想定されます。

出力クロック ジッタ

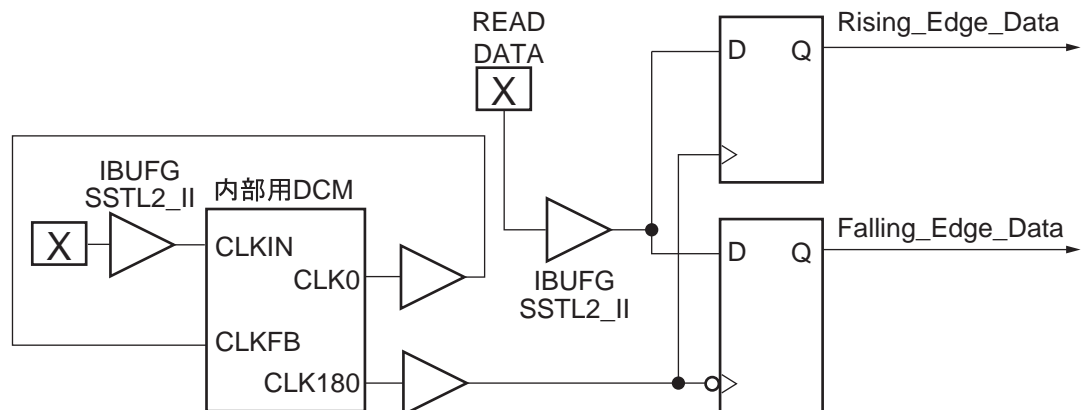
ここでは、DCM で個別のタップ遅延を断続的に選択することで生じるジッタについて説明します。データは DDR IOB から DCM 内の CLK90 によってクロック出力されるため、 ± 150 ps に指定した CLKOUT_PER_JITT_90 がこれらの計算に使用されます。この場合、ワースト ケースのジッタの絶対値は $150 \times 2 = 300$ ps です。

書き込みデータ パス

$$\begin{aligned}
 \text{FPGA ピンの送信データ有効ウィンドウ} &= \text{クロック周期}/2 - (\text{ワースト ケース クロック位相} \\
 &\quad \text{オフセット} + \text{デューティ サイクルのずれ} (T_{\text{DCD_CLK0}}) \\
 &\quad + \text{XC2V6000/FF1152 のパッケージ スキュー} (T_{\text{PKGSKEW}})) \\
 &= 5 \text{ ns} - (1.04 \text{ ns} + 0.14 \text{ ns} + 0.09 \text{ ns}) \\
 &= 5 \text{ ns} - 1.27 \text{ ns} \\
 &= 3.73 \text{ ns}
 \end{aligned}$$

メモリの送信データ有効ウィンドウ = FPGA ピンのデータ有効ウィンドウ - ボード トレース遅延
 受信 (DDR メモリからの読み出し)

図 14 のデザインでは、メモリ デバイスによってデータ送信されたリードデータ ストローブ信号は無視されるため、内部用 DCM 位相シフト クロック出力が使用され、リードデータが取り込まれます。このため、前のセクションで算出されたクロック位相オフセット、ボードのトレース遅延、パッケージ スキュー、およびデューティ サイクルのずれは、データ有効ウィンドウからすべて差し引く必要があります。



x259_24_040103

図 14: リードデータ キャプチャ

リードデータ パス

$$\begin{aligned}
 \text{メモリの受信データ有効ウィンドウ} &= \text{クロック周期}/2 - \text{メモリ ベンダで指定されたアクセス時間} \\
 &= 5 \text{ ns} - 1.6 \text{ ns} \\
 &= 3.4 \text{ ns}
 \end{aligned}$$

$$\begin{aligned}
 \text{DDR IOB FF での受信データ有効ウィンドウ} &= 3.4 \text{ ns} - (\text{ボード トレース遅延} + \\
 &\quad \text{パッケージ スキュー} + \text{ワースト ケースのクロック位相オフセット} \\
 &\quad + \text{デューティ サイクルのずれ}) \\
 &= 3.4 \text{ ns} - (0.6 \text{ ns} + 0.09 \text{ ns} + 1.04 \text{ ns} + 0.14 \text{ ns}) \\
 &= 1.53 \text{ ns}
 \end{aligned}$$

ボード トレース遅延

ボード トレース遅延は、メモリ デバイスから FPGA へのデータ ビットの伝搬遅延です。データ パスのすべてのデータ ビットのトレース長は同じであるため、トレース遅延も同じになると想定されます。

パッケージ スキュー

FF1152 パッケージの XC2V6000 のワースト ケースのパッケージ スキューは、このワースト ケースの計算に使用されます。パッケージ スキューは、データ ビットのトレース遅延を調整することで減少、削減し、補正できます。

デューティ サイクルのずれ

データシートのパラメータ T_{DCD_CLK0} を使用して、デューティ サイクルのずれを計算できます。このパラメータは、フリップ フロップのクロック入力ピンにおけるデューティ サイクルのずれです。

ワースト ケースのクロック位相 オフセット

ワースト ケースのクロック位相オフセットの算出は、「伝送」のセクションに説明されています。このパラメータには、出力ジッタと CLK90 に使用する CLKOUT_PHASE が含まれます。

$$\begin{aligned} \text{DDR IOB フリップ フロップのマージン} &= 1.53 \text{ ns} - (\text{セットアップ タイム} + \text{ホールド タイム}) \\ &= 1.53 \text{ ns} - (T_{PSDCM} + T_{PHDCM}) \\ &= 1.53 \text{ ns} - 0.8 \text{ ns} \\ &= 0.73 \text{ ns} \end{aligned}$$

クロックとデータの I/O 標準は同じであるため、セットアップ/ホールド タイムの調整は必要ありません。

DCM (T_{PSDCM}/T_{IOICKP}) でグローバル クロックの HOLD をセットアップ

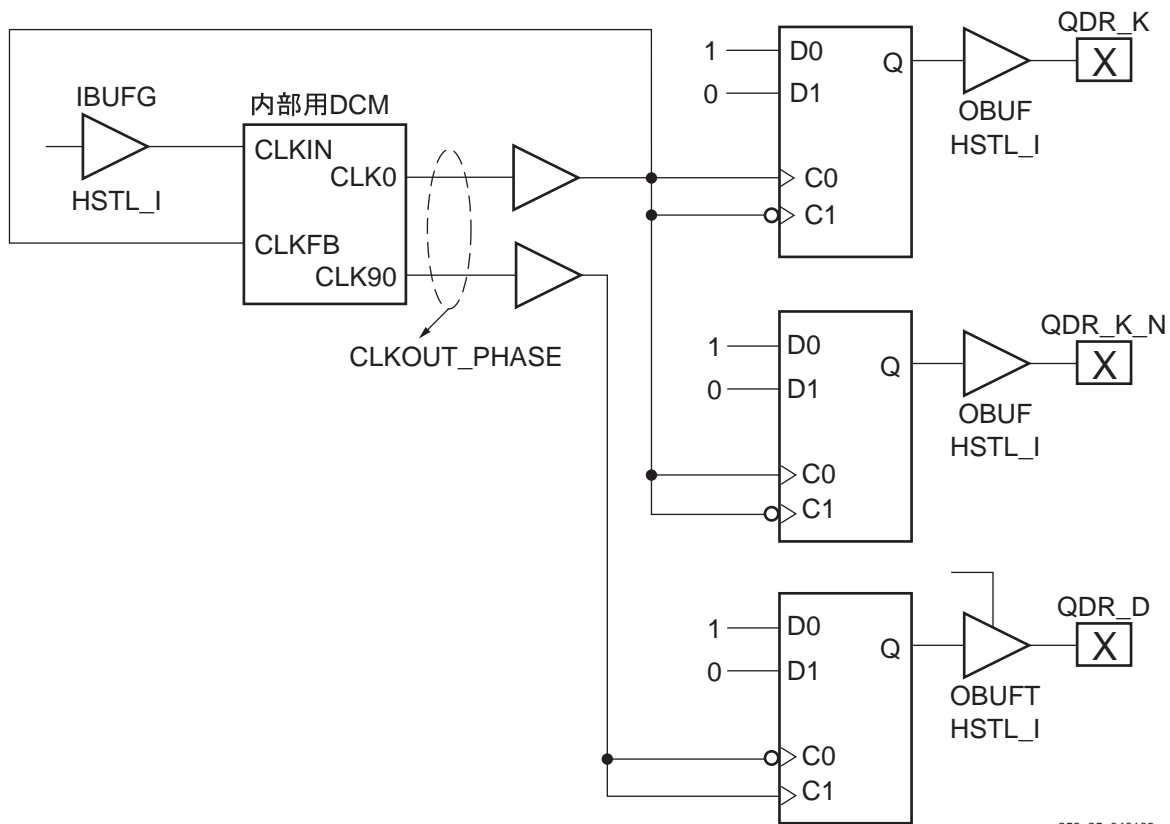
このパラメータは、グローバル クロック リソースを使用して IOB 入力フリップ フロップにクロックを与える場合に使用されなければなりません。DCM 出力ジッタはこのパラメータに含まれるため、タイミング解析でのジッタの追加は必要ありません。このパラメータ (T_{PSDCM}/T_{PHDCM}) の測定で使用するクロックパスは、DCM 出力から BUFG、グローバル クロック ツリー入力、入力 IOB フリップ フロップへのクロック入力ピンまでになります。また、このパラメータ (T_{IOPICK}/T_{IOICKP}) は、グローバル以外のクロック リソースを使用する場合に使用されなければなりません。IOB のクロック入力ピンから入力 IOB フリップ フロップへのクロック入力までのクロックパスの T_{IOPICK}/T_{IOICKP} のパラメータが測定されます。

グローバル クロック リソースを使用してデータを取り込む 200 MHz QDR SRAM インターフェイスのタイミング解析例 (XC2V1000-5FF896)

送信 (QDR メモリへの書き込み)

転送データと転送クロックのボード トレース長は同じであるため、ボード トレース遅延をデータ有効ウィンドウから差し引く必要はありません。図 15 に示されるように、FPGA 内のクロックパスのトレース長も一致します。データとクロックの転送に DCM 1 個だけが使用されるため、パラメータの CLKIN_CLKFB_PHASE は使用されません。

$$\begin{aligned} \text{FPGA ピンの送信データ有効ウィンドウ} &= \text{クロック周期}/2 \\ &\quad - \text{XC2V1000 } (T_{CKSKREW}) \text{ のクロックツリー スキュー} \\ &\quad + \text{XC2V1000 FF896 } (T_{PKGSKEW}) \text{ のパッケージスキュー} \\ &\quad + \text{デューティ サイクルのずれ } (T_{DCD_CLK0}) \\ &\quad + \text{出力クロック ジッタ } (\text{CLKOUT_PER_JITT_0}) \\ &\quad + \text{CLKOUT_PHASE} \\ &= 2.5 \text{ ns} - (80 \text{ ps} + 130 \text{ ps} + 140 \text{ ps} + 200 \text{ ps} + 140 \text{ ps}) \\ &= 1.81 \text{ ns} \end{aligned}$$



x259_25_040103

図 15: 書き込みデータとクロックパス

$$\begin{aligned}
 \text{QDR メモリの送信データ マージン} &= 1.81 - \text{メモリ サンプル ウィンドウ} \\
 &\quad (\text{メモリ ベンダーより提供}) \\
 &= 1.81 - (t_{\text{DVKH}_{200}} + t_{\text{KHDX}_{200}}) \\
 &= 1.81 - 1.2 \text{ ns} = 0.6 \text{ ns}
 \end{aligned}$$

受信 (DDR メモリからの読み出し)

図 16 は、リードデータパスを示します。

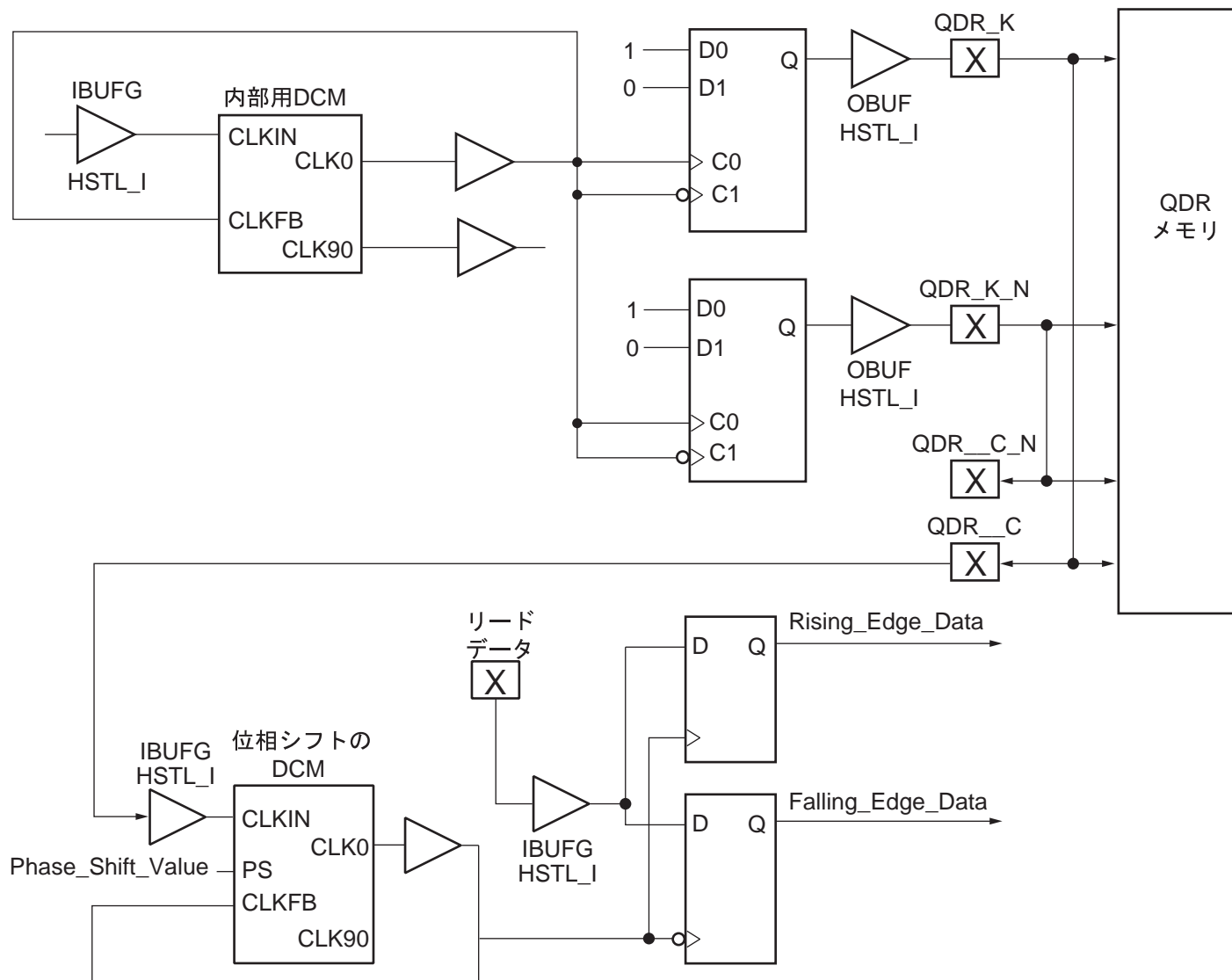


図 16: 書き込みデータとクロックパス

タイミング解析の読み出し

このタイミング解析では、QDR メモリ ピンの K クロック入力と C クロック入力はほぼ同時に到達するものと見なします (例: 2 つのパス間のボードトレース遅延の差異は無視します)。別の想定で、データと関連クロックのボードトレース遅延の大きさが同じになる場合が考えられます。これらの想定に基づいた場合、データとクロックは同じ分だけ遅延するためタイミング解析でボードトレース遅延は考慮されません。

QDR SRAM は、リードクロック (C クロック) に応じてデータが揃えられたリードデータを送信します。QDR SRAM ベンダーより提供されているパラメータ (t_{CHQX} と t_{CHQVav}) では、入手可能な C クロックエッジを参照したデータの誤差が規定されています。FPGA 内部のこのデータを取り込むために、C クロック DCM は位相シフトされています。この位相シフトの値は、次の論理式で表されます。

$$T_{PHASESHIFT} = t_{CHQX} + t_{CHQVav} + t_{90PS} + T_{PSDCM_HSTL} + T_{SAMPLE}/2$$

90 度の位相シフト (t_{90PS}) は、論理データ有効ウィンドウの中に C クロックエッジを配置するために必要です。

読み出しのタイミング マージン計算

$$\begin{aligned} \text{QDR SRAM のデータ有効ウィンドウ} &= \text{clock 周期} / 2 - t_{\text{CHQZ}} + t_{\text{CHQX}} \\ &= 2.5 - 2.2 + 1 = 1.3 \text{ ns} \end{aligned}$$

パラメータ t_{CHQZ} と t_{CHQX} は、メモリ ベンダーにより提供されています。

$$\begin{aligned} \text{FPGAのデータ有効ウィンドウ} &= \text{クロック周期} / 2 - (T_{\text{サンプル}} + T_{\text{CKSKEW}} (\text{XC2V1000}) \\ &\quad + T_{\text{PKGSKEW}} (\text{XC2V1000 FF896}) \\ &\quad + \text{出力クロック ジッタ} (\text{CLKOUT_PER_JITT_0}) \\ &= 2.5 - (0.7 + 0.1 + 0.130 + 0.2) = 1.37 \text{ ns} \end{aligned}$$

$$\text{タイミング マージン} = 1.3 \text{ ns} - 1.13 \text{ ns} = 0.17 \text{ ns}$$

おわりに

CLKOUT_PHASE と CLKIN_CLKFB_PHASE の 2 個のパラメータは DCM 出力位相エラーの原因になります。CLKOUT_PHASE パラメータは、フィードバック以外の DCM の出力と一緒にのみ使用されます。CLKIN_CLKFB_PHASE パラメータは、共通のクロック ソースを持つ複数の DCM に使用されます。

セットアップ/ホールド タイムの調整は、クロック入力バッファがデータ入力バッファと異なる I/O 標準の場合に必要なになります。

Pin-to-pin セットアップ/ホールド タイムは、DCM が固定位相シフトモードに設定されているときに、タイミングを考慮したり、ソース同期回路を解析するために使用されます。また T_{samp} は、DCM が可変位相シフトモードに設定されているときに、タイミングを考慮したり、ソース同期回路の解析に使用されます。この場合、デューティ サイクルのずれの差異を考慮する必要があります。

付録

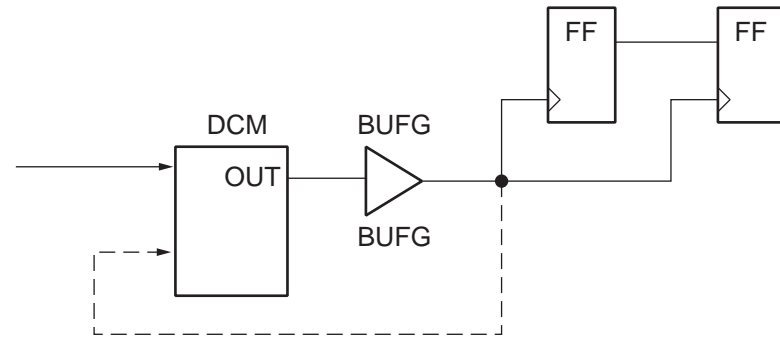
位相エラーのある DCM 回路の例

この付録では、各回路の詳細な解析について説明します。それぞれの回路では、ワースト ケースの解析結果は最小のキャプチャ ウィンドウ マージンになります。表 1 は、図にリンクされた DCM 回路の例を示します。

表 1: 位相エラーのある DCM 回路の例

回路の例	位相エラー
DCM - BUFGを使用した単一出力	位相エラーの合計 = 0 ps
DCM - 単一出力ローキュー ラインまたはローカル	位相エラーの合計 = 0 ps
DCM/CLKFB と 2 番目の出力	位相エラーの合計 = 140 ps
DCM1/OUT1 と DCM2/OUT2	位相エラーの合計 = 100 ps
DCM1/CLKFB と DCM2/OUT	位相エラーの合計 = 240 ps
DCM1/OUT1 と DCM2/OUT2	位相エラーの合計 = 380 ps
BUFG と DCM/FB_OUT	位相エラーの合計 = 50 ps
BUFG と DCM/FB_OUT	位相エラーの合計 = 190 ps
DCM2/FB_OUT2 でカスケードされた DCM	位相エラーの合計 = 50 ps
DCM2/OUT2 でカスケードされた DCM	位相エラーの合計 = 190 ps
DCM とデータ入力	位相エラーの合計 = 140 ps

図 17 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。DCM 出力はフィードバックあるいはフィードバック以外の出力である場合があります。2 個のフリップフロップに同一の DCM 出力が使用されるため、DCM による位相エラーは発生しません。

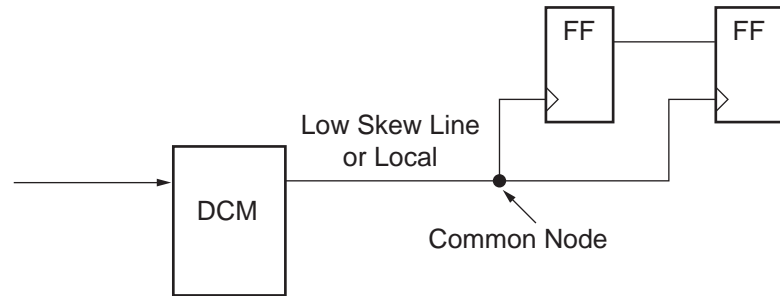


OUT: CLK0、CLK90、CLK180、CLK270、
CLK2X、CLKDV、CLKFX、または CLKFX180

x259_01_040903

図 17: DCM - BUFGを使用した単一出力

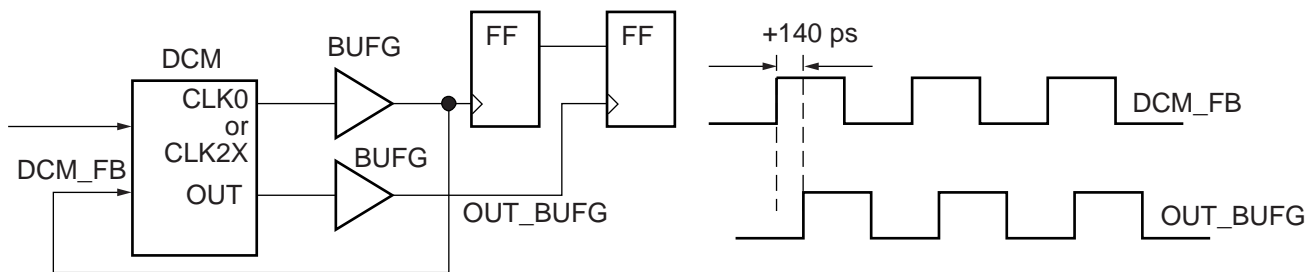
図 18 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。DCM 出力はフィードバックあるいはフィードバック以外の出力である場合があります。ロースキューラインまたはローカルラインによる配線遅延を考慮する必要がありますが、2 個のフリップフロップに同一の DCM 出力が使用されるため、DCM による位相エラーは発生しません。



x259_02_032603

図 18: DCM - 単一出力ロースキューラインまたはローカル

図 19 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。この場合、2 個の DCM 出力が使用され、1 個はフィードバック出力、もう一方の出力がフィードバック以外の出力です。このため、DCM が原因で発生する位相エラーは CLKOUT_PHASE = 140 ps になります。OUT_BUFG は CM_FB の 140 ps 前か 140 ps 後に入ります。ワーストケースのタイミング解析では、マージンがシステムで使用可能な最低の値になる場合を考慮してください。

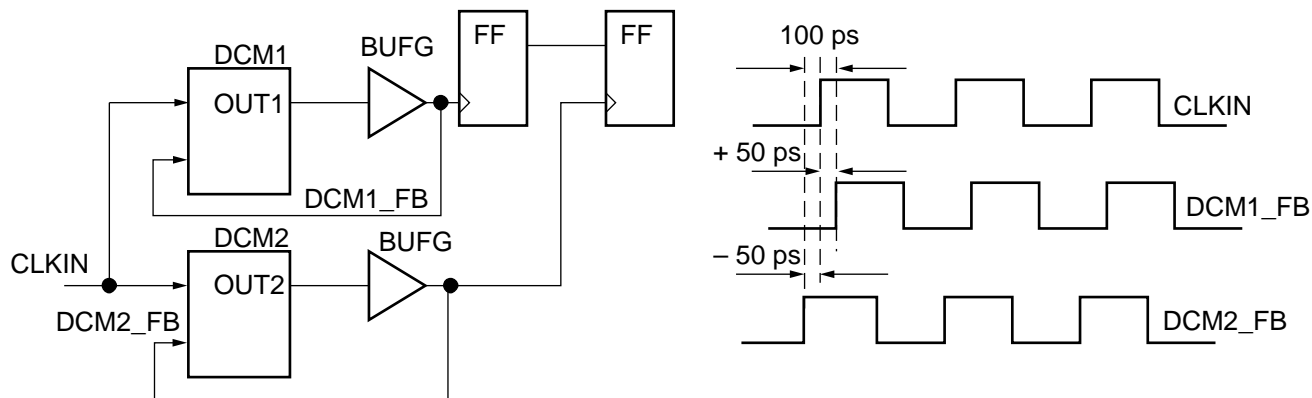


OUT は、CLK90、CLK180、CLK270、
CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる

x259_03_033103

図 19: DCM/CLKFB と 2 番目の出力

図 20 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。フィードバック出力のみが各 DCM で使用されるため、CLKOUT_PHASE パラメータは考慮しません。この回路では、同一のソースクロックを持つ 2 個の DCM が使用されているため、CLKIN_CLKFB_PHASE パラメータは各 DCM で使用されなければなりません。ワーストケースの解析では、DCM1、DCM1_FB のフィードバック出力が CLKIN の 50 ps 前に入り、DCM2、DCM2_FB のフィードバック出力が CLKIN の 50 ps 後に入るように想定します。これにより、DCM (あるいはフリップフロップへのクロック入力) のフィードバック出力間の最大位相エラーは 100 ps になります。

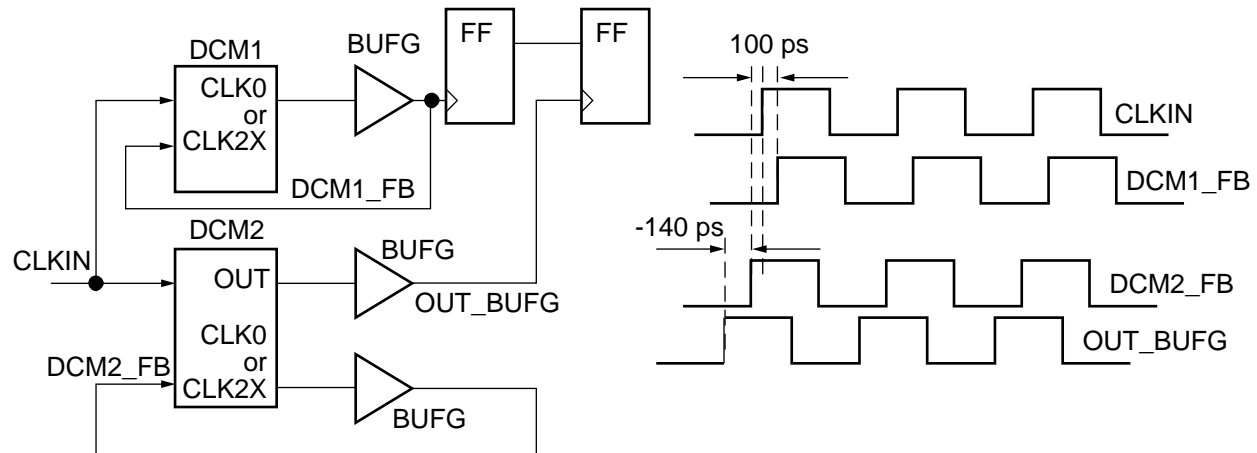


OUT1 と OUT2 は CLK0 か CLK2X のいずれかになる

x259_04_033103

図 20 : DCM1/OUT1 と DCM2/OUT2

図 21 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。この回路では、同一のソースクロックを持つ 2 個の DCM が使用されているため、CLKIN_CLKFB_PHASE パラメータは各 DCM で使用されなければなりません。ワーストケースの解析では、DCM1 のフィードバック出力が CLKIN の 50 ps 前に入り、DCM2 のフィードバック出力が CLKIN の 50 ps 後に入るように想定します。この結果、DCM のフィードバック出力間で最大の位相エラー値は 100 ps になります。フリップフロップへのクロック入力に、DCM1 を介したフィードバック出力のみを使用するため CLKOUT_PHASE パラメータは使用されません。これに対して、DCM2 に接続されたフリップフロップへのクロック入力にはフィードバック以外の出力 OUT が使用されるため、DCM2 には CLKOUT_PHASE パラメータが使用されなければなりません。ワーストケースの解析では、OUT_BUFG がこのフィードバック出力 DCM2_FB の 140 ps 後に入るように想定します。この結果、フリップフロップクロック入力間の位相エラーの合計は 240 ps になります。

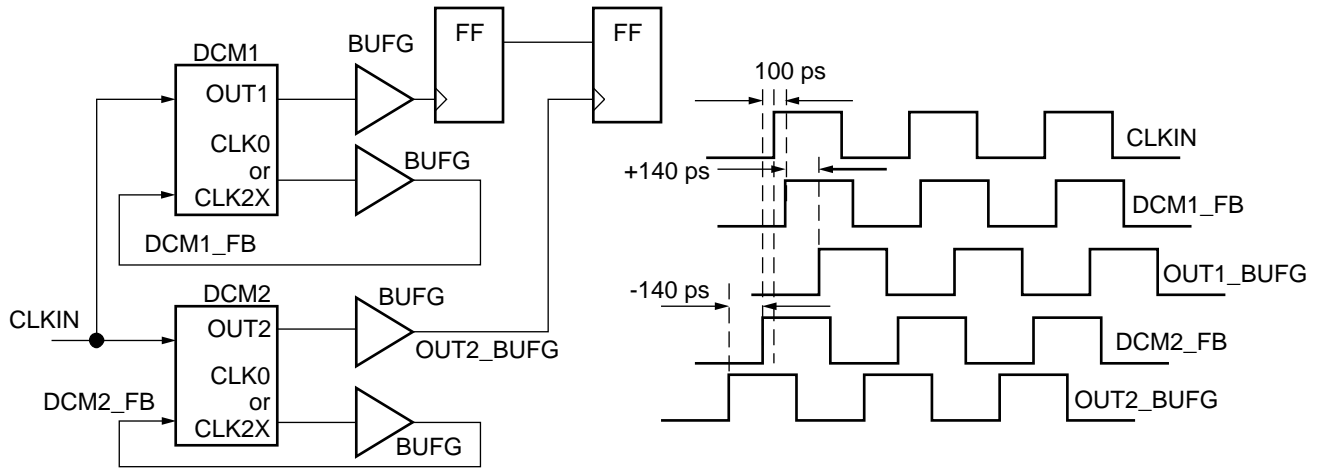


OUT は、CLK90、CLK180、CLK270、CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる CLKFB が DCM2 に接続されていない場合には、CLKFX/CLKFX180 と CLKIN の位相関係は保証されない

x259_05_033103

図 21: DCM1/CLKFB と DCM2/OUT

図 22 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。この回路では、同一のソースクロックを持つ 2 個の DCM が使用されているため、CLKIN_CLKFB_PHASE パラメータは各 DCM で使用されなければなりません。ワーストケースの解析では、DCM1 のフィードバック出力が CLKIN の 50 ps 前に入り、DCM2 のフィードバック出力が CLKIN の 50 ps 後に入るように想定します。この結果、DCM のフィードバック出力間で最大の位相エラー値は 100 ps になります。DCM1 でフリップフロップにクロックを与えるためにフィードバック以外の出力である OUT1 を使用するため、DCM1 には CLKOUT_PHASE パラメータが使用されます。ワーストケースの解析では、OUT1_BUFPG がこのフィードバック出力 DCM1_FB の 140 ps 後に入るように想定します。フィードバック以外の出力 DCM2 では、OUT2 を使用してフリップフロップにクロックを与えるため、DCM2 には CLKOUT_PHASE パラメータが使用されています。ワーストケースの解析では、OUT2_BUFPG がこのフィードバック出力 DCM2_FB の 140 ps 後に入るように想定します。この結果、フリップフロップクロック入力間の位相エラーの合計は 380 ps になります。

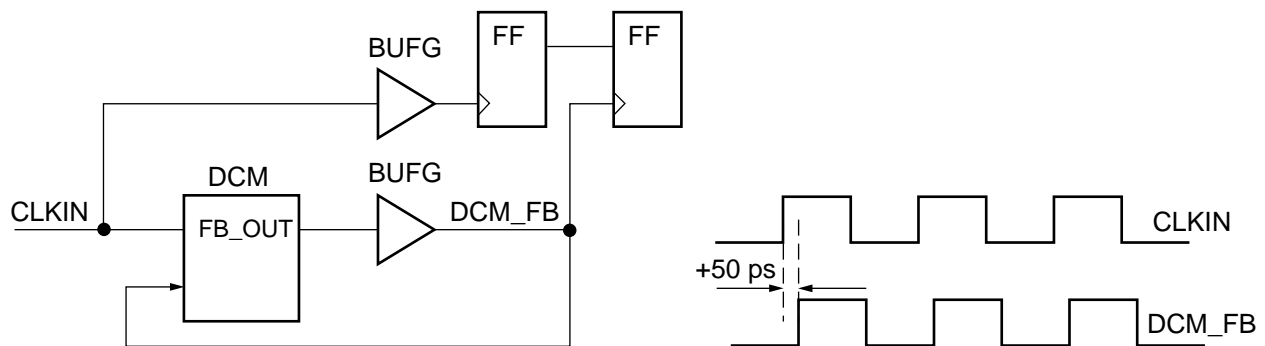


OUT1 または OUT2 は、CLK90、CLK180、CLK270、CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる
CLKFB が DCM2 に接続されていない場合には、CLKFX/CLKFX180 と CLKIN の位相関係は保証されない

x259_06_033103

図 22 : DCM1/OUT1 と DCM2/OUT2

図 23 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。この回路には、ソースクロックが同一の DCM と BUFG が 1 個ずつ使用されています。これは、1 つの DCM で CLKIN_CLKFB_PHASE パラメータを使用しなければならない特別なケースです。ここでは、DCM、DCM_FB からのフィードバック出力が CLKIN の 50 ps 前に入るように想定します。また、DCM を使用してフリップフロップにクロックを与えるためにはフィードバック出力のみ使用されるため、CLKOUT_PHASE パラメータは使用されません。この結果、フリップフロップクロック入力間の位相エラーの合計は 50 ps になります。DCM_FB は、CLKIN の 50 ps 前または 50 ps 後のどちらか一方に入ります。ワーストケースのタイミング解析では、マージンがシステムで使用可能な最低の値になる場合を考慮してください。DCM 以外のクロックパスの追加の IBUFG 遅延とクロックツリースキューは、タイミング解析のソフトウェアに使用されます。



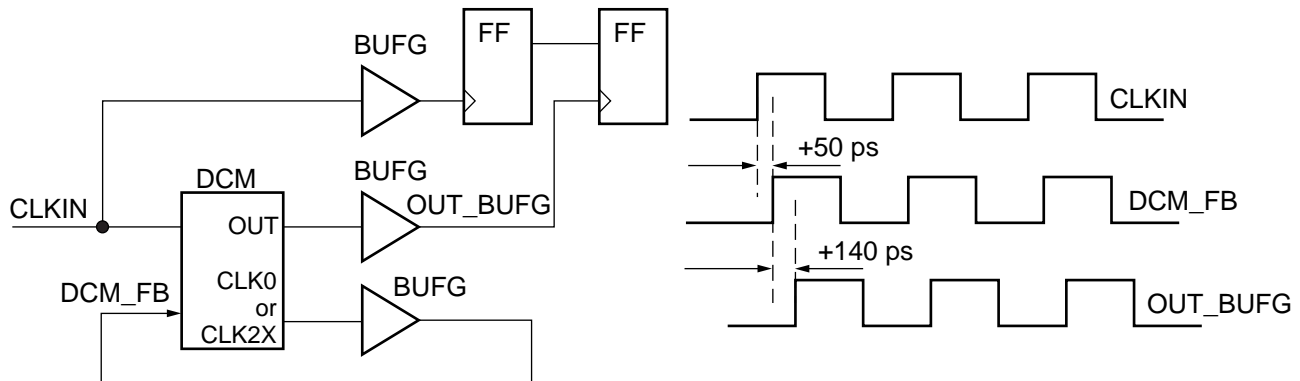
FB_OUT は CLK0 または CLK2X のいずれかになる

x259_07_033103

図 23 : BUFG と DCM/FB_OUT

図 24 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。この回路には、ソースクロックが同一の DCM と BUFG が 1 個ずつ使用されています。CLKIN_CLKFB_PHASE パラメータを DCM に使用する必要があります。このため、DCM からのフィードバック出力である DCM_FB は、CLK の 50 ps 後に入るように想定します。フィードバック以外の出力の OUT を使用して DCM よりフリップフロップにクロック入力するため、CLKOUT_PHASE パラメータが使用されます。ワー

ストケースの解析では、OUT_BUFG がこのフィードバック出力 DCM_FB の 140 ps 後に入るように想定します。これにより、フリップフロップ クロック入力間の位相エラーの合計は 190 ps になります。DCM 以外のクロックパスの追加の IBUFG 遅延とクロック ツリー スキューがタイミング解析のソフトウェアに使用されます。

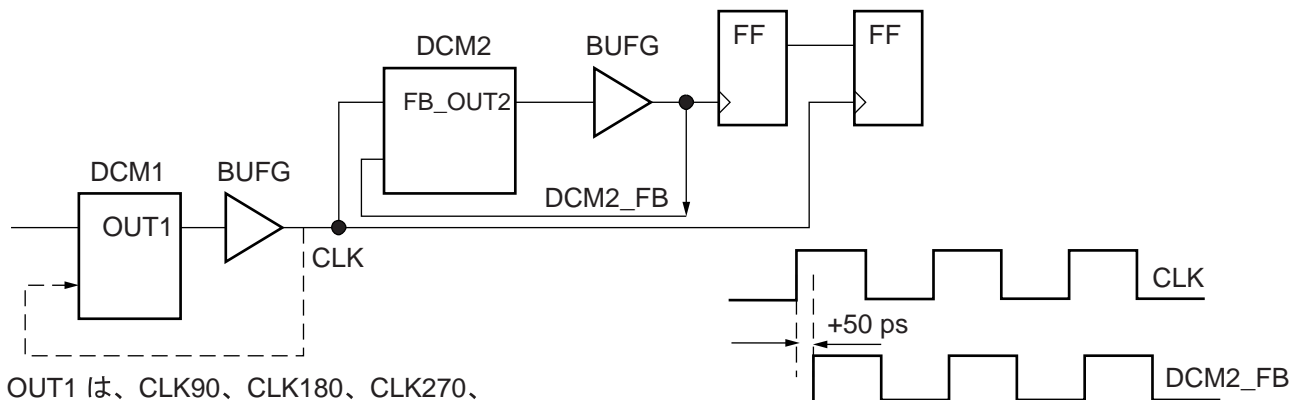


OUT は、CLK90、CLK180、CLK270、CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる CLKFB が DCM2 に接続されていない場合には、CLKFX/CLKFX180 と CLKIN の位相関係は保証されない

x259_08_033103

図 24: BUFG と DCM/FB_OUT

図 25 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。この回路には、2 個の DCM が DCM1 からの出力にカスケード接続され、DCM2 クロック入力に入力されています。2 個のフリップフロップの内 1 個は、DCM1 からの出力によりクロックを与えられ、もう一個のフリップフロップは、DCM1 からクロック入力を受けた DCM2 からの出力によりクロックが与えられています。このため、DCM1 により生じた位相エラーは 2 個のフリップフロップ両方のクロック入力に同様に発生するため、エラーは相殺されます。ここでの DCM1、CLK からの出力は、クロック ソースと見なします。1 個のフリップフロップはクロック ソースを直接受け取るため、1 個のフリップフロップへのクロック入力間の位相エラーは DCM2 のみが原因で発生します。CLKIN_CLKFB_PHASE パラメータは、DCM2 に使用する必要があります。また、DCM2、DCM2_FB のフィードバック出力は CLK の 50 ps 後に入るように想定します。また、DCM を使用してフリップフロップにクロックを与えるためにはフィードバック出力のみ使用されるため、CLKOUT_PHASE パラメータは使用されません。この結果、フリップフロップ クロック入力間の位相エラーの合計は 50 ps になります。DCM2_FB は、CLK の 50 ps 前あるいは 50 ps 後に入ります。ワースト ケースのタイミング解析では、マージンがシステムで使用可能な最低の値になる場合を考慮してください。



OUT1 は、CLK90、CLK180、CLK270、CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる

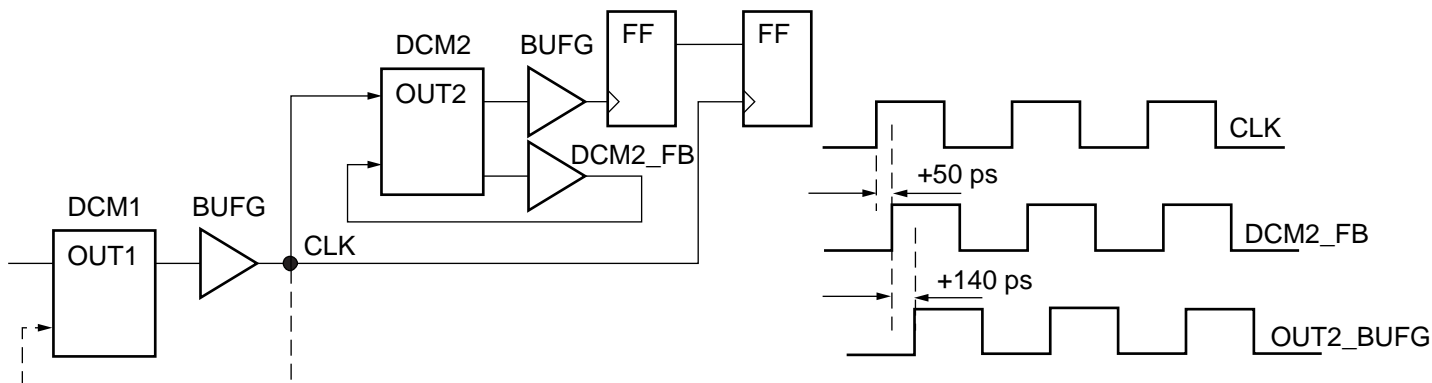
CLKFB が DCM2 に接続されていない場合には、CLKFX/CLKFX180 と CLKIN の位相関係は保証されない
FB_OUT2 は、CLK0 か CLK2X のいずれかになる

x259_09_033103

図 25：DCM2/FB_OUT2 でカスケードされた DCM

図 26 は、2 個のフリップフロップへのクロック入力間の位相エラーを示します。この回路には、2 個の DCM が DCM1 からの出力にカスケード接続され、DCM2 クロック入力に入力されています。2 個のフリップフロップの内 1 個は、DCM1 からの出力によりクロックを与えられ、もう一つのフリップフロップは、DCM1 からクロック入力を受けた DCM2 からの出力によりクロックが与えられています。このため、DCM1 により生じた位相エラーは 2 個のフリップフロップ両方のクロック入力に同様に発生するため、エラーは相殺されます。ここでの DCM1、CLK からの出力は、クロックソースと見なします。

1 個のフリップフロップはクロックソースを直接受け取るため、1 個のフリップフロップへのクロック入力間の位相エラーは DCM2 のみが原因で発生します。CLKIN_CLKFB_PHASE パラメータは、DCM2 に使用する必要があります。また、DCM2、DCM2_FB のフィードバック出力は CLK の 50 ps 後に入るように想定します。DCM2 により、フィードバック以外の出力である OUT2 を使用してフリップフロップにクロック入力されるため、CLKOUT_PHASE パラメータが使用されます。ワーストケースの解析では、OUT2_BUFG がこのフィードバック出力 DCM2_FB の 140 ps 後に入るように想定します。この結果、フリップフロップクロック入力間の位相エラーの合計は 190 ps になります。



OUT1 は、CLK0、CLK90、CLK180、CLK270、CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる

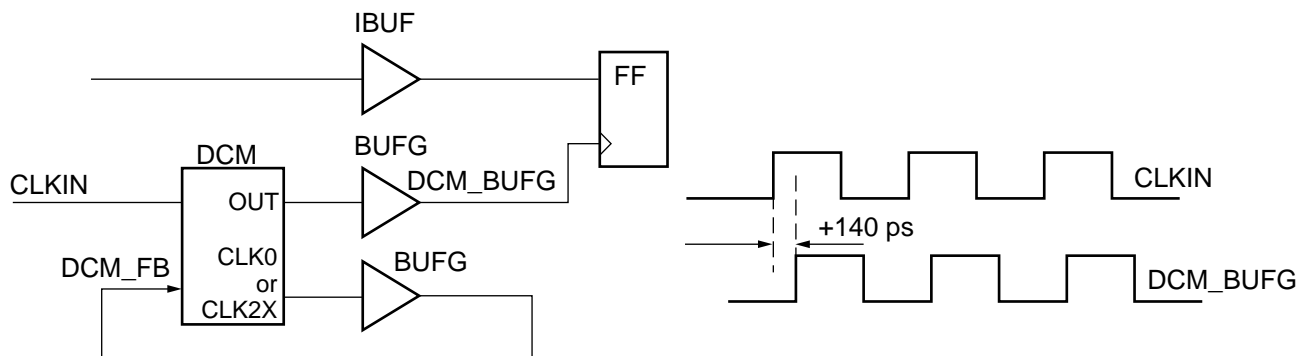
OUT2 は、CLK90、CLK180、CLK270、CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる

CLKFB が DCM2 に接続されていない場合には、CLKFX/CLKFX180 と CLKIN の位相関係は保証されない

x259_10_033103

図 26: DCM2/OUT2 でカスケードされた DCM

図 27 で、フィードバック以外の出力を使用してフリップフロップにクロックを与えるときに DCM が原因で発生する位相エラーの合計は 140 ps (CLKOUT_PHASE) になります。フリップフロップへのクロック入力にフィードバック出力を使用した場合、位相エラーの合計は 0 になります。この回路に関連する pin-to-pin セットアップパラメータには、CLKIN_CLKFB_PHASE が含まれます。このため、位相エラーを算出するパラメータは含まれていません。



OUT は CLK90、CLK180、CLK270、CLK2X (フィードバック以外)、CLKDV、CLKFX、CLKFX180 のいずれかになる

x259_27_042203

図 27: DCM とデータ入力

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
04/28/03	1.0	初版リリース
06/24/03	1.1	