



XAPP262 (v2.6) 2003 年 8 月 29 日

## 合成可能な QDR SRAM インターフェイス

著者: Olivier Despaux

### 概要

Quad Data Rate (QDR™) 同期スタティック RAM (SRAM) は、ネットワークおよび通信アプリケーションに使用可能な、バンド幅の最も広いソリューションの 1 つです。この QDR SRAM は、低コストで優れたパフォーマンスのソリューションであり、メモリ バッファリング、トラフィック管理、ルックアップテーブルまたはリンク リストを必要とするアプリケーションに最適です。このアプリケーションノートでは、-5 スピード グレードの Virtex™-II デバイスでソース同期ソリューションを使用し、最高 400 Mb/s (DDR400) での読み出しと書き込みの同時処理を可能にする QDR SRAM インターフェイスのインプリメンテーションについて説明します。

### はじめに

Cypress、Hitachi、NEC、Samsung および IDT 社は、拡大しつつあるバンド幅の広い SRAM への需要に対応した QDR 仕様を作成しました。QDR SRAM の主な特徴は、別々のデータ入力および出力を同時に実行できることにあります。このアプリケーション ノートでは、QDR SRAM 用のインターフェイスについて説明します。

各データ バスでは、クロック サイクルごとに 2 ワードのデータが処理されるため、各バスのデータレートは標準レートの 2 倍になります。両方のバスで並行してデータが処理される場合、クロック サイクルごとに 4 バス幅で処理されるため、Quad-Data Rate と呼ばれます。たとえば、データの最小セットが 2 ワードで処理されると、デバイス バス幅はその 2 倍になります。

### QDR SRAM 概要

#### 基本事項

ここでは、QDR SRAM テクノロジーの一般的な概要について説明し、推奨するデザインを紹介します。このタイプのメモリを FPGA で使用した経験が十分にあると思われる方は、[QDR SRAM インターフェイス概要](#)に進んでください。QDR SRAM は、ネットワーク アプリケーション用に設計されています。[表 1](#) に QDR SRAM 仕様の概要を示します。なお、メモリ デバイスの特性については、各メモリ メーカーのデータ シートを参照してください。

© 2003 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.com/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。

表 1: QDR SRAM 仕様の概要

パラメータ	概要
バースト モード (DDR モード)	2 ワード バースト デバイス 4 ワード バースト デバイス
I/O 終端	HSTL クラス I、1.5V または 1.8V
データ バス	書き込み (D) および読み出し (Q) バスは別々であり、共有しない
デバイス集積度	9 Mb、18 Mb、36 Mb
内部パイプライン	2 段階でパイプライン化 (低い初期レイテンシ)
2 ワード バーストの周波数	100 - 167 MHz (Double Address Rate (DAR) アドレス バス)
4 ワード バーストの周波数	100 - 200 MHz (Single Address Rate (SAR) アドレス バス)
コア電圧	2.5V
データ クロック C、 $\bar{C}$	ソース同期システムでは、SRAM からの出力は C および $\bar{C}$ に同期
QDR SRAM サプライヤ	Cypress、Hitachi、IDT、Micron、NEC、Samsung

QDR SRAM は、特に、読み出しと書き込みがほぼ同一レートで同時に行われるアプリケーションに対応するように設計されました。一般的な DDR SRAM は、データ ストリーミングを使用するアプリケーションまたは読み出し/書き込みレートが 3 以上のアプリケーションに最も適しています。使用するデバイスは、2 ワード バーストまたは 4 ワード バーストのいずれかであり、アドレス レートおよびデータの書き込み位置によって決定します。

#### アドレス レート

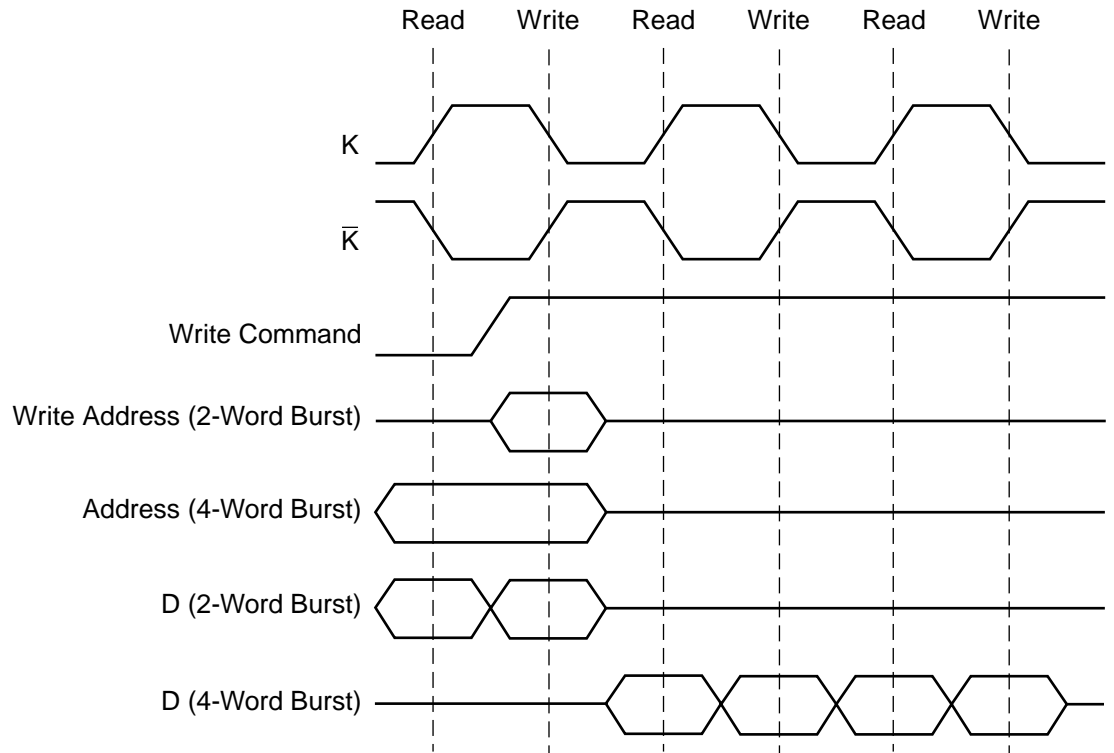
2 ワード バースト QDR SRAM では、各クロック サイクルで 2 ワードの読み出しと 2 ワードの書き込みが連続して行われます。内部では、最初の半クロックで読み出しが行われ、次の半クロックで書き込みが行われます。アドレス バスは、読み出しおよび書き込みポートで共通であるため、DAR で処理する必要があります。また、読み出しアドレス入力はマスター クロック信号 K の立ち上がりエッジで行われ、書き込みアドレス入力はマスター クロック信号 K の立ち下がりエッジで行われます。

このアプリケーション ノートは、167 MHz クロックで動作する -5 スピード グレードの Virtex-II FPGA で使用可能な 2 ワード バースト QDR SRAM デバイスをターゲットとしており、メモリ デバイスの集積度は 9 です。

QDR SRAM には、読み出しデータ バスと書き込みデータ バスがあり、共に DDR モードで動作します。書き込みバスでは、クロックがデータの中央にアラインされ、これによってメモリ デバイスを効率的に使用できます。

#### 書き込みデータ位置

システム パフォーマンスを向上させるためには、デザインにおける書き込みデータ位置を決定する必要があります。4 ワード バースト デバイスのアドレス レートは SAR です。4 ワード バースト QDR SRAM では、K の立ち上がりエッジで書き込みアドレスを取り込みます。一方、2 ワード バースト QDR SRAM では、K の立ち下がりエッジで書き込みアドレスが取り込まれ、4 ワード バースト QDR SRAM の書き込みよりも 1 クロック周期遅く、データが読み出されます。逆に 2 ワード バースト QDR SRAM にはレイテンシがありません (図 1)。

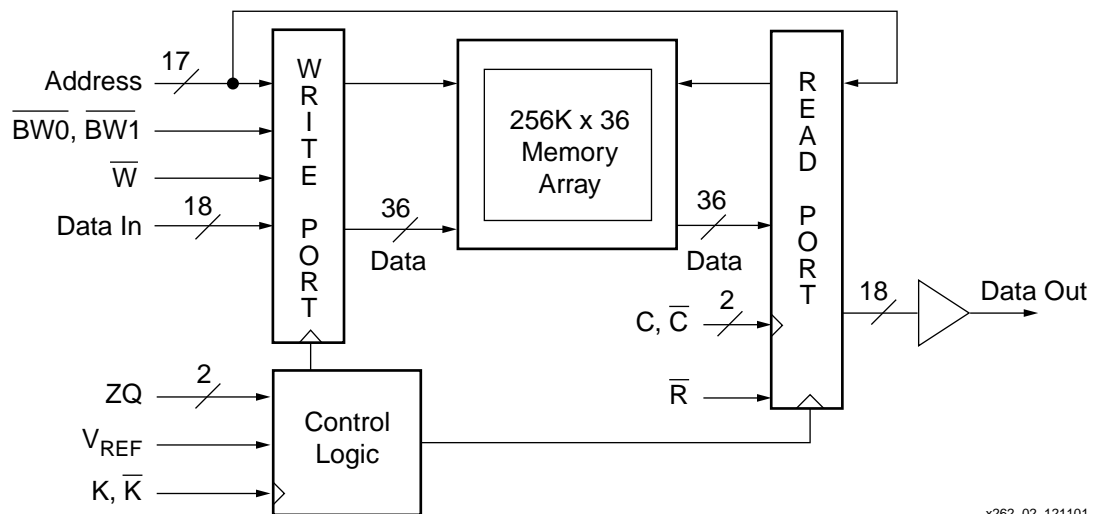


x262\_01\_032502

図 1: 2ワードバーストおよび4ワードバーストQDRのタイミング図

### 内部アーキテクチャ

QDRアーキテクチャの主な目的は、読み出しおよび書き込みポートを明確に区別することであり、交互の読み出しと書き込みサイクルを最適に処理するように設計されています。アドレスの読み出しおよび書き込みが同一のクロック周期で行われた場合、メモリの読み出しポートの出力データは、そのクロック周期で書き込まれたデータになることに注意してください。図2を参照してください。



x262\_02\_121101

図 2: QDR SRAM 内部アーキテクチャ概要

### 読み出しおよび書き込み処理

SDRAMと比較したSRAMの最も優れた点の1つとして、制御信号を容易に接続できることが挙げられます。例として、SRAMではリフレッシュコマンドを送信する必要がありません。

### アドレスバス

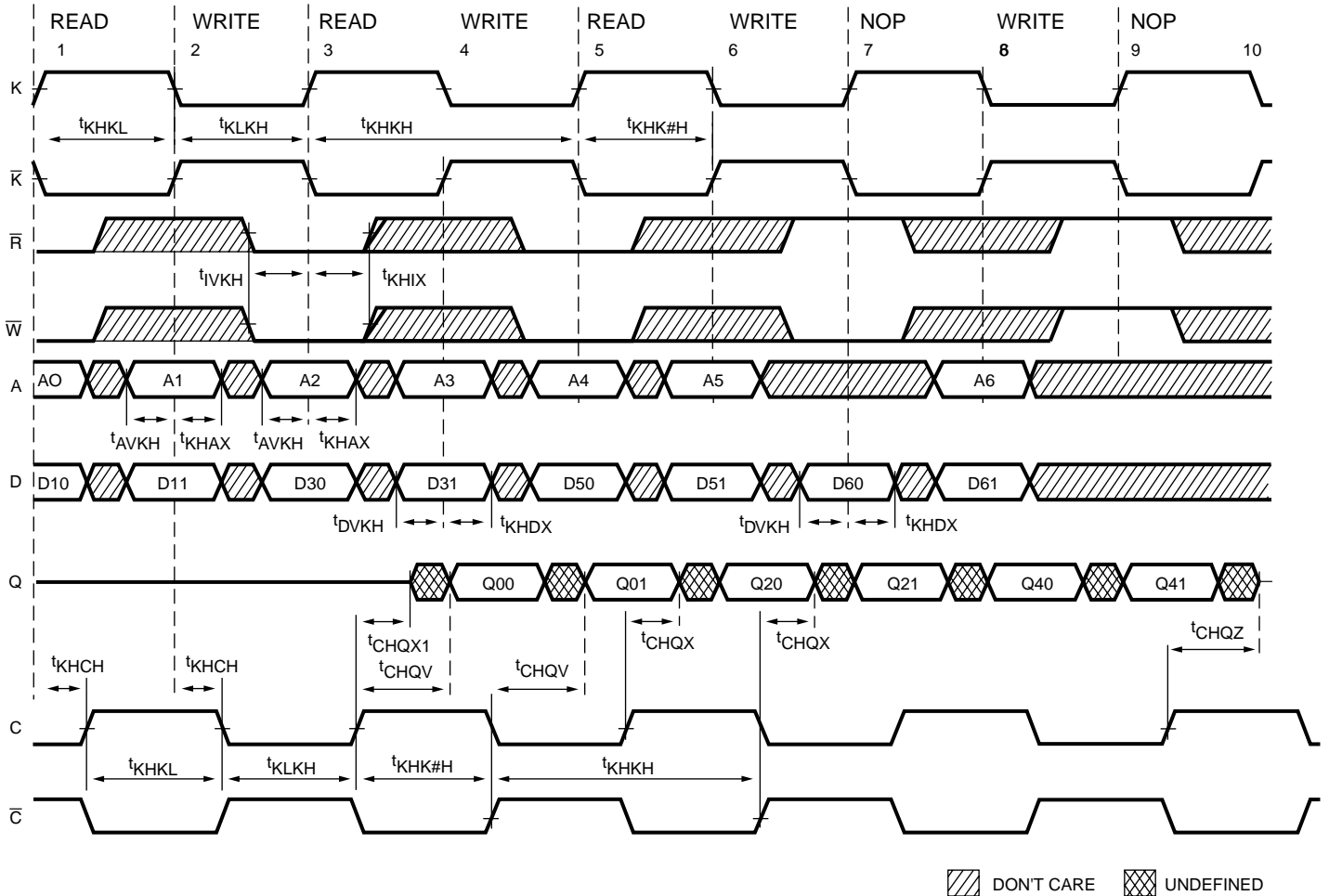
2ワードバーストデバイスでは、読み出しアドレスはKクロックの立ち上がりエッジで取り込まれ、書き込みアドレスはKクロックの立ち下がりエッジで取り込まれます。また、アドレスバスはDDRモードで動作します。4ワードバーストデバイスのアドレスバスはSDRモードであるため、2ワードバーストと4ワードバーストデバイスでは速度に差が生じます。

### データとクロックの関係

書き込み：データは、Kクロックに対して中央にアラインされ、送信されます。

読み出し：データは、Cクロックに対して保証された間隔の遅延を持って送信されます。

図3に読み出しおよび書き込みのタイミング図を示し、表2にタイミングパラメータを示します。



x262\_03\_020602

図3: 読み出しおよび書き込みのタイミング図

表2: QDR タイミングパラメータ

パラメータ	シンボル
クロック	
クロック サイクル時間 (K、 $\bar{K}$ 、C、 $\bar{C}$ )	$t_{KHKH}$
クロック High レベル時間 (K、 $\bar{K}$ 、C、 $\bar{C}$ )	$t_{KHKL}$

表 2: QDR タイミング パラメータ (Continued)

パラメータ	シンボル
クロック Low レベル時間 (K、 $\overline{K}$ 、C、 $\overline{C}$ )	$t_{\text{CLKH}}$
Clock to Clock 時間 ( $K \uparrow \rightarrow K \uparrow$ 、 $C \uparrow \rightarrow C \uparrow$ )	$t_{\text{KHKH}}$
Clock to Data Clock 時間 ( $K \uparrow \rightarrow C \uparrow$ 、 $K \uparrow \rightarrow C \uparrow$ )	$t_{\text{KHCH}}$
出力時間	
C、 $\overline{C}$ High レベルから出力確定時間	$t_{\text{CHQV}}$
C、 $\overline{C}$ High レベルから出力ホールド時間	$t_{\text{CHQX}}$
C High レベルから出力ハイ インピーダンス時間	$t_{\text{CHQZ}}$
C High レベルから出力ロー インピーダンス時間	$t_{\text{CHQX1}}$
セットアップ時間	
アドレス確定から K の立ち上がりエッジ	$t_{\text{AVKH}}$
制御信号入力確定から K の立ち上がりエッジ	$t_{\text{IVKH}}$
データ入力確定から K、 $\overline{K}$ の立ち上がりエッジ	$t_{\text{DVKH}}$
ホールド時間	
K 立ち上がりエッジからアドレス ホールド時間	$t_{\text{KHAX}}$
K 立ち上がりエッジから制御信号ホールド時間	$t_{\text{KHIX}}$
K、 $\overline{K}$ の立ち上がりエッジから入力データ ホールド時間	$t_{\text{KHDX}}$

### その他の機能

QDR SRAM は、TAP コントローラ、命令レジスタ、バウンダリ スキャン レジスタ、バイパス レジスタ、および ID レジスタ を含むシリアル バウンダリ スキャン テスト アクセス ポート (TAP) を内蔵します。また、JEDEC テスト アクセス ポート (JTAG) は 2.5V で動作し、この機能を無効にするためには、TCK ピンを Low ( $V_{SS}$ ) に接続する必要があります。

QDR SRAM の JTAG 機能および特徴についての詳細は、各メモリ メーカーのデータ シートを参照してください。

### デバイス ピン

表 3 に QDR デバイスで使用されるピンの概要を示します。詳細については、各メモリ メーカーのデータシートを参照してください。

表 3: QDR SRAM デバイス ピンの概要

シンボル	ピン数 (x18)	タイプ	機能
SA	18	入力	同期アドレス入力
R	01	入力	同期読み出し
W	01	入力	同期書き込み
BW0	01	入力	同期バイト書き込み D0.D7
BW1	01	入力	同期バイト書き込み D8.D15

表 3: QDR SRAM デバイス ピンの概要 (Continued)

シンボル	ピン数 (x18)	タイプ	機能
K と $\bar{K}$ ペア	02	入力	入力クロック
C と $\bar{C}$ ペア	02	入力	出力クロック
TMS	01	入力	JTAG テスト入力 1
TDI	01	入力	JTAG テスト入力 2
TCK	01	入力	JTAG 機能イネーブル
V <sub>REF</sub>	02	入力	HSTL 入力参照電圧
ZQ	01	入力	出力インピーダンス マッチング入力
D	18	入力	同期データ入力
DNU	02	出力	使用不可
Q	18	出力	同期データ出力
TDO	01	出力	IEEE 1149.1 テスト出力
V <sub>DD</sub>	10	電源	通常の電源電圧 (2.5V) <sup>(1)</sup>
V <sub>DDQ</sub>	16	電源	出力バッファ用の電源電圧 (1.8V) <sup>(1)</sup>
V <sub>SS</sub>	25	電源	グラウンドの電源電圧 (0V) <sup>(1)</sup>
NC <sup>(1)</sup>	41	未接続 (1)	未接続

メモ:

1. ノイズ耐性および電力消費を向上させるために、プリント回路基板 (PCB) 上の未接続 (NC) ピンはグラウンドに接続してください。ノイズが発生しないボード デザインも必要です。電源電圧のデカップリングには適切なキャパシタを使用し、標準の電源電圧、参照電圧、およびロジック レベルを使用してください。ザイリンクスでは、HSTL ロジック レベルでのスイッチング特性をよりよくするために、Virtex-II デバイスでは 1.8V の電源電圧を使用し、Virtex-II Pro デバイスでは 1.5V の電源電圧を使用することを推奨しています。

## QDR SRAM インターフェイス概要

### インターフェイス仕様および概要

ここでは、Virtex-II FPGA で QDR SRAM インターフェイスを使用する場合について説明します。デザインには、ユーザー インターフェイスおよび QDR SRAM インターフェイスがあります。必要となるパフォーマンスに応じて、デザイン修正が必要な場合があります。

デザインの仕様は、次のとおりです。

- 2ワード バースト デザインは、167-MHz クロックで動作する -5 スピード グレードの Virtex-II デバイスをターゲットとします。
- デザインはソース同期であり、送信側では K クロックを、受信側では C クロックを使用します。
- コントローラは、Micron モデルを使用して開発され、2ワード バースト デバイス用の Cypress HDL モデルでテストされています。
- コントローラには、非同期リセット機能があります。
- デザインには、2つの DCM が必要です。
- HSTL クラス I、1.8V DCI バッファの 9 Mb x 18 デバイスの概算消費電力は、600 mW です。

表 4 にコントローラ パフォーマンス、合成および配置配線の結果のスナップショットを示します。

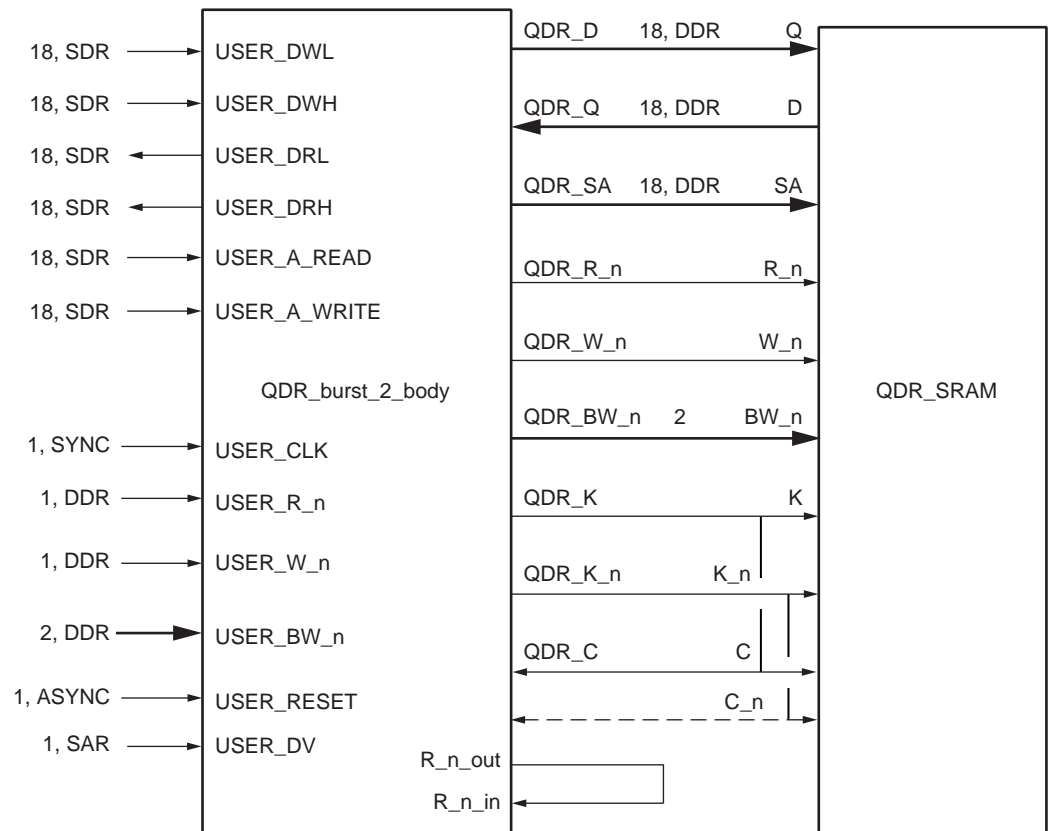
表 4: インプリメンテーション結果

Virtex-II デバイス XC2V1000 - FG896	スピード グレード		
	-4	-5	-6
クロックの最低周波数 (MHz)	150	167	167
上の周波数でのタイミング バジレット マージン (ps) <sup>(1)</sup>	400	580	580
スライス数	150	150	150
BUFG 数	3	3	3
デジタル クロック マネージャ (DCM) 数	2	2	2
I/O 数	63	63	63

メモ:

1. ソース同期デザインのタイミング値を使用しています。

図 4 は、QDR SRAM インターフェイスの最上位ブロック図です。QDR\_ctrl は、アドレスおよびデータ送受信モジュールを含むトップ レベル QDR コントローラです。また、USER\_gui は、信号を直接メイン コントローラに受け渡す場合と必要に応じてパイプライン化を使用して受け渡す場合があります。



x262\_04\_070103

図 4: 最上位アーキテクチャ ブロック図

## R<sub>n</sub> 信号の標準化

QDR SRAM 仕様には、Q バスにある有効なデータ ストローブは含まれませんが、読み出しコマンド信号 (R<sub>n</sub>) を使用して有効なデータ信号を作成することが可能です。これにより、ユーザー FIFO 書き込みイネーブル ストローブ信号またはデータ有効ストローブ信号が作成できます。ストローブ信号を作成する場合、R<sub>n</sub> 信号が QDR SRAM に伝わる間のタイミング遅延とトレードオフする必要があります。

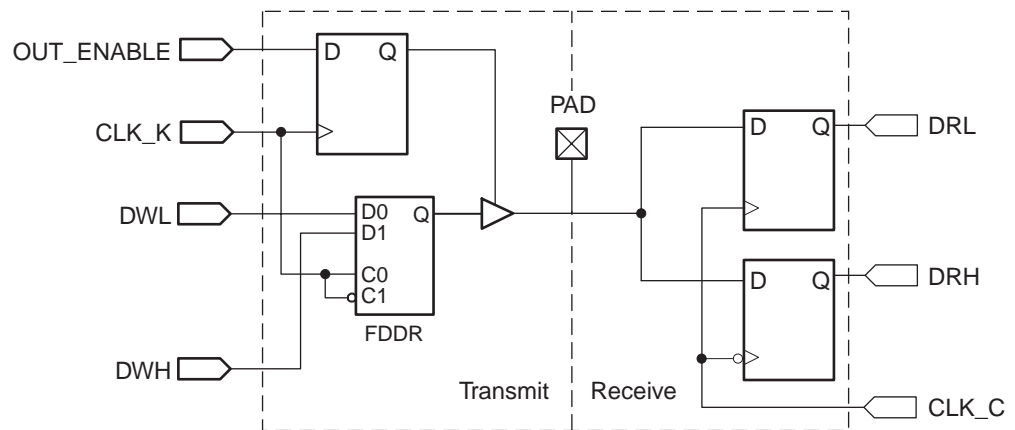
FPGA およびメモリ コントローラの clock-to-out パラメータ シンボルは  $t_{IOCKP}$  です。このパラメータの最小値と最大値には大きな幅があるため、タイミング バジレットを計算する際にこの幅を考慮する必要がないように R<sub>n</sub> 信号が標準化されます。追加の R<sub>n</sub> 信号は、ボード上に配線され、FPGA に戻ります。

追加された R<sub>n</sub> のボード上でのトレース遅延は、FPGA から QDR SRAM への R<sub>n</sub> リンク トレース長に QDR SRAM の clock-to-out タイミング パラメータ値を加えたものです。K ペアと C ペアが同一である場合、上述のような回路設計を行うことによって R<sub>n</sub> と Q のタイミング関係は近くなります。

## DDR I/O

### インプリメンテーション

Virtex-II SelectI/O™ の入出力は、送信および受信で DDR 動作をサポートします。図 5 に、アーキテクチャのインプリメンテーション例を示します。この例では、IOB 内でメモリ インターフェイスへのすべての入出力にレジスタが付き、clock-to-out 遅延が最小になります。



x262\_07\_022702

図 5: 送受信の I/O インプリメンテーション例

## クロック設計手法

ほとんどの同期デザインでは、すべての制御信号およびデータ信号が FPGA からメモリ デバイスに送信されます。クロック転送に特に注意した設計を行うことによって、FPGA 内の clock-to-out タイミング パラメータに対して特別な配慮をする必要がなくなります。また、FPGA I/O 内でデュアルデータレート フリップフロップ (FDDR プリミティブ) を使用してクロックをメモリ デバイスに転送する場合、クロック、データおよびアドレス信号間のスキューは無視できます。図 6 に実際のクロックパスを示します。



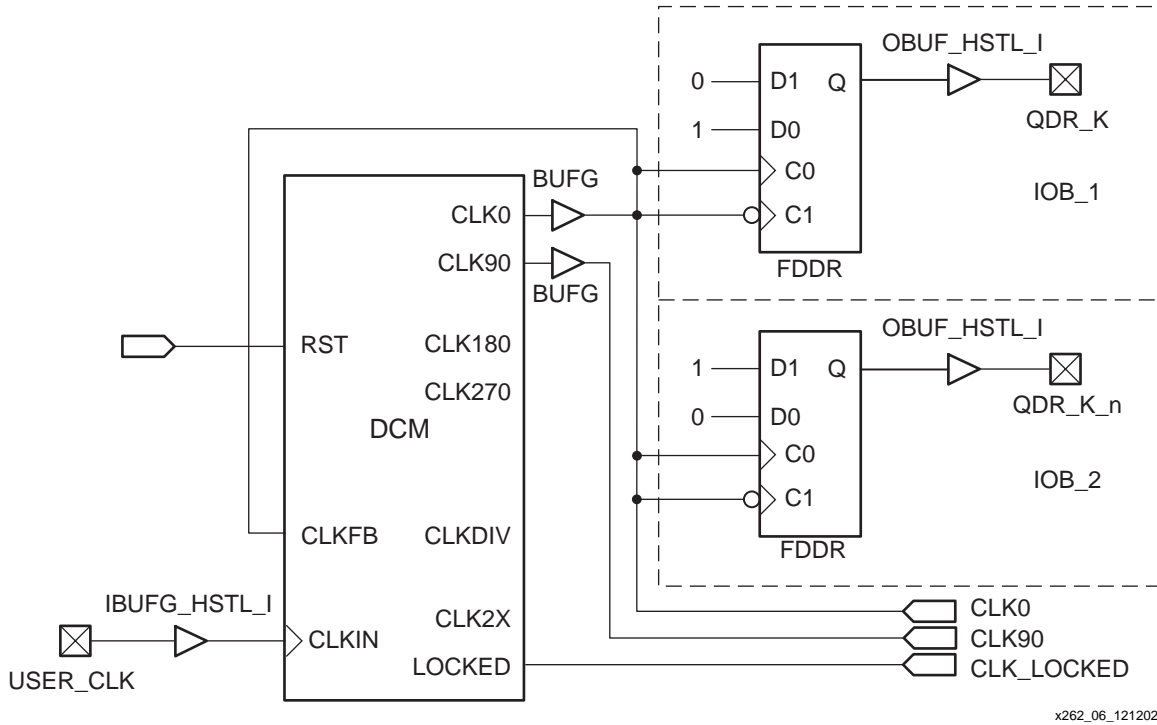


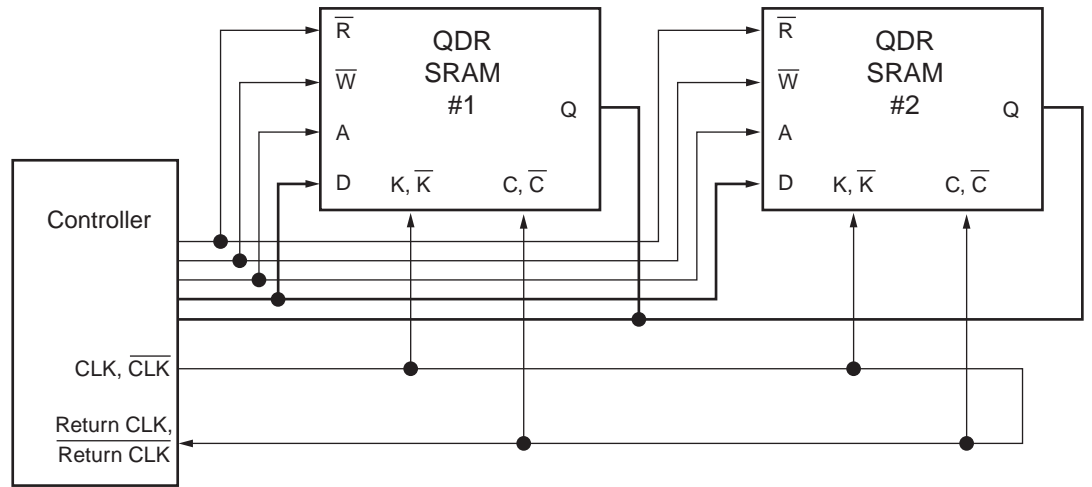
図 6: クロック転送

タイミング バジエツト解析でのクック ツリ一 スキューを含むタイミング パラメータについては、タイミング セクションで示します。デューティ サイクルの歪みの大きさは、インターフェイスのクック 周波数によって決定されます。シミュレーションでは、開始周波数が 167 MHz およびそれ以上の場合に、許容範囲の 5% を超える結果が出ています。メモ：ワースト ケースは、200 MHz で 6% から 8% です。IBIS または HSPICE シミュレーションでは、より正確な値が求められます。ボード スキューを抑えるためには、トレースの描き方およびトレース長を可能な限り一致させてください。

### 同一バスでの複数デバイスの使用

PCB レイアウトはクックとデータ バス間のスキューを減少させる必要があります。たとえば、書き込みデータ バスと K クック間のトレース長は一致していなければなりません。

図 7 は、2 つのデバイスを接続した例です。1 つのバスに複数の負荷がかかることによって、インターフェースのシグナル インテグリティ特性が損なわれます。



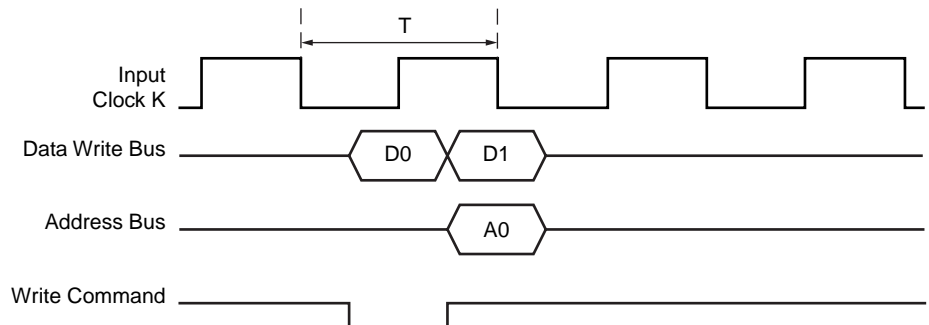
x262\_07\_032802

図 7: 1 つの FPGA と 2 つの QDR SRAM の接続例

## データ パス

### 送信側

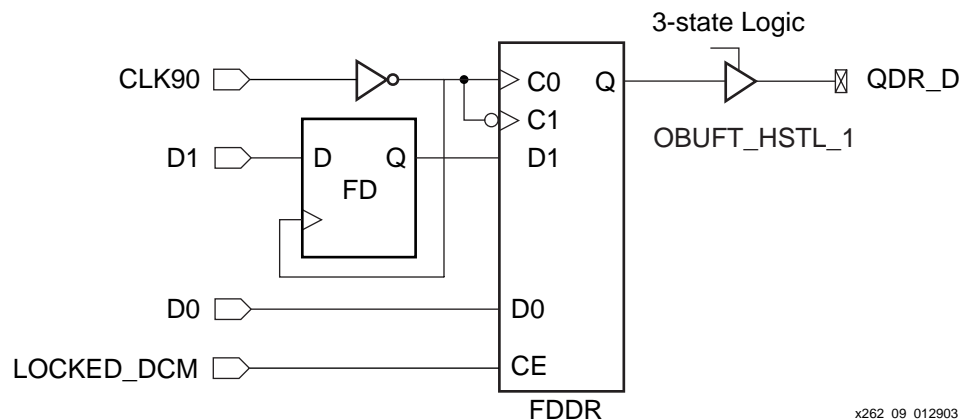
メモリ デバイス I/O では、データはクロックに対して中央にアラインされる必要があります。図 8 にメモリにデータを書き込む場合の基本的な波形を示します。



x262\_08\_042202

図 8: 書き込みの場合の波形

メモリ デバイスにアクセスする場合には、セットアップ時間およびホールド時間を考慮してください。図 9 に書き込みを実行する場合のデータ パス例を示します。

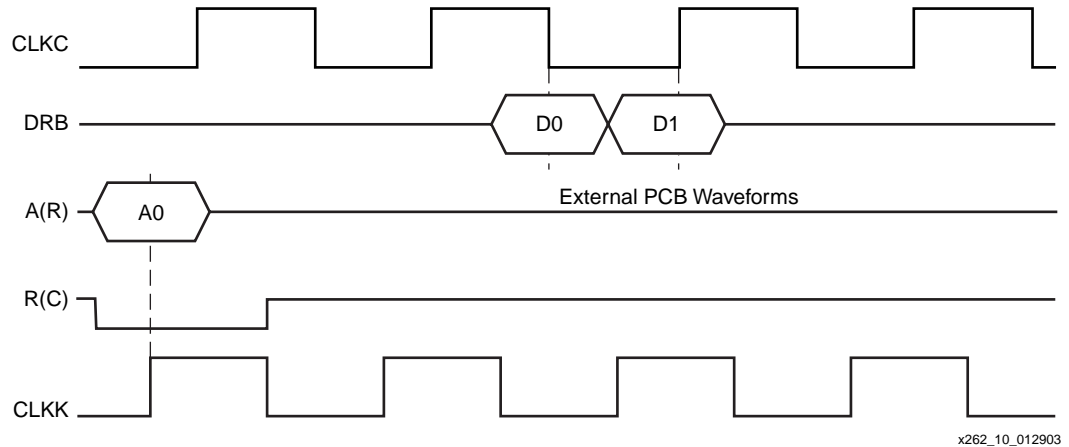


x262\_09\_012903

図 9: 書き込みデータ パス

## 受信側

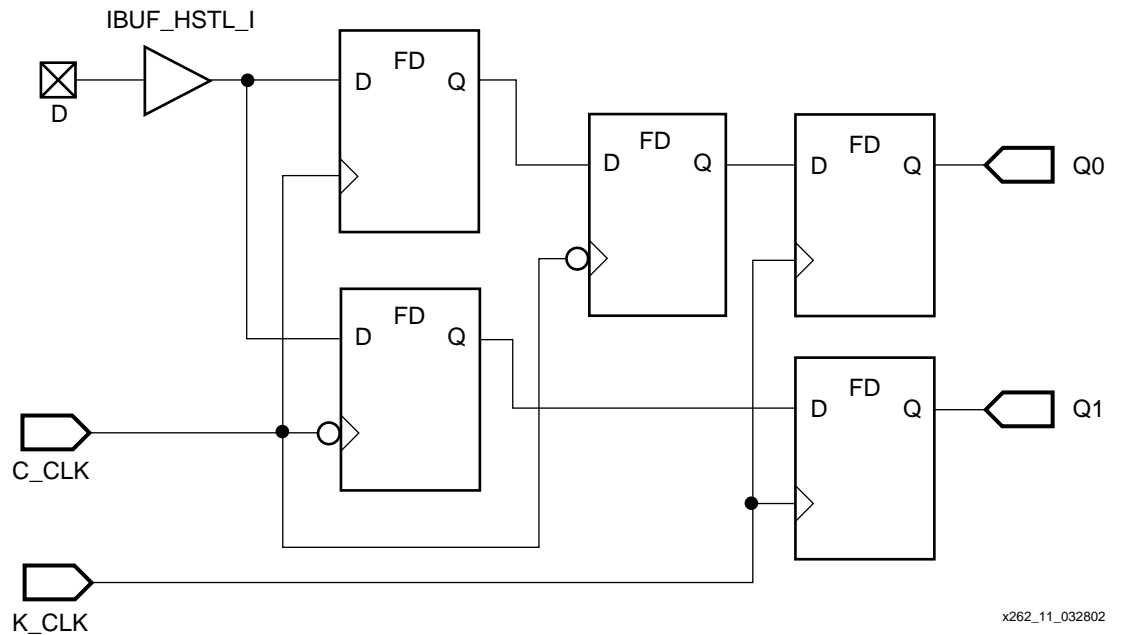
システムはソース同期であるため、データを再び取り込む段階では、メモリ デバイスからのスキュー調整クロックを使用します。DCM は、入力クロックの位相オフセットを使用し、同時にデータを取り込むように設定されます。位相オフセット値に関する詳細は、タイミングのセクションで説明します。図 10 にメモリへのデータを読み出す場合の基本的な波形を示します。



x262\_10\_012903

図 10: 読み出しの場合の波形

図 11 に読み出しデータパスの例を示し、図 12 にデータの取り込みのためのクロック リソースを示します。



x262\_11\_032802

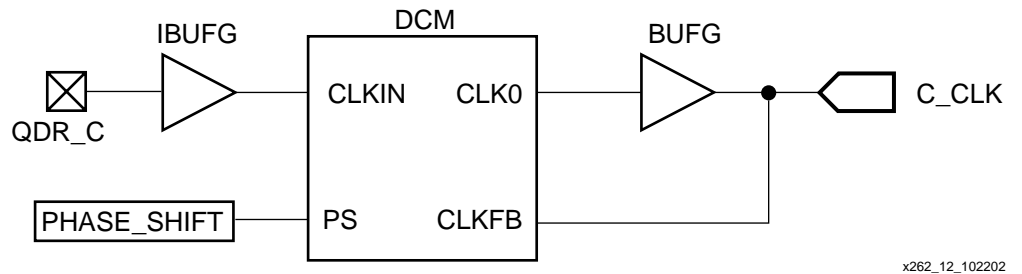
図 11: 読み出しデータパス

図 12 は、データ取り込みのためのクロック生成です。定義済みの位相シフト値は、ユーザー制約ファイル (リファレンス デザインに含まれる) または合成ツール用の適切な構文を使用したソース ファイルで指定してください。

### 非同期 FIFO の問題

K のデータ取り込みエッジが適切に選択されていない場合、またはクロック ドメイン変更を行うとインターフェイスでのスキューが大きくなる場合には、セットアップ時間とホールド時間のいずれかまたは両方に違反が発生することがあります。図 14 では、K および C クロックが逆位相になっています。K の

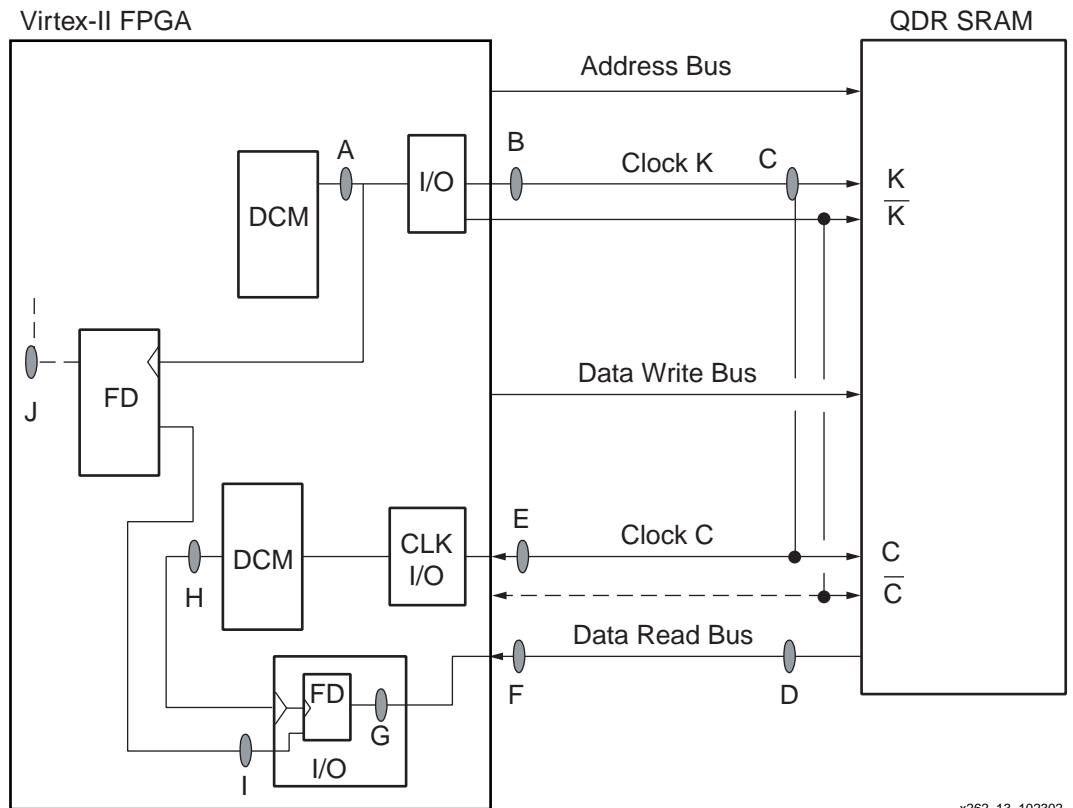
マークの付いたエッジで信号を取り込むと、セットアップ/ホールド時間に違反が発生しますが、補足的なクロックを使用してクロック入力されたレジスタを追加することによって、問題は回避できます。ただし、データが 180° 前に取り込まれる場合は、インターフェイスが適切に動作するため、レジスタを追加する必要はありません。



x262\_12\_102202

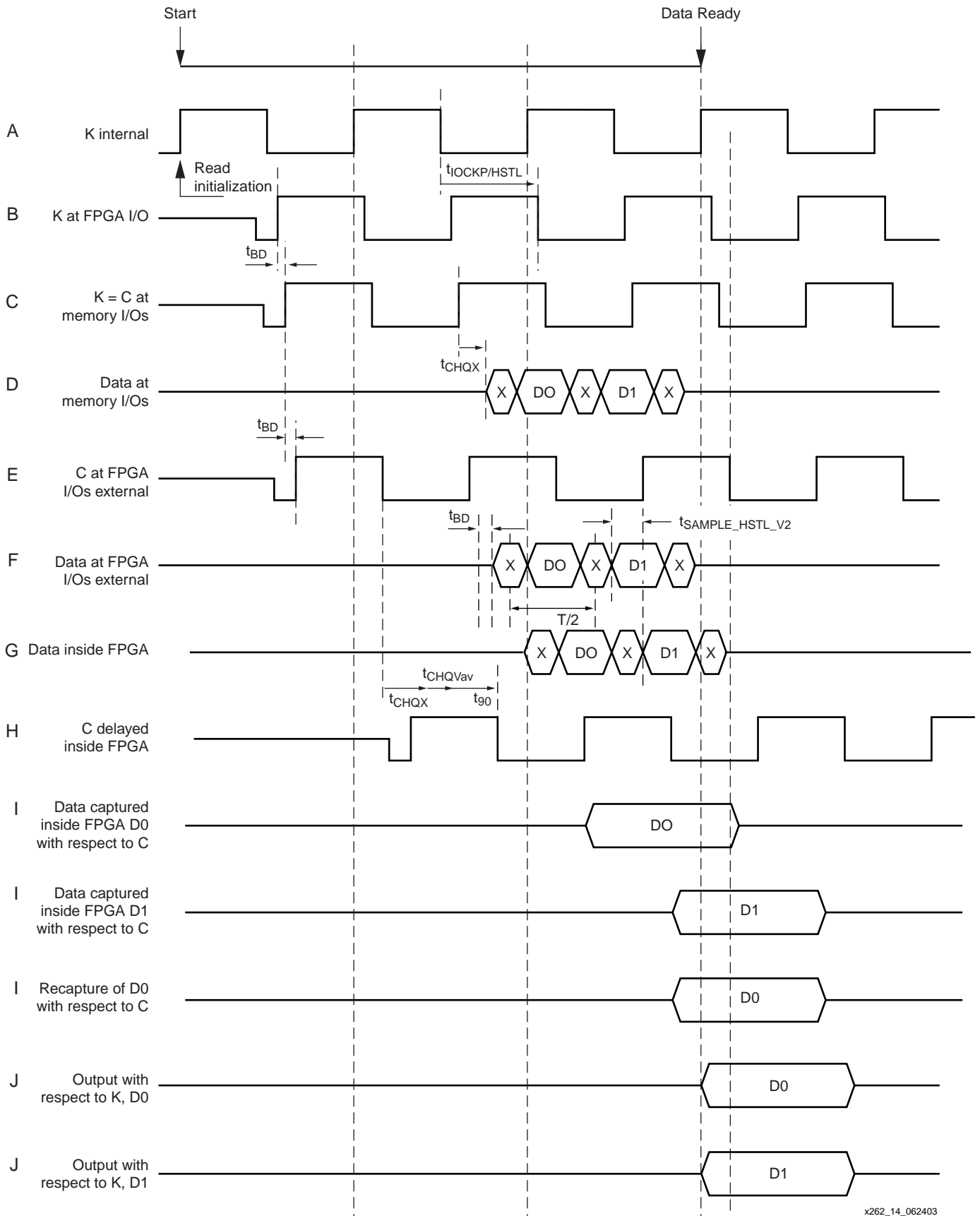
図 12: データ取り込みクロック生成

図 13 に、図 14 の読み出し波形の各位置を示します。図 13 には、クロックドメイン変更の詳細は示されていませんが、図 14 には、スキュー調整クロックからデザインクロックへのドメイン変更が含まれます。すべてのトレース間の特性が類似するほど、スキューおよびジッタ解析の結果は向上します。図 13 に FD は示されていません。



x262\_13\_102302

図 13: システム デザイン



x262\_14\_062403

図 14: データ取り込みおよびクロックドメイン変更の場合の波形

パラメータ  $t_{\text{SAMPLE\_HSTL\_V2}}$  は、DCM を使用した場合の HSTL クラス I のサンプル ウィンドウです。FPGA の内部クロックは、デバイス外部のクロックよりも先に変化します。この波形は、標準的な値を元に描いたものであり、ジッタおよびスキュー特性は示されていません。スキューに関する詳細は、各メモリ メーカーのデータシート、Virtex-II データシート、および [タイミング バジレット](#) を参照してください。

## アドレス パス

アドレス パス モジュールは、メモリ デバイスのバースト モードによって変わりますが、ここでは、DDR で動作する 2 ワード バースト モードを使用します。図 15 にアドレス パス上の信号を示します。



x262\_15\_062403

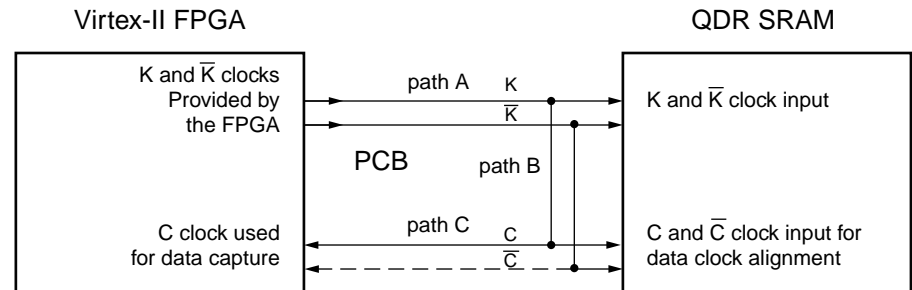
図 15: 2 ワード バースト アドレス信号

リファレンス デザインでは 512k x 18 の 9 Mb デバイスが使用され、バス幅は必要に応じて大きくすることが可能です。ここで、コントローラは 36 ビット SDR デバイスのように見えますが、コントローラとメモリ間の外部データ交換レートは 18 ビット バス幅の DDR です。分離した SDR バスを持つ I/O デバイスを使用する場合、PCB 上のトレース数は 2 減少します。

## タイミング考察

### クロック設計手法およびクロック転送

クロックをメモリに転送することによって、データを取り込む場合の clock-to-out タイミング パラメータを無視することができ、コントローラのスピード機能が向上します。また、受信側にソース同期デザインを使用することによって、読み出しバス上でデータ取り込む際のタイミングを最適化できます。図 16 にクロック設計を示します。



x262\_16\_042202

図 16: クロック設計

- パス A: クロックを転送させることによって、クロック信号はデータに対して完全にアラインされます。
- パス B: パス A とパス C を直接接続します。このトレースは、可能な限り短くする必要があります。

- パス C: このトレースは、両側に接続されています。
  - ◆メモリ側では、C および  $\overline{C}$  入力に接続され、この信号に対応してデータが送信されます。
  - ◆FPGA の入力側では、C スキュー調整クロック信号が、受信側のクロック処理のために DCM に入ります。
  - ◆メモリ メーカーは、ノイズの問題を避けるため、PCB 上では C 入力および  $\overline{C}$  入力の接続を近接させることを推奨しています。C を FPGA に配線する必要がある場合は、適切な終端になるように一般 I/O ユーザー ピンに接続されていることを確認してください。

メモ: 別の方法として、パス A は維持し、K ペア信号をパス C (C ペア) または C パスを位相シフトさせたもので駆動する方法がありますが、このアプリケーション ノートでは解説していません。

#### データの送受信

各メモリ メーカーは C と読み出しバス上でのデータ位置についての関係を保証しているため、FPGA 内部でのデータ取り込みには、スキュー調整クロック C 信号が使用されます。クロックの位相シフトによって、スキュー調整クロックおよびデータ有効ウィンドウは、中央になります。

#### 初期化

QDR SRAM の動作は、その他の SRAM と類似しており、いくつかのデバイスにはエコー クロック機能があります。この機能を持つデバイスには、オンチップに組み込まれた Delay-Locked Loop (DLL) があり、電源投入時に、クロック回路をロックし、すべてのレベルを安定させるための遅延が必要です。リファレンス デザインでは、エコー クロック機能を持たない QDR SRAM が使用されています。また、すべてのクロック信号は、ソース同期デザインとなるように使用されています。FPGA では、電源投入後に、リセットおよび DCM がロック状態になるまで待つ必要があります。メモリおよび Virtex-II デバイスの場合、このために要する時間は 0.1 秒以下です。

### タイミング バジレット

アプリケーション ノート XAPP259 『システム インターフェイス タイミング パラメータ』には、このセクションで説明するすべてのタイミング パラメータについての概要が記載されています。

#### 送信側インターフェイス

データは、DDR モードで書き込みバスに送信され、メモリに書き込まれます。このデータは K ペアに対して中央にアラインされ、K ペアはメモリに転送されます。また、FPGA のクロック ツリー スキューおよびパッケージ スキューによって、データ有効ウィンドウ幅がわずかに減少します。表 5 にタイミング解析パラメータを示します。

表 5: QDR x36 送信側のタイミング バジレット

XC2V1000 - 5 FF896		ワースト ケース (ps)
チャンネル間のスキュー		
クロック ツリー	$T_{CKSKREW}$	80 <sup>(1)</sup>
パッケージ	$T_{PKGSKEW}$	130 <sup>(1)</sup>
デューティ サイクルの歪み	$T_{DCD\_CLK0}$	140
ジッタの合計		200
Clkout_Phase_Offset <sup>(2)</sup>		140
タイミング バジレット合計		690

#### メモ:

1. デバイス全体のクロック ツリー スキューおよびパッケージ スキューです。メモリ インターフェイスの位置は FPGA ダイ上で限定されているため、 $T_{CKSKREW}$  および  $T_{PKGSKEW}$  は非常に小さくなります。
2. デザインでは CLK0 および CLK90 の 2 つの DCM 出力のみが使用され、ワースト ケースの場合、これらのクロック間に 140 ps の位相オフセットが設定されます。

表 6 に、ワースト ケースのタイミング バジェット マージンを示します。この表からわかるように、インターフェイス送信側のタイミングには十分な余裕があります。

表 6: データ送信のワースト ケース タイミング バジェット マージン

XC2V1000 - 5 FF896	200 MHz QDR SRAM	167 MHz QDR SRAM
有効データ ウィンドウ	$t_{VDW} = t_{T/2} - 0.69 = 2.50 - 0.69 = 1.81 \text{ ns}$	$t_{VDW} = t_{T/2} - 0.69 = 3.00 - 0.69 = 2.31 \text{ ns}$
メモリ サンプル ウィンドウ	$t_{MSW} = t_{DVKH\_200} + t_{KHDX\_200}$ $= 0.60 + 0.60 = 1.20 \text{ ns}$	$t_{MSW} = t_{DVKH\_167} + t_{KHDX\_167}$ $= 0.70 + 0.70 = 1.40 \text{ ns}$
タイミング バジェット マージン	$t_{VDW} - t_{MSW} = 1.81 - 1.20 = 0.61 \text{ ns}$	$t_{VDW} - t_{MSW} = 2.31 - 1.40 = 0.91 \text{ ns}$
メモ: $t_{T/2} = 1/2$ クロック周期 $t_{DVKH\_200} = 0.6 \text{ ns}$ , $t_{DVKH\_167} = 0.7 \text{ ns}$ $t_{KHDX\_200} = 0.6 \text{ ns}$ , $t_{KHDX\_167} = 0.7 \text{ ns}$		

### 受信側インターフェイス

受信側で必要となるタイミングを決定するためには、Virtex-II/Pro データシート (モジュール 3) またはウェブ上のインタラクティブ データ シートに記載されている pin-to-pin ソース同期タイミング値を使用してください。タイミング計算は、ワースト ケース タイミング パラメータを使用して行います。タイミング マージンを大きくするためには、より正確なタイミング パラメータ値を使用する必要があります。

表 7 は、ソース同期に関するデータシートに記載されている pin-to-pin のセットアップ時間およびホールド時間パラメータの概要です。この表に記載されたデータは変更になる場合があるため、最新データについては、データシートを参照してください。

表 7: ソース同期タイミング概要

Virtex-II スピードグレード	-6		-5		-4		単位
ソース同期	$t_{PSDCM}$	$t_{PHDCM}$	$t_{PSDCM}$	$t_{PHDCM}$	$t_{PSDCM}$	$t_{PHDCM}$	ns
	TBD <sup>(1)</sup>	TBD <sup>(1)</sup>	0.62	0.08	TBD <sup>(1)</sup>	TBD <sup>(1)</sup>	
ソース同期の サンプル ウィンドウ	TBD <sup>(1)</sup>		500.00		TBD <sup>(1)</sup>		ps
HSTL 用の修正値 <sup>(2)</sup>	0.42		0.42		0.48		ns

### メモ:

- 最新のデータについては、ソース同期に関するデータシートを参照してください。
- $t_{PSDCM}$  および  $t_{PHDCM}$  の値は、インタラクティブ データシートに記載されているものであり、LVTTTL 12mA クロック入力を前提としています。クロック入力異なる場合、クロック入力標準に対する修正パラメータを追加する必要があります。

### データ取り込みの DCM 位相シフト値

Virtex-II データシートには、-5 スピード グレードの場合のサンプル ウィンドウは 500 ps であると記載されています。このパラメータは、電圧、温度、テクノロジー移行、および DCM ジッタを考慮して計算した Virtex-II DDR 入力レジスタのサンプリング エラーの合計を示します。ただし、パッケージ スキューまたはクロック ツリー スキューは含まれません。

### 内部クロック位相シフト解析

- SRAM メモリ メーカーは、C クロック エッジ後にデータ  $t_{CHQV}$  を使用できることを保証しています (ワースト ケース)。
- QDR SRAM データバスは、クロック エッジ後に最低  $t_{CHQX}$  の間、ビジー状態になります。



- 上記の2点を考慮すると、データは  $t_{CHQV}$  と  $t_{CHQX}$  間から有効になります。また、平均値は  $t_{CHQV_{avg}} = (t_{CHQV} - t_{CHQX})/2$  で求められます。
- FPGA 入力で C クロックおよびデータをアラインする場合、C の遅延は  $t_{CHQX} + t_{CHQV_{avg}}$  となります。
- データは、データ有効ウィンドウの中央で取り込まれます。C クロックの  $90^\circ$  位相シフト  $t_{90PS}$  を使用すると、理論的にデータ有効ウィンドウの中央で取り込むことができます。この場合の遅延は  $t_{CHQX} + t_{CHQV_{avg}} + t_{90PS}$  です。
- データ取り込みインスタントをサンプルウィンドウの中央にします。FPGA 内部でデータを取り込む場合の C の遅延は次のようになります。

また、FPGA 内部の C 位相シフトの遅延合計は次のようになります。

$$t_{PHASESHIFT} = t_{CHQX} + t_{CHQV_{avg}} + t_{90PS} + t_{MSW}$$

表 8 に受信側で必要となる追加遅延を示します。クロックに遅延が必要であるため、DCM では負の位相シフトを行います。

表 8: C クロックの遅延値

デバイス	XC2V1000 FF896			単位	
	スピード グレード	-6	-5		-4
100 MHz		4.87	4.87	4.93	ns
133 MHz		4.25	4.25	4.31	ns
167 MHz		3.62	3.62	3.68	ns
200 MHz		3.12	3.12	3.18 <sup>(1)</sup>	ns

メモ:

1. これらの高速デバイスの I/O スイッチ特性により、200 MHz で動作する Virtex-II -4 スピードグレード デバイスを初期の QDR SRAM デバイスに使用しないでください。

### データ取り込みのタイミング バジレット マージン計算

Virtex-II データ シートのソース同期に関するセクションには、サンプル ウィンドウは  $t_{SAMP} = 500$  ps であると記載されています。このパラメータは、電圧、温度またはテクノロジー移行を考慮して計算された Virtex-II DDR 入力レジスタのサンプリング エラー合計を示します。また、テスト測定方法では DCM を使用して DDR 入力レジスタのエッジで起こる動作を取り込みます。

測定には、次が含まれます。

- CLK0 および CLK180 DCM ジッタ
- ワorst ケースのデューティ サイクルの歪み
- DCM の精密度 (位相オフセット)
- DCM 位相シフトの精度

ソース同期の値を使用する場合は、DCM をソース同期モードに設定する必要があります。UCF ファイルの構文例は、次のようになります。

```
INST "DCM_NAME" DESKEW_ADJUST = SOURCE_SYNCHRONOUS;
```

測定には、パッケージ スキューまたはクロック ツリー スキューは含まれません。表 9 に最大データ バス幅が 36 のデバイスに対して、2つの異なるパッケージを使用する場合のタイミング バジレット解析を示します。FPGA のスピード グレードは、これらの値に大きな影響を与えます。また、Virtex-II Pro デバイスで使用可能な CLK0 およびローカル クロック反転させた CLK180 は使用しないものとします。

表 9: 166.67 MHz クロック周波数での QDR x36 受信側タイミング バジエット

デバイス : XC2V1000 FF896				
パラメータ	QDR 200	QDR 167	単位	説明
T <sub>CLOCK</sub>	5000	6000	ps	T/2 は、タイミング バジエット計算に使用
T <sub>MEMORY_VDW_UNCERTAINTIES</sub>	1200	1300	ps	1.3 ns VDW QDR 200 の場合 メモリのデータシートを参照
T <sub>MEMORY_DLL_DUTY_CYCLE_DIST</sub>	t <sub>DSW</sub> = 140	t <sub>PDDCM</sub> - t <sub>PHDCM</sub> = 1402	ps	DCM 出力における送信側 DCD
T <sub>JITTER</sub>	300 <sup>(2)</sup>	300 <sup>(2)</sup>	ps	DCM 出力における送信側ジッタ
T <sub>PACKAGE_SKEW</sub>	130 <sup>(1)</sup>	130 <sup>(1)</sup>	ps	XC2V1000 FF896 のワースト ケース パッケージ スキュー
T <sub>GLOBAL_CLOCK_SKEW</sub>	100 <sup>(1)</sup>	100 <sup>(1)</sup>	ps	XC2V1000 FF896 のワースト ケース クロック スキュー
T <sub>PCB_LAYOUT_SKEW</sub>	0	0	ps	PCB デザインによって異なる
T <sub>DCM_LOCK</sub>	0	0	ps	T <sub>SAMP</sub> に含まれる DCM 位相シフト設定精度
T <sub>SAMP</sub>	500	500	ps	データ取り込みのタイミング バジエット マー ジン計算に記載されているテスト測定を参照
DVW マージン	130	530	ps	

メモ :

1. デバイス全体のクロック ツリー スキューおよびパッケージ スキューです。
2. この値には、送信 DCM で発生するジッタも含まれます。
3. t<sub>T/2</sub> = 1/2 クロック周期であり、t<sub>CHQZ\_200</sub> = 2.2 ns、t<sub>CHQX\_200</sub> = 1.0 ns となります。

データ有効ウィンドウはメモリ メーカーによって指定されています。

$$t_{VDW167} = t_{T/2} - t_{CHQZ\_167} + t_{CHQX\_167}$$

このインターフェイスは、200 MHz クロックの 4 ワード バースト高速デバイスで使用できます。この場合、Virtex-II -5 スピード グレード またはより高速なデバイスでは、適切な HSTL I/O スイッチング動作が可能です。

メモリ デバイスによって送信されるデータのデータ有効ウィンドウは、次のとおりです。

$$t_{VDW200} = t_{T/2} - t_{CHQZ\_200} + t_{CHQX\_200} = 1.30 \text{ ns}$$

ワースト ケースの場合も 130 ps のマージンがあります。

QDR-II SRAM デバイスではデータ有効ウィンドウが大きくなるため、これらのデバイスに接続する場合のマージンも大きくなります。

1. システム レベル タイミング 解析

システム レベル タイミング解析では、システム デザインに係るパラメータを含むデータの取り込みの解析を完全に行います。これらのパラメータは、特に PCB デザイン、ボード レベルのスキューおよびジッタに依存します。解析では、PCB のタイミング要件が有効なタイミング マージン以下であることを確認してください。

2. 内部クロック位相シフト解析

前述した方法で解析を行うためには、Virtex-II ソース同期デザインのセットアップ時間およびホールド時間がすでにわかっている必要があります。これらの値が不明な場合は、ベンチ キャリブレーションを行い、受信側のクロック位相シフト値を設定してください。また、位相シフト値の計算を始める場合に、表 8 に示された値を使用することが可能です。

## クロックドメイン変更

受信側では、最初にデータが取り込まれます。データは C クロックに対して取り込まれ、コントローラには、参照クロックとして内部 K クロックがあります。また、受信したデータは、K クロックまたはデザインのメイン クロックに対して再アラインする必要があります。

一般に、コントローラは、D フリップフロップを使用してクロックドメイン変更を行います。D フリップフロップを使用する FIFO リスト、SRL16、またはブロック RAM を使用することも可能です。ザイリンクス ISE ソフトウェアに含まれる CORE Generator を使用すると、FIFO のインプリメンテーションを容易に行えます。D フリップフロップ以外を使用する方法は、特定のアプリケーションに適していますが、リファレンス デザインでは解説していません。代替方法を使用する場合、インプリメンテーション実行中に使用される内部コンポーネントのスピード特性を検証する必要があります。ご注意ください。

この解析では、トレース ボード遅延タイミング、 $t_{BD}$  パラメータが非常に重要です。K と内部 C クロック信号の関係は、クロック周期を法として、 $t_{CDC} = t_{LOCKP}/HSTL + t_{PHASESHIFT} + 2 \times t_{BD}$  となります。また、すべての送信および受信信号のボード遅延は  $2 \times t_{BD}$  です。

たとえば、このデザインでクロック周期が 6 ns の場合、 $t_{CDC}$  は  $(1.6 + (2 \times t_{BD}))$  ns とほぼ等しくなります。

$$t_{CDC} = (2.99 + 0.21) + (1.20 + 0.68 + 1.50 + 1.00) + 2 \times t_{BD}$$

データ D0 は K に対して  $90^\circ$  位相シフトしたクロックで取り込まれ、D1 は  $270^\circ$  位相シフトしたクロックで取り込まれます。2 番目のレベルにある D フリップフロップでは、データレジスタが SDR モード（パイプラインに類似）でアラインされます。しかし、この値は一定でないため、クロックドメイン変更を適切に行うためには、クロックの再調整が必要です。 $t_{PHASESHIFT}$  の具体的な値はわかっていますが、パラメータ  $t_{BD}$  の値は不明です。この値は、ベンチキャリブレーションによって決定することができます。

## タイミング解析の概要

この例で使用しているワースト ケースの値はベスト ケースの値と大幅に異なるため、これらの値およびクロック設計手法（特にクロックドメイン変更）を再調整する必要があります。このアプリケーションノートで解説した一般的なデザインを使用すると、次のような 2 つのパフォーマンスを達成することができます。

- 従来の同期デザインは、最も容易なタイプのデザインであり、コントローラは 133 MHz で動作します。送信側に 1 つの DCM が必要ですが、この DCM を受信側でデータを取り込むために使用することも可能です。
- このアプリケーション ノートで説明したように、ソース同期デザインでは、4 ワード バースト デバイスを最高 200 MHz のスピードで使用できます。高いスピード グレードの Virtex-II デバイスを使用すると、タイミングのマージンは非常に大きくなります。

いずれの場合も、厳密なタイミング解析を行った後に、高性能なメモリ インターフェイスの設計を行ってください。また、タイミング バジェット マージンを満たすためには、最新のスピード ファイルで PCB 特性を考慮する必要があります。

## リファレンス デザインについて

リファレンス デザインは、VHDL または Verilog で次のサイトから入手できます。

<ftp://ftp.xilinx.com/pub/applications/xapp/xapp262.zip>

### リファレンス デザイン概要

- 最上位のアーキテクチャは、QDR\_burst\_2\_body に記述されています。
- アドレスパスは、Address\_burst\_2 に記述されています。
- C\_Generator は、受信側でのデータの取り込みで使用されるクロックを供給するエンティティです。

- Clk\_generator は、メモリ デバイスおよび内部ロジック用のクロックを生成するためのエンティティです。
- 受信側のデータ パスおよびクロック ドメイン変更は、Read\_burst\_2 モジュールでインプリメントされます。
- 送信側のデータ パスは、Write\_burst\_2 モジュールでインプリメントされます。
- パッケージには、リファレンス デザインのテストベンチ ファイルが含まれ、アーキテクチャ名は QDR\_Ctrl\_TB です。
- 直接的なデータ位置の検証、および QDR SRAM 用 HDL モデルとの比較には、別のテスト ベンチを使用します。
- Cypress CY7C1302 HDL モデルを使用します。
- パッケージには、シミュレーション用のスクリプト、VHDL ラップファイル、タイミング測定のスプレッドシート、および UCF ファイルも含まれます。

#### リファレンス デザインの留意点およびアドバイス

- ファンクション シミュレーションには、ModelTech ModelSim 5.7 を使用します。また、合成には Synplicity Synplify 7.3、マップと配置配線にはザイリンクス ISE 5.2I を使用します。
- I/O フリップフロップ クロック ツリーでのスキューを削減するには、同一 I/O バンクにある隣接したパッドにバスを設定することを推奨します。リファレンス デザインでは、すべての信号がバンク 6 およびバンク 7 にあります。バスのサイズが増加すると、SSO ガイドラインにしたがって、バスのインプリメンテーションに他の信号を挿入しなければならない場合があります。  
また、このデザインで、スキュー調整クロックがバンク 5 にあるように、マッピングは、システム I/O 規則にしたがって実行してください。
- デザインは、FPGA I/O の処理速度以上 (Medium エフォート レベルといくつかのタイミング制約を適用する場合、300 MHz 以上) で動作することが可能ですが、デザイン変更または FIFO バッファに使用されるリソースによっては、速度が大きく低下する場合があります。インターフェイスの設計では、クリティカル パスに適切な制約を設定してください。
- シグナル インテグリティに関する問題および Virtex-II I/O スイッチング速度を検証するには、IBIS または H-Spice シミュレーションを推奨します。

## 略記

表 10: 略記用語集

略記	説明
BST	Boundary Scan Test (IEEE 1149.9) (バウンダリ スキャン テスト)
CLB	Configurable Logic Block (構成可能論理ブロック)
DAR	Double Address Rate (ダブル アドレス レート)
DCM	Digital Clock Manager (デジタル クロック マネージャ)
DDR	Double Data Rate (ダブル データ レート)
DLL	Delay-Locked Loop (ディレイ ロック ループ)
FIFO	First In, First Out
GND	Ground (グラウンド)
HSTL	High-Speed Transceiver Logic (高速トランシーバ ロジック)
JEDEC	Joint Electron Device Engineering Council
JTAG	Join Test Action Group
PCB	Printed Circuit Board (プリント回路基板)
PLL	Phase-Locked Loop (位相ロック ループ)
QDR SRAM	Quad Data Rate Synchronous Static Random Access Memory
SAR	Single Data Rate (シングル データ レート)
SSO	Simultaneous Switching Outputs (同時スイッチ出力)
TAP	Test Access Port (テスト アクセス ポート)

## 参考文献

参考文献は次のとおりです。

1. Cypress Semiconductor Corporation 『9-Mb Pipelined SRAM with QDR Architecture CY7C1302V25』2000年3月28日、<http://www.cypress.com>
1. Xilinx Inc. 『Virtex-II Platform FPGA ハンドブック』バージョン 1.3、2001年12月、[www.xilinx.com](http://www.xilinx.com)
1. Xilinx Inc. 『Virtex-II プラットフォーム FPGA データシート』DS031-1 (rev 1.7)、DS031-2 (Rev 1.9)、DS031-3 (Rev 2.0)、DS031-4 (Rev 1.6)、2001年11月、[www.xilinx.com](http://www.xilinx.com)
1. Xilinx Inc. 『Virtex SelectI/O™ 機能の使用』アプリケーション ノート XAPP133 バージョン 2.5、2000年9月7日、<http://www.xilinx.com/xapp/xapp133.pdf>
1. Xilinx Inc. 『システム インターフェイス タイミング パラメータ』アプリケーション ノート XAPP259 バージョン 1.0、2003年4月、<http://www.xilinx.com/xapp/xapp259.pdf>

また、QDR SRAM に関する詳細は、次のサイトから QDR 共同開発チームのウェブ ページを参照してください。<http://www.qdrsram.com>。QDR 共同開発チームのメモリ メーカーは、次のとおりです。

Cypress Semiconductor Corporation、<http://www.cypress.com>

HITACHI, Ltd., <http://semiconductor.hitachi.com/memory.html>

Integrated Device Technology, Inc., <http://www.idt.com>

NEC Corporation、[http://www.ic.nec.co.jp/memory/index\\_e.html](http://www.ic.nec.co.jp/memory/index_e.html)

SAMSUNG Electronics Company, Inc., <http://www.samsungelectronics.com>

## おわりに

このアプリケーション ノートでは、QDR デバイスを Virtex-II FPGA で使用し、最高のパフォーマンスを達成するためのガイドラインを示しました。タイミング解析セクションで説明したように、Virtex-II デバイスは DDR400 QDR までのインターフェイスをサポートします。リファレンス デザインでは、Virtex-II を使用した高性能コントローラの構築を取り上げ、QDR II SRAM インターフェイス設計の開始点を示しています。また、リファレンス デザイン パッケージには、パフォーマンス要求を満たした設計を行うための DDR I/O、DCM、および System I/O インターフェイスのリソースが含まれます。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
01/15/01	1.0	初版リリース
02/27/02	2.0	コードおよび文章の全体的な改正
03/28/02	2.1	図および表の変更
04/24/02	2.2	図および表の変更、Verilog サポートの追加
10/23/02	2.3	図および表の更新
12/13/02	2.4	図 6 の更新
07/02/03	2.5	図 9、図 10、図 14 および図 15 の更新。表 5 と表 6 のタイミング数を最新版に更新。Micron 社の商標を削除。リファレンス デザインの更新
08/29/03	2.6	参考資料の追加。タイミング バジェットを更新。リファレンス デザインの更新