



XAPP436 (v1.2) 2005 年 9 月 28 日

CoolRunner-II CPLD を使用した消費電力管理

概要

このアプリケーション ノートでは、Virtex™-II、Spartan™-3、Spartan™-3L FPGA を含む複数デバイスの消費電力を 1 つの CoolRunner™-II CPLD を使用して効果的に管理する方法を説明します。この内容は、バッテリーを電源とするアプリケーションをベースとして記述されています。

はじめに

デバイスは電力を必要としますが、用途により、その許容電力がより厳しい場合があります。携帯型アプリケーションでは、バッテリー電源を利用するため、当然扱いが厳しくなります。多くのデジタル デバイスは、5V、3.3V、2.5V、1.8V など動作するよう設計されていますが、もはや今日のバッテリー電圧仕様のすべてには当てはまりません。したがって、多くのボードは、1 つまたは 2 つのレギュレータを備えています。消費電力の管理には、これらのレギュレータの管理も含まれます。

CoolRunner-II CPLD は、コア電圧 1.8V で動作するよう設計されており、0.18 ミクロン コアに最適ですが、I/O ストラクチャでは、3.3V、2.5V、1.8V、1.5V がサポートされています。標準の低消費電力 CMOS として、かつ I/O は仕様範囲内で動作しますが、動作速度は上記の電圧で仕様化されています。

また、CoolRunner-II CPLD は、電圧変換器、論理回路の集約、消費電力管理ソリューションとしても最適です。これらを早期段階から実装することで、望ましい消費電力管理ができます。このアプリケーション ノートは、CoolRunner-II を使用したザイリンクス FPGA の消費電力管理に焦点を当て、携帯型機器における FPGA の使用率向上の方法を提供します。また、CoolRunner-II を使用した携帯型機器での、さまざまなケースにおける消費電力見積もりに活用できる、新たな特長を紹介します。

消費電力の計算式

CMOS デバイスの消費電力を物理的に見ると次のようになります。概略的には、ロジック ゲート出力のスイッチ速度の関係式で求められ、電圧範囲をその振幅で乗算した値に、駆動される負荷容量を乗算します。この値に静止時のリーク電流を加えたものが消費電力です。

$$\text{式 1: 総消費電力} = V(\text{VCF}) + \text{静止電流}$$

この場合の定義は次のとおりです。

V = 出力電圧の振幅

C = ロード キャパシタンス

F = ゲート出力のスイッチ周波数

静止電流 = 多くのデバイスで一定の値を示すが、無視できる場合もある

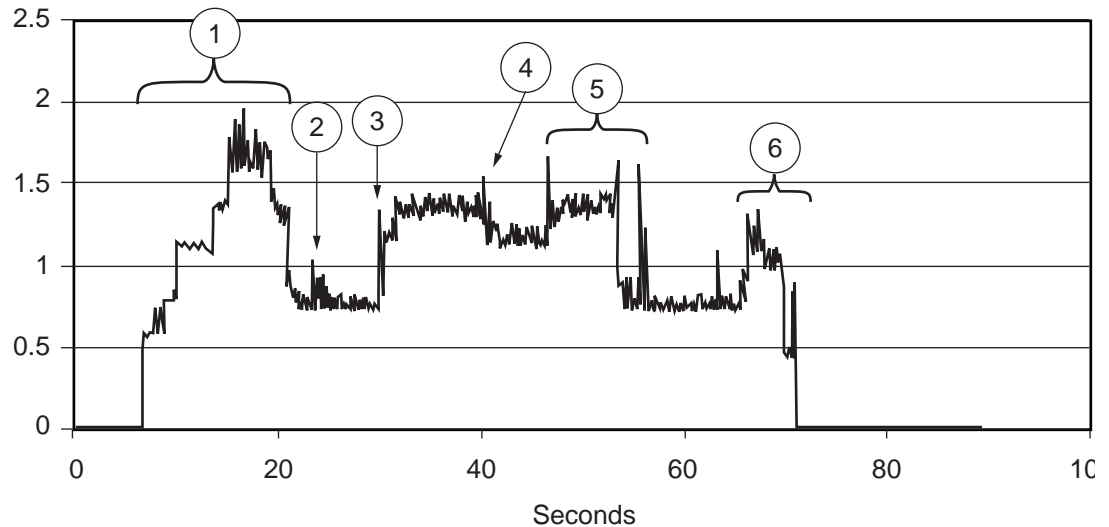
この式はガイドラインです。もともとはシンプルな CMOS インバータ用に開発されたもので、傾向はつかめるものの、どのように消費電力を削減するかについての指標を示すのみです。式 1 は、多数の CMOS 消費電力見積もりツールで使用されています。ザイリンクスでは、Excel、アプリケーション ノート、XPower ソフトウェアなど、ISE 設計ツールで使用できる消費電力概算法をいくつか提供しています。

© 2006 Xilinx, Inc. All Rights Reserved. XILINX、Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。

CoolRunner-II のソリューション

CoolRunner-II での消費電力管理の範囲は、静止電流とダイナミック電流の両方に及びます。バッテリー電源は、充電された電力をさまざまな電圧規定に合わせて貯留しておくもので、再充電できる場合もあります。バッテリー電源はそれぞれ配電の特質があります。バッテリー電源の多くは、高電流を短時間あるいは低電流を長時間に渡って配電します。当然ながら、トレード オフがあります。

Portelligent 社の実在の報告書 #116.02-031023-1d を基にして、消費電力を見てみましょう。図 1 は、ビデオおよび写真撮影機能付きの LG 社の携帯電話を使用した場合の計測値を再構成したものです。図 1 では、携帯電話のカメラを使用して撮影した場合の消費電力が確認できます。



XAPP436_0110

図 1：LG 社の携帯電話で静止画像を撮影した場合の消費電力

静止画像を撮影時の手順は次のとおりです。

1. 電源を投入し、LCD バックライトのスイッチをオンにする。
2. メニューからカメラを選択する。
3. 静止画像を撮影するという選択肢を選ぶ。
4. 写真を撮影する。
5. メインメニューに戻る。
6. 電源を切る。

グラフ内の番号は、これらの動作の番号を示します。Portelligent 社の報告書では、カメラ内のさまざまなデバイスの動きが説明されていますが、図 1 では、その合成的な消費電力が示されています。動作時には多くの値が相互に作用します。カメラ内のデバイスはそれぞれ異なるタイミングで使用される電力を受け取ります。ディスプレイ、カメラチップ、メモリはこれに含まれますが、電話をかけるなどの主な携帯電話機能は含まれていません。主な携帯電話機能に対しては、別の電力消費プロファイルで示されます。しかし、これと同様な電力消費の振る舞いは、無線や PDA、ビデオカメラ、ソフトウェア内蔵のラジオ (SDR) など広範囲に渡って見られます。3G 携帯電話では特に、新たなアプリケーションと複数帯域オペレーションにより、この形式の消費電力管理方法が主流となりつつあります。このようなシステムは、実際、火星探査機や複雑な深宇宙探査機などの、消費電力管理が非常に重要となるプロジェクトに最適です。これらすべての製品の要となるのが消費電力管理です。

次に、ASSP と CoolRunner-II CPLD、2 つの FPGA を使用した場合に話題を移します。図 2 を参照してください。ここで、これらの電圧を 5V に減圧するための LDO というマルチレギュレータに注目してください。この場合、通常のレギュレータが管理するような、バッテリー側からの減圧も可能です。

この場合の例では、2 つの FPGA が LDO を介して電源供給されていますが、ASSP は電源 FET を通じて分配された電源に接続されています。一部の FET は、許容内のチャネルドロップ、電圧の上昇、ASSP

の電源要求によって左右されます。すべての電源ソースは CoolRunner-II からのロジック信号で制御されています。この概念はとてもシンプルです。電源が入ったままの状態では、CoolRunner-II の消費電力は数マイクロアンペアのみで（スタンバイ状態）で、FPGA の電流範囲はミリアンペアとなり、ファミリーや集積度によって異なります。

この例では、150 ナノメートルの Virtex-II FPGA と 90 ナノメートルの Spartan-3 FPGA を組み合わせています。必要な電源はそれぞれ異なり、選択肢とトレードオフが説明されています。後にも説明しますが、CoolRunner-II は、FPGA に対してエクストラ パワー ダウン モードを使用し、ダイナミック消費電力が低減できるようになります。このモードによって、デバイスの電源のオンとオフ、リコンフィギュレーションを再実行するかどうか、あるいは動作中にダイナミック消費電力を削減するかの選択ができます。LDO 2 モジュールに適したレギュレータは、Texas Instruments™ 社の TPS75003 です。

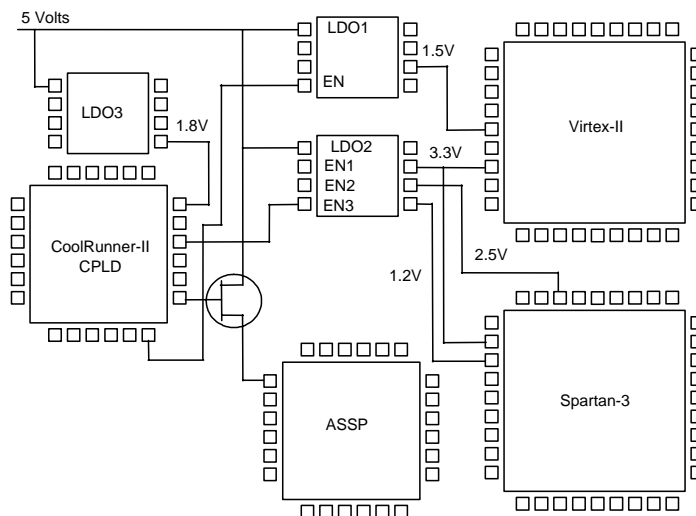


図 2：CoolRunner-II CPLD による複数デバイスの消費電力管理

Virtex-II FPGA では、電源投入時のサージ電流が抑えられていますが、高集積デバイスを使用する場合には、携帯機器の見積もり以上に電流を消費する可能性があります。各 FPGA は、必要な場合を除き、シャットダウンされます。表 1 に、Virtex-II ファミリー製品各種の静止状態の内部電流を示します。ダイナミック電流は、デバイス内の信号のスイッチレートの関数で、デザインによって異なります。消費電力は、先に説明したいずれかの方法、あるいは設計後に必要条件を計測する方法を使用して見積もることができます。その他の見積もりリソースは、本稿の最後に示します。表 2 に、近似したデータとして Spartan-3 FPGA の場合について示します。

表 1 : Virtex-II FPGA の一般的な内部静止電流

Virtex-II デバイス	一般的な内部静止電流 ¹
XC2V40	3mA
XC2V80	5mA
XC2V250	8mA
XC2V500	10mA
XC2V1000	12mA

1. 正確な最新の情報についてはデータシートを参照してください。

表 2 : Spartan-3/L FPGA の一般的な内部静止電流

Spartan-3/L デバイス	Spartan-3 の一般的な内部静止電流 ¹	Spartan-3L の一般的な内部静止電流 ¹	Spartan-3L の静止電流 ¹ 最大値 (ハイパーネットモード) ²
XC3S50	10mA		
XC3S200	20mA		
XC3S400	35mA		
XC3S1000/L	65mA	30mA	6mA
XC3S1500/L	65mA	50mA	8mA

1. 正確な最新の情報についてはデータシートを参照してください。
2. ハイパーネットモードは Spartan-3L で有効です。DS313 を参照してください。

図 3 に、時間経過に対する電流 (平均) を示します。通常、ボード上のすべてのキャパシタンスが充電されると、デバイスがコンフィギュレーションを実行し、初期化、ブートストラップなどを実行すると、初期の急な電圧変化が発生します。次に電圧が安定し、複数のデバイスの電源がオフになり、低電力モード、あるいはアプリケーションで指定されたモードに変化します。この結果では、平均的な使用電流量は、初期のサージ電流値よりも大幅に低い値を示しているため、複数デバイスの電源を同時にオフにする場合、あるいは低電力モードにする場合にメリットが考えられます。表 3 および表 4 に、最高速度でバイト幅モードの場合のコンフィギュレーション時間を示します。

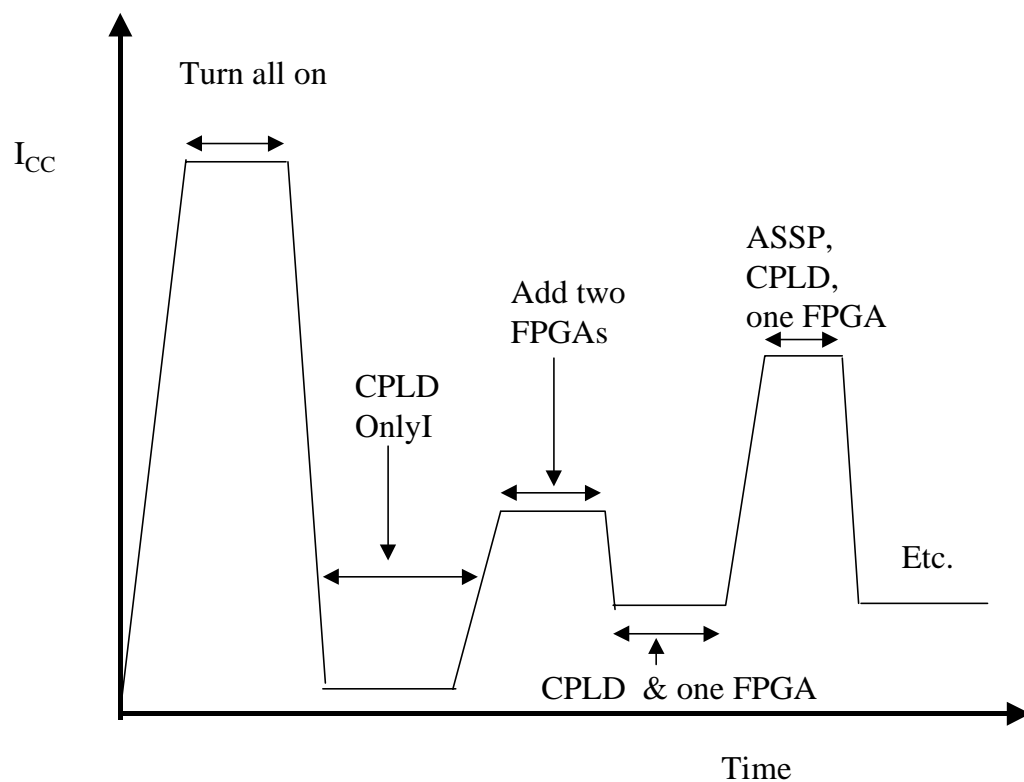


図 3： 時間に対する複数デバイスのシステムの電流リスト

表 3： Virtex-II コンフィギュレーション パラメータ

Virtex-II デバイス	コンフィギュレーション ビット	マイクロ秒で示すコンフィギュ レーション時間 (50MHz)
XC2V40	338,976	42.372
XC2V80	598,816	74.852
XC2V250	1,593,632	199.204
XC2V500	2,560,544	320.068
XC2V1000	4,082,592	510.324

表 4： Spartan-3 コンフィギュレーション パラメータ

Spartan-3 デバイス	コンフィギュレーション ビット	マイクロ秒で示すコンフィギュ レーション時間 (50MHz)
XC3S50	439,264	54.9
XC3S200	1,047,616	130.95
XC3S400	1,699,136	212.392
XC3S1000	3,223,488	402.936
XC3S1500	5,214,784	651.848

平均消費電力を削減することで、CoolRunner-II CPLD はシステムのバッテリー寿命を大幅に向上させ、携帯機器業界における FPGA の有用性に大きな柔軟性を持たせることができます。次に、CoolRunner-II DataGATE を使用した場合の更なる利点について説明します。

DataGATE

DataGATE は、CoolRunner-II CPLD が継続的に使用する電力から、不要な入力スイッチを止める目的で設計されました。新たなアプリケーションでは安全性の検証が繰り返され、DataGATE のアプリケーション ノートにその最新機能が記載されています。ただし、他のデバイスを「DataGATE する」だけという新しいアプリケーションも追加されています。

図 4 に、DataGATE がどのように機能するかを示します。メタル レール (DataGATE アサート レール) が、ピン近傍からデバイス内部を取り囲み、次の 2 つの条件に対して、信号を受信する各入力部分がパストラジスタでブロックされます。第一の条件は、DataGATE の動作を決定するピンを選択するイネーブル ビットです。第二の条件は、単純に DataGATE レールがアサートされるかどうかです。レールがアサートされ、入力を反映するピンが選択されると、レールのアサートが解除されるまでの間、デバイス内へ入力信号が伝送されないようブロックします。これは極めて単純な仕組みです。レールがアサートされると、ただちにブロックが実行されます。事前の入力レベルは自動的にラッチされるため、スタティック CMOS ロジック信号は CPLD のコアへ送られます。この信号は、リリースされるまでフリーズします。レールのリリース後、スイッチが回復します。また、図 5 に、パストラジスタがどのようにセルをイネーブルにし、すべての接続をラッチして自動的に信号をブロックし、CoolRunner-II コアへ送られる入力信号をフリーズさせるかを説明します。

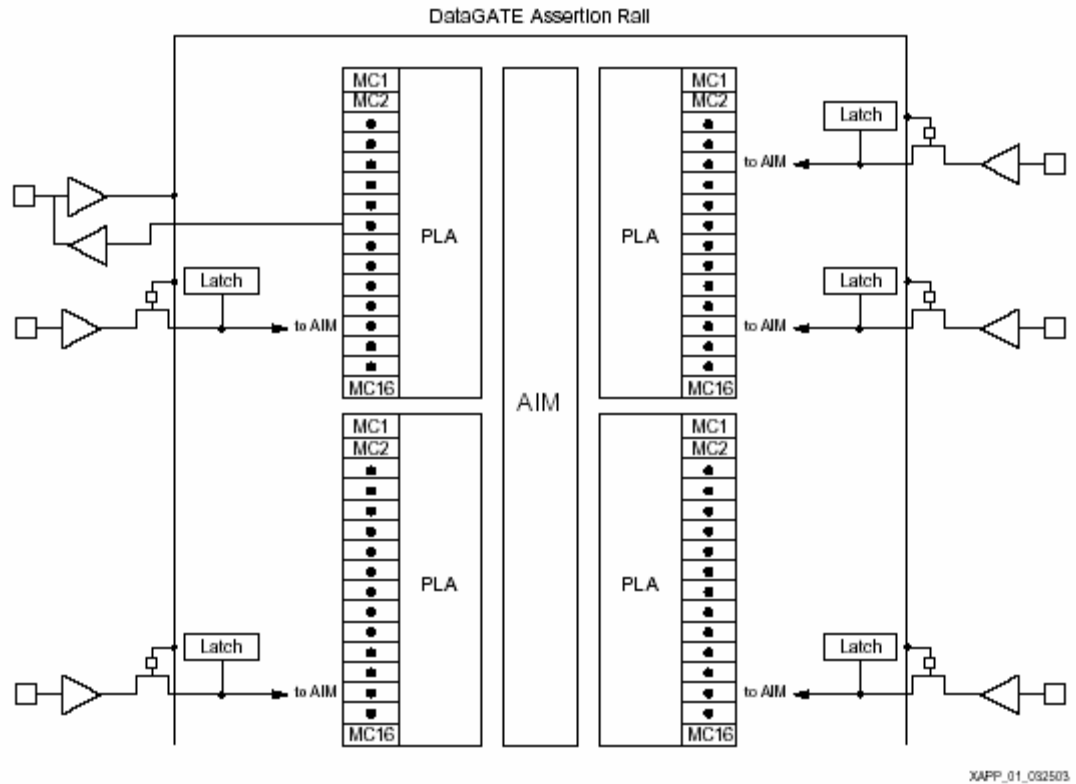


図 4 : DataGATE のアーキテクチャ

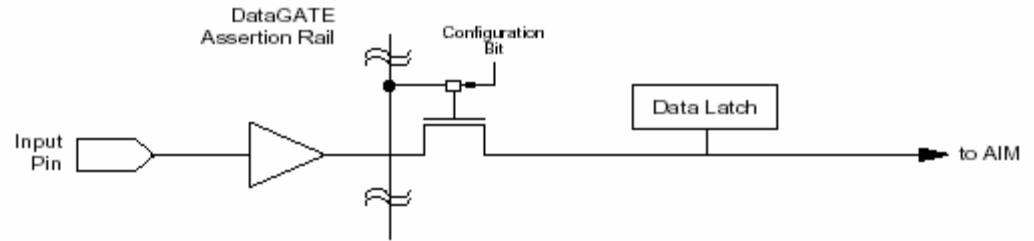


図 5：DataGATE のスイッチ メカニズム

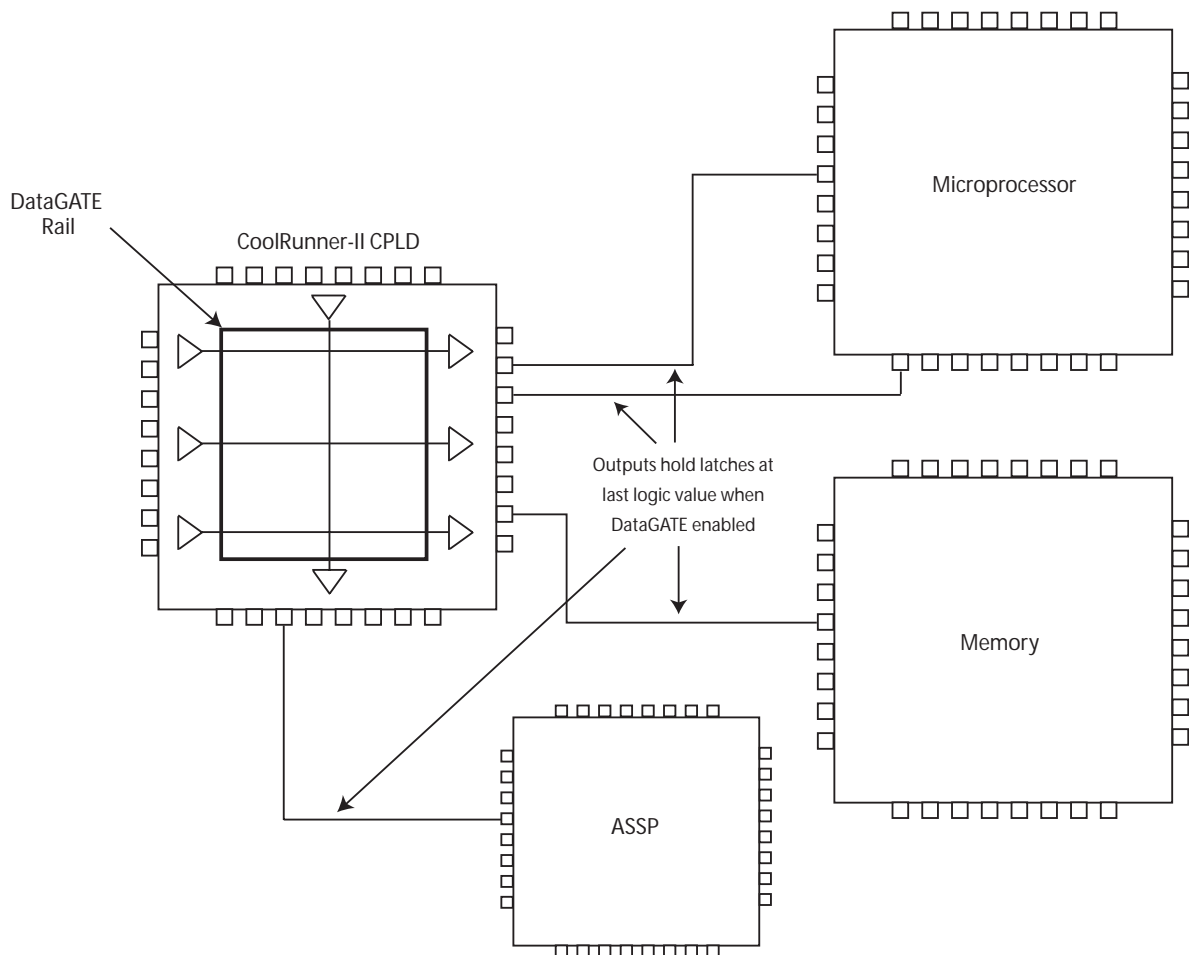


図 6：DataGATE が他のデバイスへの切り替え実行を防御

図 6 に、CoolRunner-II DataGATE のフリーズ信号から他のデバイスへ、信号がどのように通るかを図示します。この図では、信号が CoolRunner-II デバイスを通り、接続された外部のデバイスへ直接伝送されます。DataGATE がアサートされると、値は入力パッドの最後のロジック レベルで保持されます。スリー ステートから出力された信号が CoolRunner-II のピンから出力されている場合は、ウィーク キーパー回路によってそのまま High あるいは Low にプルアップまたはプルダウンされます。この機能は、DataGATE でフリーズした信号が、他の条件によりスリー ステート状態になる場合も有効です。CoolRunner-II 経由にすることで興味深い事柄は、CPLD を介してインターフェイスし、信号の電圧信号レベルを変換するデバイスとして使用できる点です。DataGATE は、しばしば発生するこれらの状況下でも有効です。

DataGATE は、128、256、384、512 マクロセルの CoolRunner-II CPLD で提供されています。この機能は、必要に応じて多数の I/O ピンに拡張できます。異なる状況下において複数グループのピンをブロックする場合には、複数の小型デバイスを使用して、デザインに応じた条件やピン数に対応させることができます。

ここで、DataGATE レールを駆動するのは何かを説明します。仕組みは単純です。ある特定の CoolRunner-II CPLD の 1 つのマクロセルが、DataGATE マクロセルとして設計されています。このマクロセルは他と同一のマクロセルで、設計者がマクロセルの駆動を設定すると、デザイン ソフトウェアでイネーブルされた場合に DataGATE 信号をアサートします。DataGATE 信号は、マクロセルがロジックを駆動するよう命令した場合にリリースされます。スイッチ入力のような単純なイベントやタイマーを駆動するコンディショナル ステート マシンのような複雑なイベント等が DataGATE マクロセルのトリガになります。設計者の構想は自由です。クロック入力など、選択した任意の入力をブロックできませんが、細心の注意を払う必要があります。すべて、あるいは一部の入力ピンをブロック、または一切の入力ピンをブロックしないこともできます。再プログラム可能な CPLD では、この機能を実験的に使用して、最良の組み合わせで信号をフリーズさせるか、どの条件下でレールをアサートおよびリリースするかを決定できます。

では、何を「フリーズ」させればよいのでしょうか。それは、システムによって異なります。一例を示します。マイクロプロセッサの初めのブートストラップでは、データバスから CPLD に頻繁にデータが送られます。これらは、メモリ範囲や I/O デバイスを選択するコンパレータに読み込むアドレス値である場合があります。レジスタの初期化後、実行前に一度、アドレスラインと比較する必要があります。データバス接続は、この後不要ですが、そのまま接続されています。DataGATE を使用すると、接続不要時の識別が可能になり、余分な I/O のスイッチングによる電力消費が省けます。DataGATE に関する詳細は、この後の参考資料の項を参照してください。

まとめ

一部詳細を省略しましたが、電源を投入した終端抵抗に、電源が与えられていない I/O ピンを接続した場合、消費電力はどのような影響を受けるでしょうか。電源を与えられたピンが電源の与えられないピンを駆動する場合、ピンごとのリーク電流はどれほど発生するでしょうか。多くの疑問に対する解答は、特定デバイスのデータシートを確認しながら、条件を特定して測定する以外にありません。ここで解説した手法が、消費電力の削減方法の選択肢を広げ、役立つことを願っています。

CoolRunner-II CPLD は、低消費電力デバイスとして設計されてきました。DataGATE を含む新機能を適切に応用することで、他のデバイス、ひいては全体の消費電力量が削減できるのです。

参考資料

Portelligent Report #116.02-031023-1d

『Estimation equation (英語版)』: <http://www.xilinx.co.jp/bvdocs/appnotes/xapp317.pdf>

『CoolRunner デザインでの低電力消費化のヒント (英語版)』: <http://www.xilinx.co.jp/bvdocs/appnotes/xapp346.pdf>

『CoolRunner CPLD 使用してプロセッサの電力消費量を減少 (英語版)』: <http://www.xilinx.co.jp/bvdocs/appnotes/xapp347.pdf>

『XPower を使用した CoolRunner XPLA3 CPLD の正確な消費電力測定 (英語版)』: <http://www.xilinx.co.jp/bvdocs/appnotes/xapp360.pdf>

『CoolRunner-II CPLD による低電力デザイン』: <http://www.xilinx.co.jp/bvdocs/appnotes/xapp377.pdf>

『CoolRunner-II CPLD への電力供給 (英語版)』: <http://www.xilinx.co.jp/bvdocs/appnotes/xapp389.pdf>

『CoolRunner-II CPLD における DataGATE の使用 (英語版)』: <http://www.xilinx.co.jp/bvdocs/appnotes/xapp395.pdf>

XPower: <http://www.xilinx.co.jp/xlnx/xebiz/designResources/>

パワー エスティメータ (Spartan) http://www.xilinx.co.jp/cgi-bin/power_tool/power_Spartan3

パワー エスティメータ (Virtex-II) http://www.xilinx.co.jp/cgi-bin/power_tool/power_Virtex2

その他の情報

[CoolRunner-II データシート、アプリケーション ノートおよびホワイト ペーパー
デバイス パッケージ](#)

[そのほかの Spartan-3 データシート、アプリケーション ノートおよびホワイト ペーパー](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2004/11/29	1.0	初版リリース
2005/03/30	1.1	サージ電力のリファレンスを修正。Spartan-3L を追加。
2005/09/28	1.2	3 ページの TI レギュレータの製品名を修正。