



XAPP451 (v1.0) 2001 年 11 月 15 日

## Spartan-II および Spartan-IIE ファミリの パワーアシスト回路

著者: Kim Goldblatt, John Rinck, Hal Sanders

### 概要

Spartan™ -II および Spartan-IIE FPGA は、パワーオン時に一定量以上の電源電流を必要とします。多くのアプリケーションでは、動作電流条件を満たす電源によって、パワーオン電流条件を満たす電流を直ちに供給できます。しかし、アプリケーションによっては、使用できる電源電流が厳しく制限され、パワーオンサージ (POS) 電流条件を満たすことが困難な場合もあります。このような場合は、大容量キャパシタといくつかの受動コンポーネントを追加すると、パワーオン仕様より少ない電源電流で Spartan-II および Spartan-IIE FPGA をパワーオンできます。このアプリケーションノートでは、このような「パワーアシスト」ソリューションについて説明します。

### はじめに

Spartan-II および Spartan-IIE FPGA は、コア電源電流 ( $I_{CCINT}$ ) が一定量以上ないと、パワーオンに成功しません。この一時的な電流は、Spartan-II および Spartan-IIE データシートのモジュール 3 にある DC 仕様セクションで最小  $I_{CCPO}$  として規定されています。これをパワーオンサージ (POS) 電流と呼ぶこともあります。Spartan-II デバイス (商業用と工業用の両方) の場合、最小  $I_{CCPO}$  はジャンクション温度が  $0^{\circ}\text{C}$  以上で  $500\text{mA}$ 、 $0^{\circ}\text{C}$  未満で  $2\text{A}$  です。Spartan-IIE デバイスの最小  $I_{CCPO}$  は、商業用デバイスで  $500\text{mA}$  です。この条件が影響するのは、FPGA のパワーオン時、つまり、コア電源電圧  $V_{CCINT}$  が推奨動作レベル (Spartan-II デバイスは  $2.5\text{V}$ 、Spartan-IIE デバイスは  $1.8\text{V}$ ) に達するまでの間だけです。これらの仕様の詳細については、アプリケーションノート [XAPP450『Spartan-II および Spartan-IIE ファミリにおけるパワーオンの必要条件』](#) を参照してください。

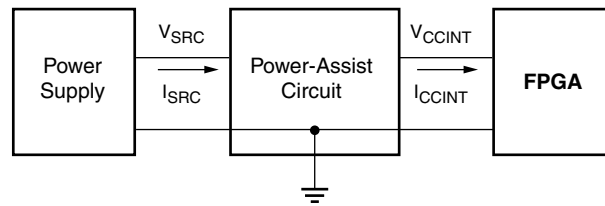
小規模な Spartan-II または Spartan-IIE デバイスを使用する場合、デザインによっては最小  $I_{CCPO}$  より少ない電流で動作することもあります。たとえば、Power Estimator Worksheet によると、ロジックの 64% が  $20\text{MHz}$  で切り替わり、16% が  $100\text{MHz}$  で切り替わる XC2S50 デザインが消費する電源電流は、約  $310\text{mA}$  です。これは、ジャンクション温度が  $0^{\circ}\text{C}$  以上の場合の最小  $I_{CCPO}$  である  $500\text{mA}$  より小さい値です。

アプリケーションの動作電流条件に合わせて電源を選択する場合、通常は動作電流より最小  $I_{CCPO}$  が大きくても問題なく対処できます。これは、多くの電源が連続出力定格よりも多くの電流を瞬間的には供給できるためです。目的の電源が瞬間的に最小  $I_{CCPO}$  を供給できるか確認することが重要です。

アプリケーションによっては、使用できる電源電流の量に厳しい制限があるため、最小  $I_{CCPO}$  の必要条件を満たすことが困難な場合があります。たとえば、電力の供給源が USB などのバスインターフェイスのみの場合があります。USB では  $250\text{mA}$  しか供給できません。このような場合は、最小  $I_{CCPO}$  より小さい電源電流で FPGA がパワーオンできるようにする、単純なキャパシタベースの「パワーアシスト」回路を追加します。このアプリケーションノートでは、何種類かのパワーアシスト回路を紹介します。

### パワーアシスト回路

パワーアシスト回路は、電源と FPGA の間に挿入します。図 1 に、2 ポートで表したパワーアシスト回路を示します。電源電圧の  $V_{SRC}$  と電源電流の  $I_{SRC}$  がパワーアシスト回路の一方のポートから入り、 $V_{CCINT}$  と  $I_{CCINT}$  がもう一方のポートから出て、FPGA に電力を供給します。テストの基準として、 $I_{SRC}$  が  $I_{CCINT}$  より小さい場合に回路が正しく動作しているものとします。



X451\_01\_110801

図 1: 2 ポート モデルのパワーアシスト回路

オプションのものを含む何種類かのコンポーネントを組み合わせて、さまざまな目的に対応するパワーアシスト回路を作成できます。パワーアシスト回路では、常に  $V_{SRC}$  とグラウンドの間に  $C_0$  という大容量のキャパシタを接続します。このキャパシタは、POS 電流の生成に必要な電荷を貯蔵するために使用されます。キャパシタが完全に充電されるまで FPGA に電力を供給しないようにするため、何らかのスイッチが必要になります。このようなスイッチは、レギュレータ イネーブル機能の形でボード上で既に有効になっている場合もあります。また、P チャネル MOSFET を使用しても、この機能を実現できます。オプションで制御回路を使用して、FPGA に供給できる電流の量を制御することもできます。これには 2 つの目的があります。第一に、 $C_0$  の容量を小さくできます。第二に、過電流保護機能が誤って動作することが避けられます。これについては、アプリケーションノート XAPP450 の「過電流保護回路がある場合の FPGA の使用」を参照してください。多くの場合、目的の制御効果は、FPGA への電源パス内で既に使用しているコンポーネントの特性によって達成できます。たとえば、多くのレギュレータには電源電流を制限する短絡電流特性があります。また、飽和状態の P チャネル MOSFET を電源パスに挿入することによっても、電流を制限できます。

## レギュレータを使用するパワーアシスト回路

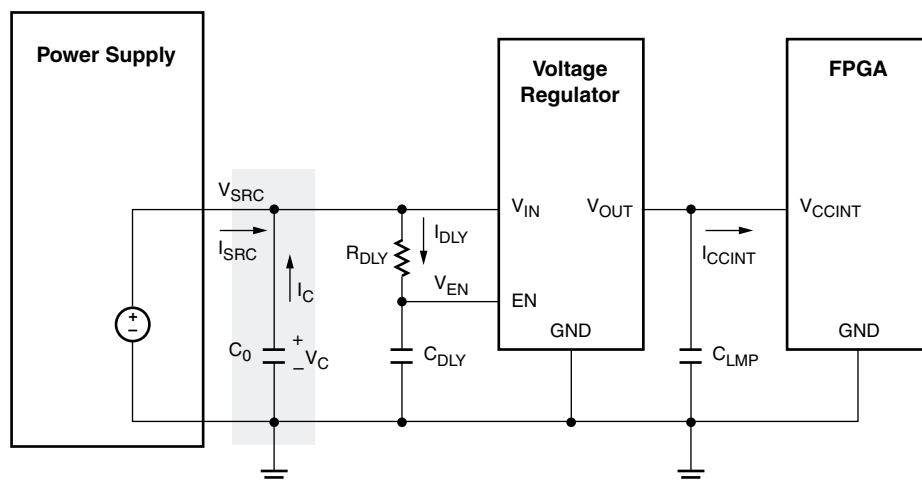
多くのボードは、レギュレータを使用して、電源電圧を高いレベル (3.3V または 5.0V) から  $V_{CCINT}$  の推奨動作レベル (Spartan-II デバイスは 2.5V、Spartan-IIE デバイスは 1.8V) に下げます。このセクションでは、 $C_0$  とレギュレータを使用するパワーアシスト回路について詳しく説明します。

ボードにレギュレータがあると、2 つの重要な利点が得られます。第一に、シャットダウン機能などのイネーブル機能があるレギュレータを使用できるということです。イネーブル機能を使用すると、 $C_0$  が完全に充電されるまで FPGA への電力供給を遅らせることができます。第二に、最大短絡電流の制限があると、 $C_0$  の容量を無理のない値に保つことができます。専用のスイッチが不要になり、容量が小さいキャパシタの方が安価なので、どちらの利点もパワーアシスト回路のコストを削減します。

入力と出力の電圧 (一般に 0.8 ~ 3.0V) にあまり差がないので、通常はロードドロップアウト (LDO) タイプのレギュレータが使用されます。FPGA のパワーオン仕様に準拠するため、レギュレータの短絡電流特性は、最小限の値が最小  $I_{CCPO}$  を越える必要があります。レギュレータのデータシートに短絡電流が記載されていない場合、代わりに最小連続出力電流を使用します。この値を使用すると、より控えめな評価になります。過電流保護機能 (フォールドバックなど) があると POS 期間中に FPGA に電流を供給しなくなる可能性があるため、このような機能がないレギュレータが適しています。詳細については、アプリケーションノート XAPP450 の「レギュレータの選択」を参照してください。

レギュレータがオンになるのを遅延させるため、レギュレータのイネーブル入力に  $R_{DLY}$  という抵抗と  $C_{DLY}$  という 2 番目のキャパシタを接続します。

図 2 に、回路図を示します。左側には、 $V_{SRC}$  という電圧で  $I_{SRC}$  という電流を供給する電源があります。以下の例では、3.3V および 5.0V という 2 種類の  $V_{SRC}$  について計算を行います。 $I_{SRC}$  の最大値は、商業用の最小  $I_{CCPO}$  (500mA) より十分に小さい値である 60mA とします。 $I_{SRC}$  は、レギュレータの入力に電流を供給するだけでなく、 $C_0$  と  $R_{DLY}C_{DLY}$  ネットを充電します。 $R_{DLY}$  と  $C_{DLY}$  の間にあるノードの電圧は、 $C_0$  が充電されるとイネーブル入力 (EN) が High になり、レギュレータがオンになるように、時間をかけて上昇します。

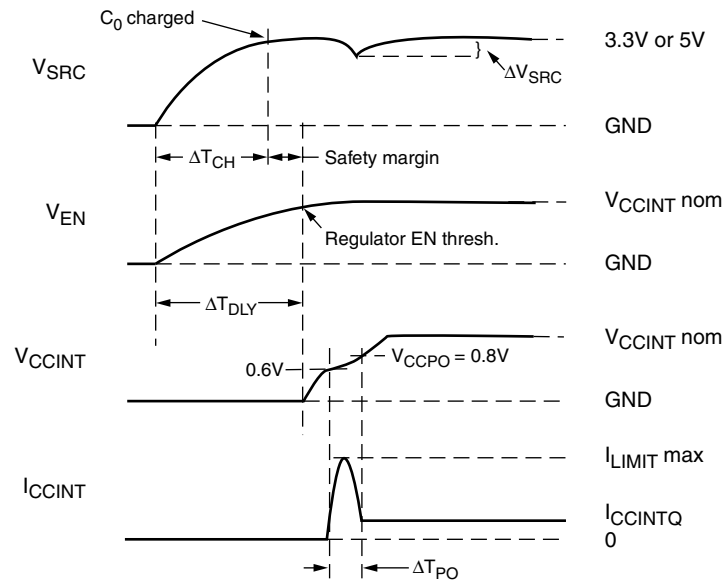


X451\_02\_111501

図 2: レギュレータ ベースのパワーアシスト回路の回路図

レギュレータの出力は、右側にある FPGA の  $V_{CCINT}$  ピンに直接  $I_{CCINT}$  という電流を供給します。レギュレータの出力には、 $C_{LMP}$  も接続しています。このキャパシタには、レギュレータの出力の安定化、ボードの浮遊容量への対応、FPGA のデカップリングという 3 種類の異なる役割があります。

図 3 に、レギュレータ ベースのパワーアシスト回路で予想される波形を示します。 $V_{CCINT}$  の標準レベルは、Spartan-II ファミリが 2.5V、Spartan-II E ファミリが 1.8 V です。電源をオンにすると、 $V_{SRC}$  が上昇し、 $C_0$  と  $C_{DLY}$  が充電されます。また、これより遅い速度で EN の電圧も上昇します。この速度は、 $R_{DLY}C_{DLY}$  の時定数によって決定されます。電圧が EN のスイッチングしきい値を超えると、レギュレータがオンになり、 $V_{CCINT}$  が上昇を始めます。 $V_{CCINT}$  が約 0.6V になると、FPGA に POS 電流が流れ始めます。そして、 $C_0$  が放電して、 $I_{CCINT}$  のパワーオン電流のピークになるように、レギュレータについて規定される最大短絡電流と等しい電流が  $I_{SRC}$  に追加されます。同時に、 $V_{SRC}$  が  $\Delta V_{SRC}$  だけ下降します。使用できる電源電流が比較的小さい量に制限される場合は、 $V_{CCINT}$  が横ばい状態になることもあります。



X451\_03\_111501

図 3: レギュレータ ベースのパワーアシスト回路の波形

FPGA がパワーオンのために十分なエネルギーを受け取ると、 $V_{CCINT}$  が 0.8V になり、 $I_{CCINT}$  はスタンバイ レベル ( $I_{CCINTQ}$ ) に下降します。最後に、 $V_{CCINT}$  が推奨標準レベルになり、パワーオンが成功します。

## レギュレータ ベースのパワー アシスト回路の テスト

レギュレータ ベースのパワーアシスト回路を評価するためのボードを作成しました。このアプリケーション ノートで説明するすべてのテストに、このボードを使用しています。このボードは、XC2S150 FPGA、Maxim 社の MAX1818 2.5V 500mA LDO レギュレータ、大容量キャパシタ ( $C_0$ ) などの基本的なコンポーネントから構成されており、これらは図 2 に示したように接続されています。以下の例で示すすべての回路と公式は、Spartan-II デバイスだけでなく Spartan-IIe デバイスにも適用されます。さらに、Spartan-II のテスト ボードによる測定結果は、Spartan-IIe ベースのパワーアシスト回路の結果と同じようになります。この 2 つのファミリーでパワーオン動作に違いがある場合は、それについて説明します。

パワーアシスト回路の効果を正確に測定するには、電源から FPGA への電流を厳しく制限することが重要です。このテストでは通常テスト用電源を使用してボードに電力を供給しましたが、電源の可変電流制御機能は信頼していません。一般に、このような制御は効果が現れるまでに数百マイクロ秒かかりますが、この間にパワーオンサージ (POS) 期間が過ぎてしまう可能性があり、そうなると、電流を制御しても意図した効果が得られません。このため、電源の制御機能は使用せず、2 つのレギュレータから作成した特別な電流制御回路をテスト用電源とパワーアシスト回路の間に配置しました。

このセクションで説明する初めの測定では、この電流制御回路を 60mA に設定して、それ以上の電流がパワーアシスト回路に流れないようにしました。また、初めの測定では、 $C_0$  の値として 2600  $\mu$ F を使用しました。すべての測定は、25°C という周囲温度で行いました。図 4 に、テスト設備の写真を示します。

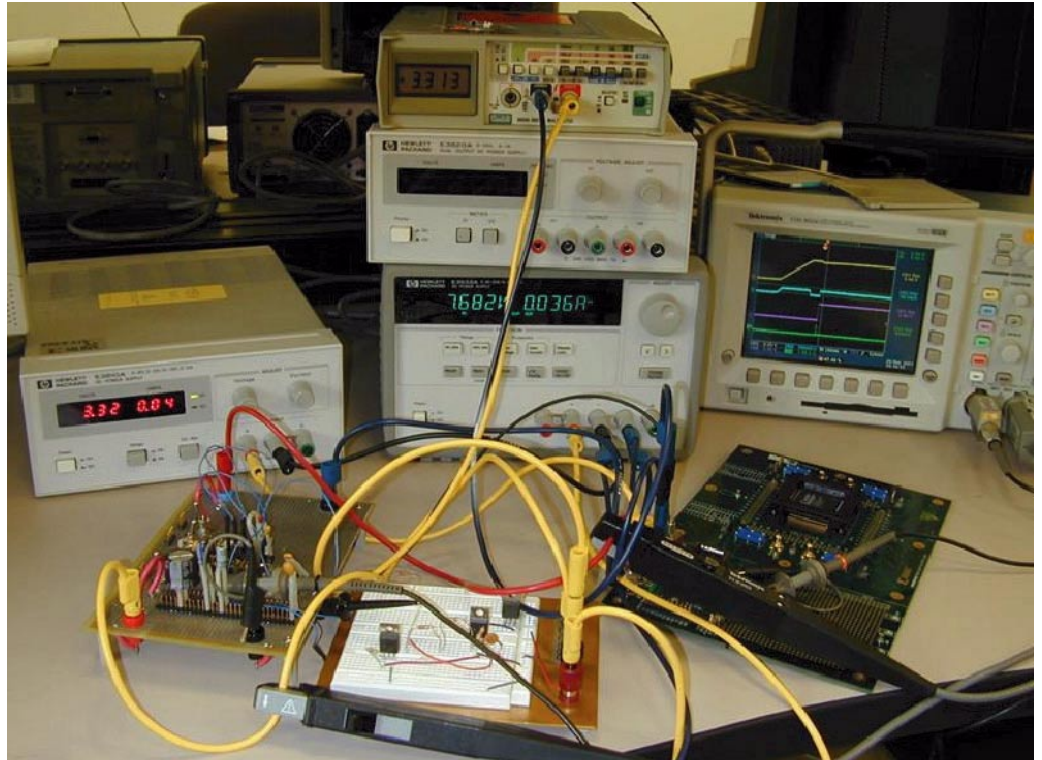
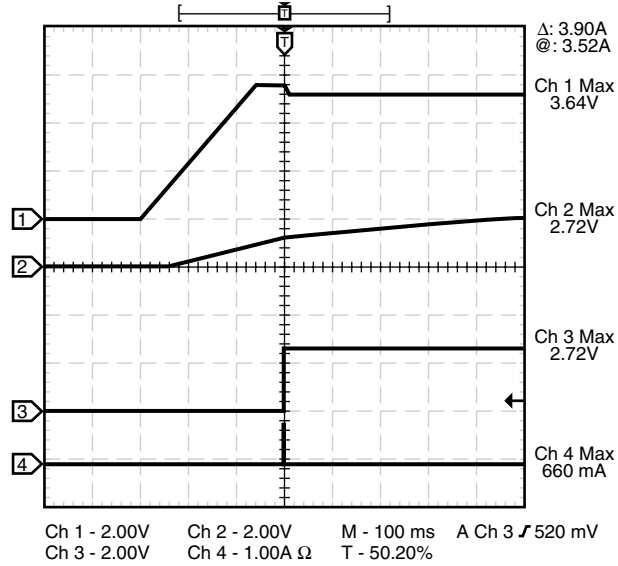


図 4: パワーアシスト回路のテスト設備

図 5 に、テスト ボードからキャプチャした波形を示します。このオシロスコープの出力は、図 3 に示した波形を再現しようとしたものです。信号は、上から順に  $V_{SRC}$ 、 $V_{EN}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$  です。電源電圧  $V_{SRC}$  が上昇すると、 $C_0$  が充電されます。レギュレータのイネーブルピンの電圧  $V_{EN}$  は、遅い速度で  $V_{SRC}$  と同じように上昇します。 $V_{EN}$  が十分に大きくなって (約 1.6V) レギュレータをオンにできるようになると、 $V_{CCINT}$  の上昇が始まり、FPGA に POS 電流が流れます。 $I_{CCINT}$  のサージ期間は非常に短く、図では中央にある垂直のグリッド線で隠されています。



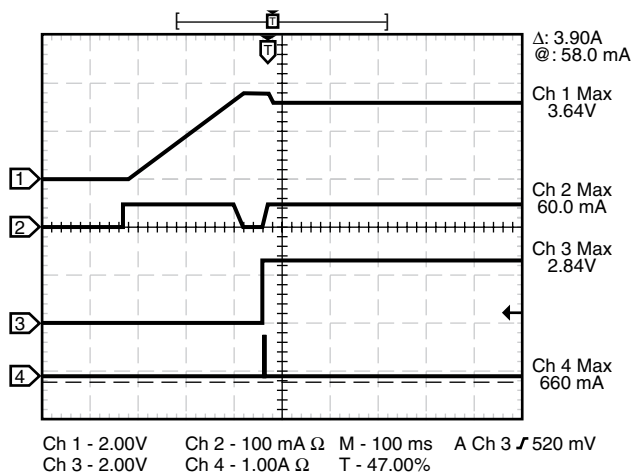
X451\_05\_101801

デバイス	$T_A$ (°C)	使用できる電流 (mA)	$C_0$ ( $\mu$ F)	信号 (上から下)
XC2S150	25	60	2,600	$V_{SRC}$ 、 $V_{EN}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$

図 5: レギュレータ ベースのパワーアシスト回路をオシロスコープで測定した波形



図 6 に示した波形は、上から 2 番目の  $V_{EN}$  が  $I_{SRC}$  に変わっていることを除いて、図 5 と同じです。この波形は、1 ページの「パワーアシスト回路」で紹介した 2 ポート モデルの入力と出力における電流と電圧を示しています。 $V_{SRC}$  が上昇すると、電源が 60mA という  $I_{SRC}$  を供給して、 $C_0$  が充電されます。これは、動作上の制限による可能な最大電流です。 $V_{SRC}$  が 3.3V になると、 $C_0$  が完全に充電され、 $I_{SRC}$  が 0 になります。レギュレータがオンになると、電源は FPGA に対して 60mA の電流を供給します。



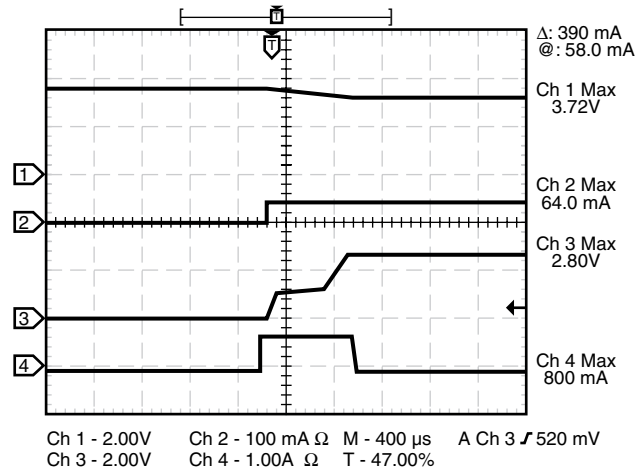
X451\_06\_091001

デバイス	$T_A$ (°C)	使用できる電流 (mA)	$C_0$ ( $\mu F$ )	信号 (上から下)
XC2S150	25	60	2,600	$V_{SRC}$ 、 $I_{SRC}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$

図 6: 2 ポート モデルのレギュレータ ベースのパワーアシスト回路による波形

電源からは 60mA の電流しか供給されませんが、POS 期間中は FPGA に約 660mA の電流が流れます。追加された電流は、 $C_0$  のみから流れたものです。この 2 つの電流レベルは、 $I_{SRC}$  が  $I_{CCINT}$  より小さいというパワーアシスト回路の動作基準を満たしています。したがって、このパワーアシスト回路は、期待どおりに動作しています。また、POS 期間中の  $V_{SRC}$  の下降は 0.2V 以内なので、 $C_0$  が 2600  $\mu F$  より小さい場合でも十分な結果が得られると考えられます。

図 7 は、図 6 の波形を拡大したものです。V<sub>CCINT</sub> が、約 0.6V で横ばい状態になっています。これは、60mA という電流制限によるものです。FPGA に POS 電流が流れるのは、このような横ばい状態の間だけです。横ばい状態になる前後に流れる電流は、テスト設備のキャパシタを充電します。



X451\_07\_101801

デバイス	T <sub>A</sub> (°C)	使用できる電流 (mA)	C <sub>0</sub> (μF)	信号 (上から下)
XC2S150	25	60	2,600	V <sub>SRC</sub> 、I <sub>SRC</sub> 、V <sub>CCINT</sub> 、I <sub>CCINT</sub>

図 7: レギュレータ ベースのパワーアシスト回路の波形の拡大表示

## C<sub>0</sub> の値の計算

このセクションでは、その放電電流と電源から供給される電流の合計で FPGA をパワーオンできる、C<sub>0</sub> の値を計算する方法を示します。

パワーオン期間中、FPGA のインピーダンス値は非常に小さくなります。このため、レギュレータの最大短絡電流 (I<sub>LIMIT</sub>) に相当する電流を流すことができます。この電流は、電源からの電流 (I<sub>SRC</sub>) と C<sub>0</sub> からの電流 (I<sub>C</sub>) を合わせたものです。この関係は、次のように表すことができます。

$$I_{LIMIT} = I_C + I_{SRC} \quad (1)$$

I<sub>C</sub> と、C<sub>0</sub> の電圧 (V<sub>C</sub>) を時間で微分した量との間には、次のような関係があります。

$$I_C = C_0 (dV_C / dt) \quad (2)$$

C<sub>0</sub> は、POS 期間中 (ΔT<sub>PO</sub>) に電流を放出します。近似計算を行うため、dt の代わりに ΔT<sub>PO</sub> を使用します。図 2 から、V<sub>C</sub> は V<sub>SRC</sub> と同じです。これらを式 2 に代入すると、次のようになります。

$$I_C = C_0 (\Delta V_{SRC} / \Delta T_{PO}) \quad (3)$$

次に、式 1 に式 3 を代入します。

$$I_{LIMIT} = C_0 (\Delta V_{SRC} / \Delta T_{PO}) + I_{SRC} \quad (4)$$

これを C<sub>0</sub> について解くと、次のようになります。

$$C_0 = (I_{LIMIT} - I_{SRC}) (\Delta T_{PO} / \Delta V_{SRC}) \quad (5)$$

レギュレータ ベースのパワーアシスト回路では、変数の値は次のように決定されます。

I<sub>LIMIT</sub> は、レギュレータのデータシートに記載されている最大短絡電流仕様の値です。MAX1818 の I<sub>LIMIT</sub> は、MAX1818 のデータシートから転載した表 1 に示すように、1.8A です。



$I_{SRC}$  は最大電源電流で、この例では 60mA に設定しています。

$\Delta T_{PO}$  は、POS 電流が流れる期間です。多くのレギュレータは短期間であれば多くの電流を供給でき、一般に  $V_{CCINT}$  の立ち上がり時間は 2ms 以下です。この例では、立ち上がり時間を 2ms と仮定しています。POS 電流が流れる時間は常に立ち上がり時間よりも短いので、 $\Delta T_{PO}$  は控えめな値の 2ms に設定します。

$\Delta V_{SRC}$  は、 $C_0$  が放電するときに  $V_{SRC}$  が降下する最大値です。これは、次の式を使用して計算されます。

$$\Delta V_{SRC} = V_{SRC} - V_{OFFSET} - V_{CCPO} \quad (6)$$

$V_{OFFSET}$  はスイッチが存在する場合にそこで必要となる電圧です。この例ではスイッチのインプリメントにレギュレータを使用しているので、 $V_{OFFSET}$  はドロップアウト電圧になります。表 1 から、MAX1818 の場合は 360mV です。

$V_{CCPO}$  は、 $I_{CCPO}$  が流れる電圧です。これは、0.8V に設定します。式 6 で計算した  $\Delta V_{SRC}$  から、 $V_{SRC}$  は  $V_{OFFSET} + V_{CCPO}$  以上は降下しないことになります。

表 1: MAX1818 LDO レギュレータの仕様

説明	記号	パラメータ	最小	標準	最大	単位	
保証出力電流 (RMS)	$I_{OUT}$	$V_{IN} \geq 2.7V$	500	-	-	mA	
短絡電流の制限	$I_{LIMIT}$	$V_{OUT} = 0V, V_{IN} \geq 2.7V$	0.55	0.8	1.8	A	
レギュレーション時の電流制限		$V_{OUT} > \text{標準値の } 96\%, V_{IN} \geq 2.7V$	-	1.6	-	A	
ドロップアウト電圧	$V_{IN} - V_{OUT}$	$I_{OUT} = 500mA$	$V_{OUT} = 5V$	-	100	220	mV
			$V_{OUT} = 3.3V$	-	120	215	
			$V_{OUT} = 2.5V$	-	210	360	
SHDN の入力しきい値	$V_{IH}$	$2.5V < V_{IN} < 5.5V$	1.6	-	-	V	
	$V_{IL}$	$2.5V < V_{IN} < 5.5V$	-	-	0.6	V	

以下では、25°Cにおける 3.3V および 5.0V という 2 種類の電源電圧について式 5 と 6 を計算します。

$V_{SRC} = 3.3V, T_A = 25^\circ C$  の場合

$$\Delta V_{SRC} = 3.3V - 0.8V - 0.36V = 2.14V$$

$$C_0 = (1.8A - 60mA) \times 2.0ms / 2.14V = 1626 \mu F$$

$V_{SRC} = 5.0V, T_A = 25^\circ C$  の場合

$$\Delta V_{SRC} = 5.0V - 0.8V - 0.36V = 3.84V$$

$$C_0 = (1.8A - 60mA) \times 2.0ms / 3.84V = 906 \mu F$$

$V_{SRC} = 5.0V$  の場合の  $C_0$  (906  $\mu F$ ) は、式 5 の分母で  $\Delta V_{SRC}$  の値が大きくなるので、 $V_{SRC} = 3.3V$  の場合 (1626  $\mu F$ ) より小さい値になります。これは、 $V_{SRC}$  が大きい方がキャパシタにおける電圧降下が大きくなるため、少ない容量で必要なパワーオン電流を放電できるからです。上記の計算は周囲温度が 25°C の場合に有効で、温度が低い場合の容量の低下は考慮していません。この問題については、10 ページの「パワーアシスト 動作の温度変化」で説明します。

## C<sub>DLY</sub> と R<sub>DLY</sub> の値の計算

C<sub>DLY</sub> と R<sub>DLY</sub> は、C<sub>0</sub> が完全に充電されるまでレギュレータのイネーブル入力のアサートを遅らせるために使用します。電源がオンになると、C<sub>DLY</sub> は R<sub>DLY</sub> を通して充電されます。そして、C<sub>DLY</sub> における電圧 V<sub>EN</sub> が上昇し、イネーブル入力のターンオンしきい値に近づきます。C<sub>DLY</sub> と R<sub>DLY</sub> の値は、C<sub>0</sub> が完全に充電されてから V<sub>EN</sub> がイネーブル入力の V<sub>IH</sub> の最大しきい値に達するように設定する必要があります。以下の例では、V<sub>SRC</sub> の値として 3.3V を仮定しています。

初めに、C<sub>0</sub> の充電時間 ΔT<sub>CH</sub> を計算します。前のセクションの式 2 の変形を使用します。

$$\Delta T_{CH} \approx C_0 \Delta V_{SRC} / I_{SRC} \quad (7)$$

この例の値を式 7 に代入すると、次のようになります。

$$\Delta T_{CH} \approx 1626 \mu\text{F} \times 3.3\text{V} / 60\text{mA} \approx 90\text{ms}$$

実際の EN のスイッチングしきい値が規定されていないので、安全係数 T<sub>SAFE</sub> を充電時間に加えて、RC ネットで生成する必要がある遅延時間の T<sub>DLY</sub> を求めます。安全係数によって、C<sub>0</sub> が完全に充電されてからレギュレータがオンになることが保証されます。

$$T_{DLY} = \Delta T_{CH} + T_{SAFE} \quad (8)$$

この例では、T<sub>SAFE</sub> の値として 10ms を使用します。

$$T_{DLY} = 90\text{ms} + 10\text{ms} = 100\text{ms}$$

充電時間がわかったので、抵抗を通して充電されるキャパシタの電圧の時間変化を表す式を使用して、C<sub>DLY</sub> と R<sub>DLY</sub> の値を計算できます。

$$V_{EN} = V_{SRC} (1 - e^{-T_{DLY} / (R_{DLY} \cdot C_{DLY})}) \quad (9)$$

これを R<sub>DLY</sub> について解くと、次のようになります。

$$R_{DLY} = -(T_{DLY} / C_{DLY}) \times (1 / \ln(1 - V_{EN} / V_{SRC})) \quad (10)$$

C<sub>DLY</sub> の値として 4.7 μF を選択して、これまでに求めた値を式 10 に代入すると、抵抗の値は次のようになります。

$$R_{DLY} = -(100\text{ms} / 4.7 \mu\text{F}) \times (1 / \ln(1 - 1.6\text{V} / 3.3\text{V})) = 33\text{K}\Omega$$

したがって、T<sub>A</sub> = 25°C において、C<sub>DLY</sub> の値として 4.7 μF、R<sub>DLY</sub> の値として 33KΩ を選択すると、電源がオンになってから MAX1818 レギュレータが動作するまでに 100ms の遅延があり、C<sub>0</sub> が完全に充電されてから POS が発生することが保証されます。ただし、これらの値は、低温における容量の損失を考慮していません。これについては、次のセクションで検討します。

## パワーアシスト動作の温度変化

キャパシタの容量は、温度が下がると小さくなります。したがって、最低温度でも動作するように、これまでに計算した C<sub>0</sub> と C<sub>DLY</sub> の値を大きくする必要があります。

まず、C<sub>0</sub> を調整します。これを行うには、式 5 の C<sub>0</sub> の値に次の値を掛けます。

$$1 / (1 - \%C_0 / 100) \quad (11)$$

ただし、%C<sub>0</sub> は、室温から最低の動作温度環境に移動した場合の C<sub>0</sub> の減少率のパーセンテージです。C<sub>0</sub> は容量が大きいので、アルミニウム電解キャパシタを使用することが予想されます。商業用の温度範囲 (0°C 以上) の場合、このようなキャパシタの %C<sub>0</sub> は一般に約 50% です。今までの例を使用すると、V<sub>SRC</sub> = 3.3V の場合の C<sub>0</sub> の値は、式 4 から計算したように 1626 μF です (T<sub>A</sub> = 25°C の場合)。商業用の温度範囲に適した C<sub>0</sub> の値は、次のように計算されます。

$$[1 / (1 - 50 / 100)] \times 1626 \mu\text{F} = 3252 \mu\text{F}$$

C<sub>DLY</sub> についても、温度変化に対する調整が必要です。C<sub>DLY</sub> の値は、前述した計算では他の計算に使用するので、4.7 μF という値に固定して、代わりに R<sub>DLY</sub> を調整する方が簡単です。この抵抗とキャパシタによる遅延は RC 時定数の関数なので、R<sub>DLY</sub> を調整しても、C<sub>DLY</sub> を調整した場合と同じ効果が得られます。

まず、 $C_0$  を  $3252 \mu\text{F}$  に変更したので、新しい  $R_{\text{DLY}}$  の値を計算する必要があります。式 7 と 8 を使用して  $T_{\text{DLY}}$  を計算しなおすと、 $0.189\text{s}$  になります。この値を式 10 に代入すると、 $R_{\text{DLY}}$  の値として  $60.6\text{K}\Omega$  が得られます。

$C_0$  の場合と同じような調整係数を使用します。この場合は、室温から最低の動作温度環境に移動した場合の  $C_{\text{DLY}}$  の減少率を表す  $\%C_{\text{DLY}}$  を、 $\%C_0$  の代わりに使用します。

$$1/(1-\%C_{\text{DLY}}/100) \quad (12)$$

$C_{\text{DLY}}$  には、アルミニウム電解キャパシタよりも温度の影響が少ないタンタルキャパシタを使用するものとします。商業用の温度範囲における  $\%C_{\text{DLY}}$  の値は、20% であるとして、したがって、商業用の温度範囲に対応する  $R_{\text{DLY}}$  の値は次のようになります。

$$[1 / (1 - 20 / 100)] \times 60.6\text{K}\Omega = 76\text{K}\Omega$$

$\%C_0$  と  $\%C_{\text{DLY}}$  の正確な値は、キャパシタのデータシートに記載されています。

## パワーアシスト スプレッドシート

さまざまな条件における  $C_0$ 、 $C_{\text{DLY}}$ 、 $R_{\text{DLY}}$  の値を簡単に計算できるようにするため、式 5、6、10 を組み合わせてスプレッドシートを作成しました。図 8 に、商業用の温度範囲における電源の動作をモデル化するスプレッドシートを示します。文字入力ボックス入力フィールドは、黄色で示したフィールドです。 $T_{\text{PO}}$ 、 $V_{\text{CCPO}}$ 、 $I_{\text{LIMIT}}$ 、 $V_{\text{OFFSET}}$ 、 $V_{\text{EN}}$ 、 $C_{\text{DLY}}$ 、 $T_{\text{SAFE}}$ 、 $V_{\text{SRC}}$ 、 $\%C_0$ 、 $\%C_{\text{DLY}}$  が、入力フィールドとなります。これらはすべて、これまでの例で使用した値に設定されています。

FPGA Characteristics			Capacitance Decrease		
$\Delta T_{\text{po}}$ (ms)	$V_{\text{ccpo}}$ (V)		$\% C_0$	$\% C_{\text{dly}}$	
2	0.8		50	20	
Supply/Regulator Characteristics					
$I_{\text{limit}}$ (mA)	$V_{\text{offset}}$ (mV)	$V_{\text{en}}$ (V)	$C_{\text{dly}}$ ( $\mu\text{F}$ )	$T_{\text{safe}}$ (s)	
1800	360	1.6	4.7	0.01	
$V_{\text{src}}$ (V)	$\Delta V_{\text{src}}$ (V)	$I_{\text{src}}$ (mA)	$C_0$ ( $\mu\text{F}$ )	$T_{\text{ch}}$ (s)	$R_{\text{dly}}$ (KOhms)
3.3	2.14	100	3178	0.105	46
		200	2991	0.049	24
		300	2804	0.031	16
		400	2617	0.022	13
		500	N/A	N/A	N/A
5	3.84	100	1771	0.089	68
		200	1667	0.042	36
		300	1563	0.026	25
		400	1458	0.018	19
		500	N/A	N/A	N/A

図 8: 商業用コンポーネントの値を計算するスプレッドシート

出力フィールドは水色で、 $\Delta V_{\text{SRC}}$ 、 $I_{\text{SRC}}$ 、 $C_0$ 、 $T_{\text{CH}}$ 、 $R_{\text{DLY}}$  の値を示しています。 $V_{\text{SRC}}$  が  $3.3\text{V}$  の場合、 $C_0$  の範囲は  $2617 \sim 3178 \mu\text{F}$  となり、いずれも妥当な値になります。 $V_{\text{SRC}}$  が  $5.0\text{V}$  の場合は、 $C_0$  が小さくなり、 $1458 \sim 1771 \mu\text{F}$  という範囲になります。

図 9 に、工業用動作におけるコンポーネントの値を計算するスプレッドシートを示します。温度が  $-40^\circ\text{C}$  になった場合でも FPGA のパワーオンを成功させるには、 $I_{\text{CCPO}}$  が  $2\text{A}$  以上が必要です。MAX1818 では、このように大きい電流は供給できません。短い時間であれば  $2\text{A}$  を供給できる、工業用動作に対応したレギュレータを選択する必要があります。Texas Instruments 社の TPS75225Q レギュレータは、この条件を満たします。 $I_{\text{LIMIT}}$ 、 $V_{\text{OFFSET}}$ 、 $V_{\text{EN}}$  のフィールドの値は、TPS75225Q の仕様を反映したものと

です。最小動作温度が下がったので、%C<sub>0</sub> は 67% になります。残りの入力フィールドは、商業用のスプレッドシートと同じ値です。

FPGA Characteristics				Capacitance Decrease	
$\Delta T_{po}$ (ms)	V <sub>ccpo</sub> (V)			% C <sub>0</sub>	% C <sub>dly</sub>
2	0.8			67	20
<b>Supply/Regulator Characteristics</b>					
I <sub>limit</sub> (mA)	V <sub>offset</sub> (mV)	V <sub>en</sub> (V)	C <sub>dly</sub> (uF)	T <sub>safe</sub> (s)	
4500	275	2	4.7	0.01	
V <sub>src</sub> (V)	$\Delta V_{src}$ (V)	I <sub>src</sub> (mA)	C <sub>0</sub> (uF)	T <sub>ch</sub> (s)	R <sub>dly</sub> (KOhms)
3.3	2.225	330	11359	0.114	35
		660	10460	0.052	18
		990	9561	0.032	12
		1320	8662	0.022	9
		1650	7763	0.016	7
		2000	N/A	N/A	N/A
5	3.925	330	6439	0.098	56
		660	5929	0.045	29
		990	5420	0.027	19
		1320	4910	0.019	15
		1650	4401	0.013	12
		2000	N/A	N/A	N/A

図 9: 工業用コンポーネントの値を計算するスプレッドシート

図 9 から、V<sub>SRC</sub> が 3.3V の場合、C<sub>0</sub> の範囲は 7763 ~ 11359  $\mu$ F です。V<sub>SRC</sub> が 5.0V の場合は、C<sub>0</sub> が少し小さくなり、4401 ~ 6439  $\mu$ F という範囲になります。工業用の場合の値は、商業用のスプレッドシートで計算した値よりも大きくなっています。この違いの主な原因は、工業用のレギュレータでは最大短絡電流が商業用レギュレータより大きいことです。たとえば、MAX1818 では 1.8A ですが、TPS75225Q では 4.5A です。

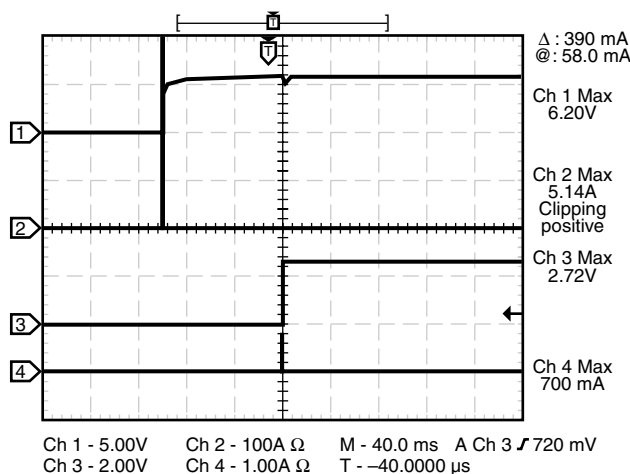
このスプレッドシートは、アプリケーション ノートのリストがある Web ページ (<http://www.xilinx.co.jp/apps/sp2eapp.htm>) からダウンロードできます。このスプレッドシートは、最小 POS 電流が必要な FPGA についてパワーアシスト回路のコンポーネントの値を計算します。一般に、V<sub>CCPO</sub> の値は、Spartan-II および Spartan-IIe デバイスの両方について 0.8V が適しています。計算結果が有効かどうかは、電源の特性と負荷の影響をモデル化したプロトタイプ ボードを使用して、さまざまな動作温度で検証する必要があります。このプロトタイプ テストの一部として、スプレッドシートの  $\Delta T_{PO}$  フィールドの入力値を検証することも重要です。さらに、C<sub>DLY</sub> を充電するときの V<sub>CCINT</sub> の立ち上がり時間が 50ms という最大仕様 (データシートの T<sub>CCPO</sub>) を超えないことを確認する必要があります。また、R<sub>DLY</sub> が小さすぎるため C<sub>0</sub> が放電するときにレギュレータのイネーブルのアサートが解除されるということがないようにする必要もあります。

## ほとんどの FPGA アプリケーションではパワーアシスト回路が不要

多くの電源は、保証される連続出力定格より多くの電流を短時間で供給できるので、I<sub>CCPO</sub> の必要条件を満たすことができます。通常、パワーオン電流が流れる時間は 1 ~ 2 ミリ秒程度です。

例として、一般向け電気製品で使用するようなコンセントに差し込むタイプの AC-DC アダプタについて検討します。次の実験では、このようなアダプタを使用して Spartan-II FPGA に電力を供給しました。前の実験と同じボード (MAX1818 ベースのパワーアシスト回路と XC2S150) を使用して、実験用の電源と電流制御回路の代わりに Coby 社の 3V アダプタを使用しました。このアダプタは、連続電流出力の定格が 300mA です。C<sub>0</sub> は 320  $\mu$ F で、すべての測定は 25°C という周囲温度で行いました。

図 10 に、POS 期間の波形をオシロスコープで測定した結果を示します。信号は、上から順に  $V_{SRC}$ 、 $I_{SRC}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$  です。電力を供給すると、直ちに  $V_{SRC}$  が上昇し、アダプタを通して 5A の  $I_{SRC}$  が流れます。この大きい電流によって  $C_0$  が充電されます。この時点ではレギュレータがオンになっていないので、FPGA には電流が流れません。FPGA に POS 電流が流れるのは、 $V_{CCINT}$  の上昇が始まってからです。これらの波形から、Coby 社のアダプタは短時間であれば連続出力定格の 17 倍の電流を供給できることがわかります。結局、このアダプタだけで FPGA の最小  $I_{CCPO}$  条件を満たすことができ、パワーアシスト回路は不要ということになります。



X451\_10\_101801

デバイス	$T_A$ (°C)	使用できる電流 (mA)	$C_0$ (μF)	信号 (上から下)
XC2S150	25	800	320	$V_{SRC}$ 、 $I_{SRC}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$

図 10: AC-DC アダプタで電力を供給したレギュレータ ベースのパワーアシスト回路

## P チャネル MOSFET を使用するパワーアシスト回路

すべてのパワーアシスト回路には、電源の最大定格出力が最小  $I_{CCPO}$  より小さい場合に FPGA をオンにできるようにするという目的があります。このような回路はすべて、パワーオン電流を貯蔵する大容量キャパシタ ( $C_0$ ) と、 $C_0$  が充電されるまで FPGA がオンにならないようにするスイッチを使用します。このスイッチは、何種類かの方法でインプリメントできます。前のセクションでは、イネーブル機能があるレギュレータを使用しました。このセクションでは P チャネル MOSFET を、次のセクションではサイリスタを使用します。

PFET ベースのパワーアシスト回路を使用する理由には、次のようなものがあります。

第一に、FPGA が必要とする電源電圧 (Spartan-II は 2.5V、Spartan-II E は 1.8V) を直接ボードに接続する場合、レギュレータを使用して DC-DC 変換を行う必要がなくなります。このような場合は、電力スイッチング機能をインプリメントするために PFET を使用する必要があります。

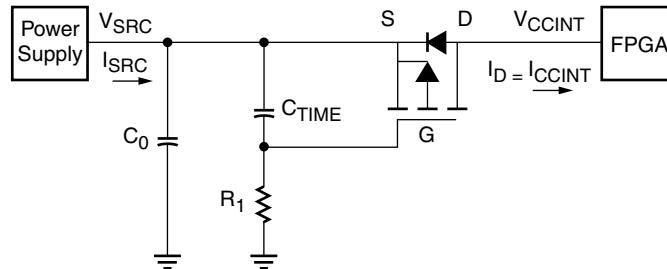
第二に、PFET は、最小  $I_{CCPO}$  の仕様と最大動作電流の必要条件に近くそれ以下ではない電流制限を設定するために使用できます。このようにすると、 $C_0$  の容量を小さくできます。さらに、過電流保護回路がボード上にある場合でも、大量の POS 電流が流れたときに電源がシャットダウンする危険を回避できます。

第三に、抵抗とキャパシタによるネットを PFET のゲートに接続すると、 $V_{CCINT}$  の立ち上がりを遅くすることができます。これは、 $V_{CCINT}$  の立ち上がり時間が 2ms 以上でなければならないという Spartan-II E デバイスの制限に対処するために役立ちます。Spartan-II デバイスには、このような制限はありません。

さまざまな種類のトランジスタを使用できますが、パワーアシスト アプリケーションには PFET が特に適しています。第一に、最大の POS 電流を扱うことができる PFET は入手が簡単です。第二に、抵抗が小さいので (約 0.05Ω)、電源ラインにおける電圧降下が少なくなります。第三に、PFET はソース電

圧 ( $V_S$ ) より低いゲート電圧 ( $V_G$ ) でオンになります。このため、 $V_{CCINT}$  以下の電圧でトランジスタのスイッチングを行うことができます。

図 11 に、PFET を使用してスイッチ機能をインプリメントするパワーアシスト回路の回路図を示します。レギュレータを使用する場合と同じように、 $C_0$  には POS 電流を生成するために必要な電荷が充電されます。PFET のソースは電源の出力 (電圧は  $V_{SRC}$ ) に、ドレインは FPGA の  $V_{CCINT}$  ピンに接続します。ゲートには、PFET をオンにするために必要な時間と  $V_{CCINT}$  の立ち上がり速度を決定する  $C_{TIME}$  と  $R_1$  を接続します。



X451\_11\_101801

図 11: PFET ベースのパワーアシスト回路の回路図

この回路の動作は、次のようになります。まず、電源がオンになると、 $C_0$  が充電され、 $V_{CCINT}$  がグラウンドポテンシャルから上昇します。初めは、 $V_{SRC}$  の電圧は大部分が  $R_1$  で降下し、 $C_{TIME}$  で降下するのはごくわずかです。したがって、ゲート電圧 ( $V_G$ ) は  $V_{SRC}$  に近く、PFET はオフになっています。 $C_{TIME}$  が充電されるにつれ、 $C_{TIME}$  における  $V_{SRC}$  の電圧降下の比率が大きくなり、 $V_G$  が低下します。 $V_{GS}$  がターンオンしきい値に達すると、PFET がオンになり、 $C_0$  が放電できるようになります。そして、放電された電流によって FPGA がパワーオンします。

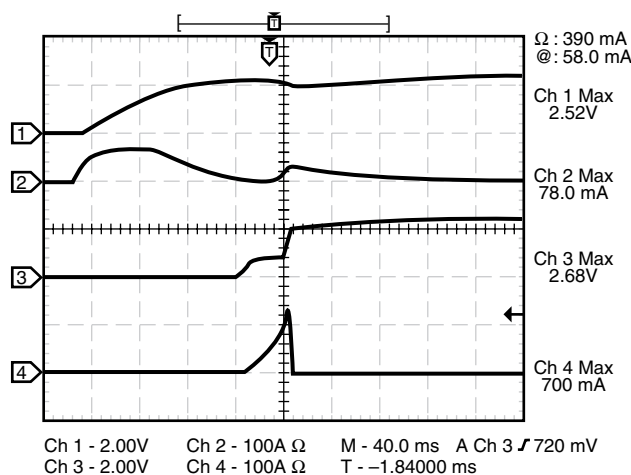
$C_0$ 、 $C_{TIME}$ 、 $R_1$  の値は、レギュレータベースのパワーアシスト回路の場合とほとんど同じ式を使用して計算できます。 $C_{TIME}$  と  $R_1$  は  $C_{DLY}$  と  $R_{DLY}$  に対応します。レギュレータの例における  $I_{LIMIT}$  は、パワーオン期間の PFET の実効電流制限に対応します。 $V_{OFFSET}$  は、PFET の電圧に対応します。この値は、オン抵抗に  $I_{LIMIT}$  を掛けることによって得られます。11 ページの「パワーアシストスプレッドシート」で説明した Excel ファイルを使用すると、さまざまな条件におけるコンポーネントの値を計算できます。使用する PFET は、最小  $I_{CCPO}$  以上の電流を流す必要があります。

この PFET ベースのパワーアシスト回路は、XC2S150 FPGA と、ゲートとソースの間のターンオン電圧 ( $V_{GS(th)}$ ) が  $-0.45V$  の Siliconix 社の Si3445DV PFET を使用して、作成およびテストしました。 $V_{SRC}$  は、 $V_{CCINT}$  の標準動作レベルです。Spartan-II デバイスの場合は、 $2.5V$  です。電源が供給できる最大電流は、 $100mA$  です。 $C_0$  は、 $3200\mu F$  です。 $C_{TIME}$  は  $0.69\mu F$ 、 $R_1$  は  $100K\Omega$  です。すべての測定は、 $25^\circ C$  という周囲温度で行いました。

2ポートモデルの PFET ベースのパワーアシスト回路による波形を、図 12 に示します。信号は、上から順に  $V_{SRC}$ 、 $I_{SRC}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$  です。一番左で電源がオンになり、 $V_{SRC}$  の上昇が始まります。 $I_{SRC}$  の一番左のパルスは  $78mA$  の電流を表しており、 $C_0$  と  $C_{TIME}$  を充電します。これらのキャパシタが充電されると、 $I_{SRC}$  が再び 0 になります。 $V_G$  が降下するにつれて  $V_{SRC}$  が上昇するので、 $V_{GS}$  が徐々に増加します。これが約  $0.8V$  になると、PFET がオンになり、 $V_{CCINT}$  の上昇が始まります。 $V_{CCINT}$



が 0.6 ~ 0.8V のときに、 $I_{CCINT}$  は 114mA という POS 電流になっています。POS 電流が  $I_{SRC}$  より大きいので、パワーアシスト回路の成功基準が満たされています。



X451\_12\_101801

デバイス	$T_A$ (°C)	使用できる電流 (mA)	$C_0$ ( $\mu$ F)	信号 (上から下)
XC2S150	25	100	3,200	$V_{SRC}$ 、 $I_{SRC}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$

図 12: 2 ポート モデルの PFET ベースのパワーアシスト回路による波形

## PFET による $V_{CCINT}$ の立ち上がりの制御

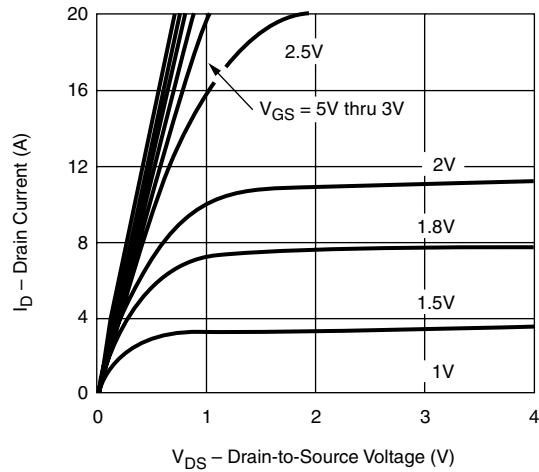
これまでに説明した PFET 回路では、 $V_{CCINT}$  の立ち上がり速度も制御できます。この機能は、 $V_{CCINT}$  立ち上がり時間が 2ms でなければならない Spartan-III デバイスで役立ちます (Spartan-II デバイスには、このような制限はありません)。多くの電源では  $V_{CCINT}$  の立ち上がりが速すぎて、立ち上がり時間の必要条件を満たすことができません。図 11 に示したように、電源バスで電源と FPGA の間に PFET を挿入してドレインとソースを接続すると、立ち上がり時間を遅くすることができます。 $C_{TIME}$  の容量を大きくすると、 $V_{CCINT}$  の立ち上がり時間を 2ms 以上にすることができます。図 7 に示したレギュレータ ベースのパワーアシスト回路のテスト結果では、 $V_{CCINT}$  の立ち上がり時間は 640  $\mu$ s でした (Spartan-II デバイスでは有効)。レギュレータの出力と FPGA の  $V_{CCINT}$  ピンの間に PFET を挿入して、 $C_{TIME} = 0.69 \mu$ F、 $R_1 = 100K\Omega$  にすると、 $V_{CCINT}$  の立ち上がり時間が 10ms になります。

## PFET による電流制限の設定

PFET は、電流制限のインプリメントにも使用できます。図 11 に示したパワーアシスト回路の場合、これによって  $C_0$  の容量を小さくできます。また、POS 電流の最大値を制限することもできます。これは、ボード上に過電流保護回路がある場合に重要になります。過電流保護回路がある場合は、フォールドバックトリップポイント以下に電流制限を設定すれば、誤って電源ラインがシャットダウンされることがなくなります。このアプローチの詳細については、アプリケーションノート [XAPP450](#) の「過電流保護回路がある場合の FPGA の使用」を参照してください。

Si3445DV PFET の出力特性を、図 13 に示します。この図では、より一般的な NFET の曲線と同じようにするため、 $V_{GS}$  の絶対値を示しています。トランジスタがオンのときは  $V_S$  より  $V_G$  が小さいので、1 ~ 2.5V と記されている  $V_{GS}$  は、実際には負の値です。PFET は、飽和状態にあるときに電流制限機能を提供します。飽和状態では、ドレインとソースの間の電圧 ( $V_{DS}$ ) に関係なくドレイン電流 ( $I_D$ ) が流れます。PFET は、次の条件が満たされるときに飽和状態になります。

$$V_{DS} < V_{GS} - V_T$$



X451\_13\_101801

図 13: Si3445DV の出力特性

### SCR による パワーアシスト 回路

$C_0$  が完全に充電されるまで FPGA がオンにならないようにするスイッチ機能をインプリメントするパワーアシスト回路には、サイリスタ (SCR) を使用するものもあります。SCR は、不純物を注入した半導体の階層を PNP の順番で 4 つ積み重ねたデバイスです。SCR には 3 つの端子があり、アノードは外側の P 階層、カソードは外側の N 階層、ゲートは内側の P 階層に接続されています。ゲートに適用する信号を切り替えると、アノードからカソードに流れる大電流のスイッチングを非常にすばやく行うことができます。

SCR ベースのパワーアシスト回路を使用する利点には、次のようなものがあります。

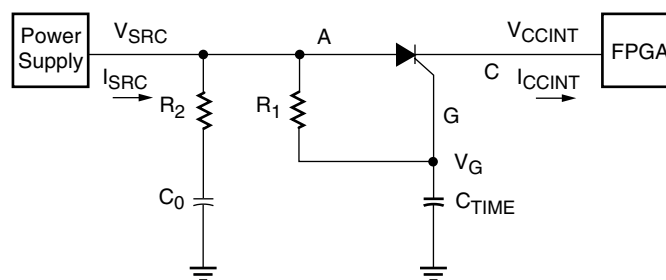
第一に、伝導状態の SCR では、アノードからカソードへの電圧降下が 0.8V です。したがって、電源電圧を 3.3V から Spartan-II デバイスの  $V_{CCINT}$  ラインで必要となる 2.5V に変換するために SCR を使用できます。この場合、DC-DC 変換を行うためのレギュレータが不要になります。同様に、SCR とシリコンダイオードを直列に接続すると、電圧降下が合計で 1.5V になるので、3.3V から Spartan-IIE の標準電源電圧である 1.8V に変換できます。

第二に、 $C_0$  と直列に抵抗を接続すると  $V_{CCINT}$  の立ち上がりを遅らせることができるので、 $V_{CCINT}$  の立ち上がり時間が 2ms 以上でなければならないという Spartan-IIE デバイスの必要条件を満たすために役立ちます。

SCR 特有の利点としては、短時間であれば連続電流定格の数倍のサージ電流を流すことができるというものがあります。また、SCR は、アノード電圧 ( $V_A$ ) より低いゲート電圧 ( $V_G$ ) でオンにすることができます。このため、 $V_{SRC}$  より大きい電圧をパワーアシスト回路で使用する必要がなくなります。

図 14 に、SCR ベースのパワーアシスト回路の回路図を示します。 $C_0$  には、POS 電流に必要な電荷が充電されます。 $R_2$  (オプション) は、 $C_0$  から放電される電流を制限して  $V_{CCINT}$  の立ち上がりを遅らせます。SCR のアノードは電源の出力 (電圧は  $V_{SRC}$ ) に、カソードは FPGA の  $V_{CCINT}$  ピンに接続します。ゲートは、SCR がオンになるのを遅らせる  $R_1$  と  $C_{TIME}$  に接続します。

この回路の動作は、次のようになります。まず、電源がオンになると、 $C_0$  が充電され、 $V_{CCINT}$  が上昇します。初めは、 $V_{SRC}$  の電圧は大部分が  $R_1$  で降下し、 $C_{TIME}$  で降下するのはごくわずかです。したがって、ゲート電圧 ( $V_G$ ) はグランドポテンシャルに近く、SCR はオフになっています。 $C_{TIME}$  が充電されるにつれ、 $C_{TIME}$  における  $V_{SRC}$  の電圧降下の比率が大きくなり、 $V_G$  が上昇します。 $V_{GS}$  がターンオンしきい値に達すると、SCR がオンになり、 $C_0$  が放電できるようになります。そして、放電された電流によって FPGA がパワーオンします。

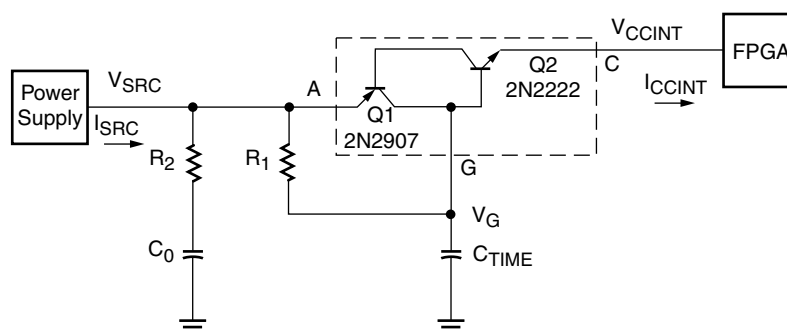


X451\_14\_101801

図 14: SCR ベースのパワーアシスト回路の回路図

$C_0$ 、 $C_{TIME}$ 、 $R_1$  の値は、レギュレータ ベースのパワーアシスト回路の場合と同じような式を使用して計算できます。 $C_{TIME}$  と  $R_1$  は  $C_{DLY}$  と  $R_{DLY}$  に対応します。 $V_{OFFSET}$  は、SCR のアノードからカソードに向かって測定します。前述したように、この電圧降下は約 0.8V です。11 ページの「パワーアシスト スプレッドシート」で説明した Excel ファイルを使用すると、さまざまな条件におけるコンポーネントの値を計算できます。

同様の回路は、SCR の代わりに NPN と PNP のバイポーラ トランジスタを使用しても作成できます。2 つのトランジスタを使用する回路は単一の SCR を使用する場合とまったく同じように機能しますが、安価になる可能性があります。図 15 に示す回路図は、実験室で作成および評価したもので、NPN に 2N2222、PNP に 2N2907 を使用しました。ゲートのターンオンしきい値の測定値は、0.6V でした。前の例と同じように、ボード上の FPGA は XC2S150 です。 $V_{SRC}$  は、3.3V に設定しました。電源が供給できる最大電流は、100mA です。 $C_0$  は、2600  $\mu$ F です。 $C_{TIME}$  は 10  $\mu$ F、 $R_1$  は 100K $\Omega$ 、 $R_2$  は 3.9 $\Omega$  です。すべての測定は、25 $^{\circ}$ C という周囲温度で行いました。

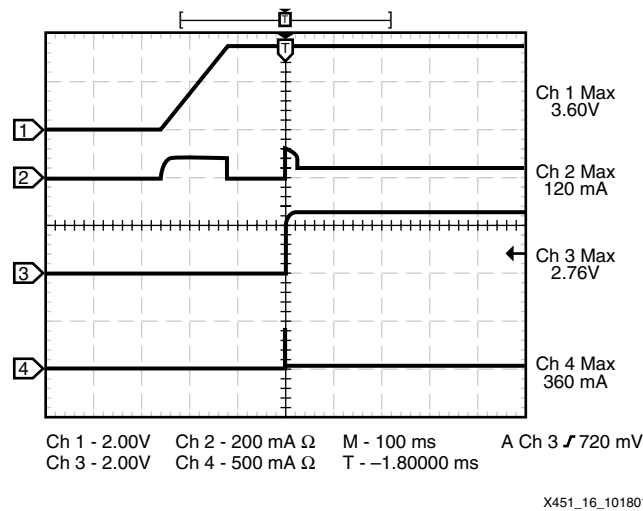


X451\_15\_101801

図 15: 2 つのバイポーラ トランジスタから作成した SCR を使用するパワーアシスト回路

2 ポート モデルの SCR ベースのパワーアシスト回路による波形を、図 16 に示します。信号は、上から順に  $V_{SRC}$ 、 $I_{SRC}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$  です。一番左で電源がオンになり、 $V_{SRC}$  の上昇が始まります。 $I_{SRC}$  の一番左のパルスは約 100mA の電流を表しており、 $C_0$  と  $C_{TIME}$  を充電します。これらのキャパシタが充電されると、 $I_{SRC}$  が再び 0 になります。 $V_{SRC}$  が上昇すると、それより遅い速度で  $V_G$  も上昇します。 $V_G$  が約 0.6V になると、SCR がオンになり、 $V_{CCINT}$  の上昇が始まります。 $V_{CCINT}$  が 0.6 ~ 0.8V

のときに、 $I_{CCINT}$  は 400mA という POS 電流になっています。POS 電流が  $I_{SRC}$  より大きいので、パワーアシスト回路の成功基準が満たされています。



デバイス	$T_A$ (°C)	使用できる電流 (mA)	$C_0$ ( $\mu$ F)	信号 (上から下)
XC2S150	25	100	2,600	$V_{SRC}$ 、 $I_{SRC}$ 、 $V_{CCINT}$ 、 $I_{CCINT}$

図 16: 2 ポート モデルの SCR ベースのパワーアシスト回路による波形

### SCR ベースのパワーアシスト回路による $V_{CCINT}$ の立ち上がりの制御

$C_0$  と直列に小さい抵抗を接続すると、 $V_{CCINT}$  の立ち上がりを遅らせることができます。このオプションの抵抗  $R_2$  を、図 14 と図 15 に示します。この機能は、 $V_{CCINT}$  の立ち上がり時間が 2ms 以上でなければならないという Spartan-IIe デバイスの必要条件を満たすために役立ちます。このセクションのテストでは、 $R_2$  の値として 3.9 $\Omega$  を使用しました。この場合の  $V_{CCINT}$  の立ち上がり時間は、4ms でした。

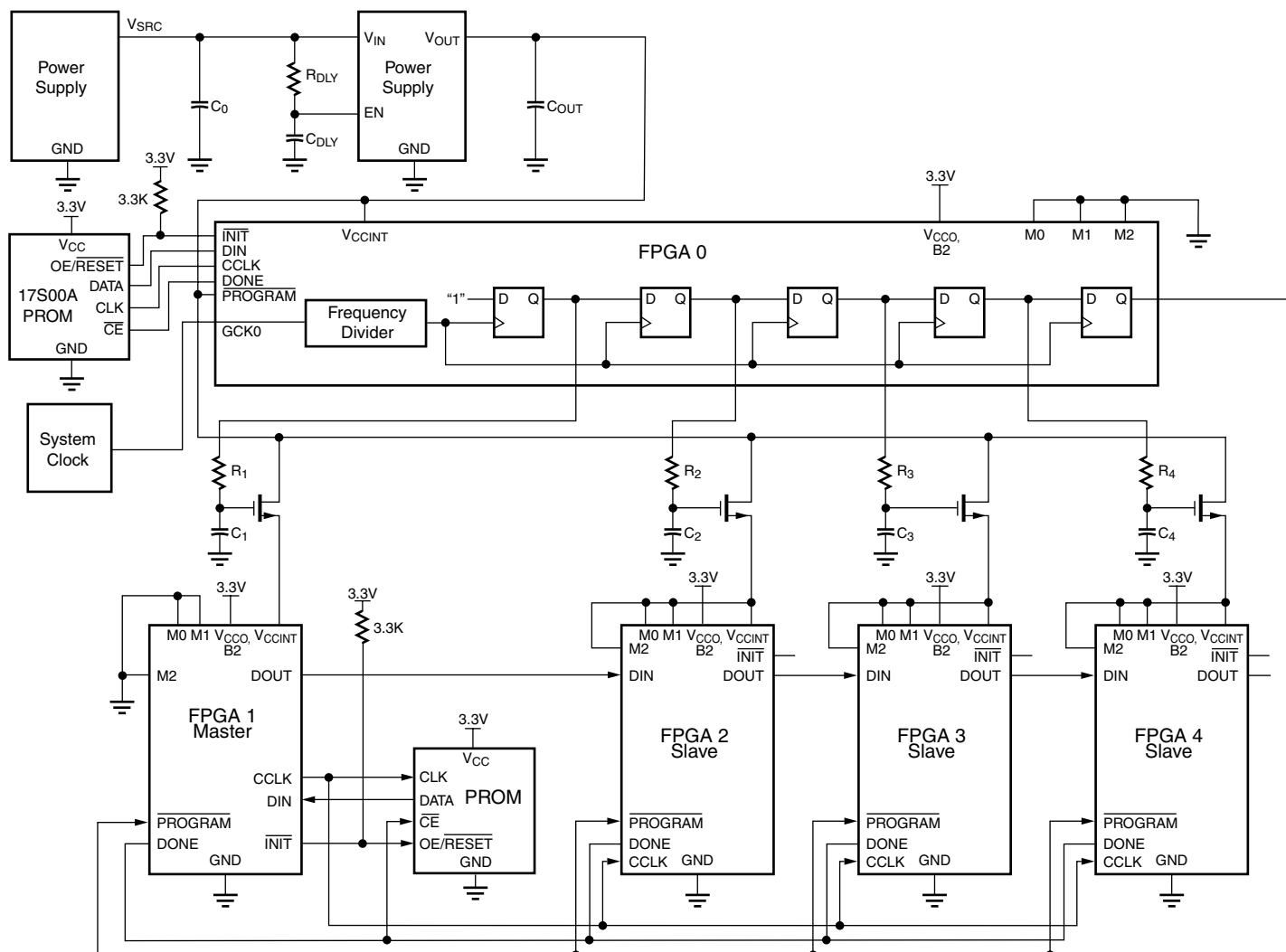
## 複数の FPGA の パワーアップ

複数の FPGA に電力を供給する電源のデザインでは、特別な注意が必要になります。複数の FPGA のパワーオン動作については、アプリケーション ノート [XAPP450](#) の「ボードの電源に関する考慮事項」を参照してください。すべての FPGA を同時にオンにするには、電源が POS 電流の合計を供給する必要があります。この合計電流は、非常に大きくなる可能性があります。低温 (-40°C など) での動作が必要なデザインでは、最大レベルの電流が発生します。このような場合、各 FPGA の最小 POS 電流は 2A なので、すべての FPGA を同時にパワーオンするにはボードに数アンペアの電流が必要になります。

POS 電流の合計を小さくするには、2 種類のアプローチがあります。1 番目の方法では、FPGA を順番にオンにします (この方法をスタガリング パワーオンと呼びます)。2 番目の方法では、大容量キャパシタがあるパワーアシスト回路を使用します。これらのアプローチは、別々にも同時にインプリメントできます。

これらのアプローチを組み合わせるインプリメントした例を、図 17 に示します。この回路図には 5 つの FPGA があり、パワーオンする順番に番号が付けられています。最初にオンになるのは FPGA 0 で、その後 FPGA 1、FPGA 2... 続きます。1 つの 17S00A シリーズの PROM で FPGA 0 をコンフィギュレーションし、1 つの 1700 PROM で残りの FPGA をコンフィギュレーションします。モードピンは、FPGA 0 と 1 がマスタ シリアル コンフィギュレーション、FPGA 2 ~ 4 がスレーブ シリアル コンフィギュレーションになるように設定します。左上にはボードの電源があります。パワーアシストキャパシタを使用しないと、0°C 未満の Spartan-II デバイスや工業用の Spartan-IIe などでは、低温動作で FPGA ごとに 2A の電流が必要になります。電源の右には、大容量キャパシタ ( $C_0$ ) とレギュレータのイネーブル機能を使用するオプションのパワーアシスト回路があります。これについては、このセクションの終りで説明します。

5つのFPGAのリソース全体で、特定の製品のデザインについて論理構造を構成します。FPGA 0のロジックを少し使用して、分周器と5つのレジスタを作成します。分周器は、システムクロック信号を読み込み、1クロック周期で1つのFPGAをパワーオンできるように、周波数を小さくしたクロック信号を生成します。



Note: If the bitstream generator option "DriveDone" in the Xilinx development software is not selected, add a 330Ω pull-up resistor to the DONE line.

X451\_17\_110910

図 17: 複数のFPGAを順番にオンにするための回路図

周波数が小さくなった信号は、5つのレジスタにクロックを供給します。初めの(左の)4つのレジスタのQ信号は、FPGAの外部にあるNチャンネルトランジスタのゲートに接続します。各トランジスタのドレインとソースは、電源からFPGA 1~4のいずれかまでのパスに接続します。これらのトランジスタは、大量の電流(数アンペアのオーダー)を流すことができます。これらはオン抵抗が小さいので、ドレインとソースの間で電圧があまり降下しません。このNFETをオンにするには、ゲートとソースの間の電圧が一定の正のしきい値(0.8Vなど)を越える必要があります。したがって、ゲート電圧が $V_{CCINT}$ より高くなる必要があります。これを実現するため、3.3Vの $V_{CCO}$ 電源でFPGA 0のIOBに電力を供給します。最後の(一番右の)レジスタのQ信号も、FPGA 0から出力されます。これは、FPGA 1~4のPROGRAM入力に接続します。

FPGA 1~4は、標準的なデジタイズチェーンを形成するように接続し、2番目のPROMでシリアルコンフィギュレーションします。デジタイズチェーン動作については、Spartan-IIおよびSpartan-IIeデータシートのモジュール2を参照してください。FPGA 1~4のDONEラインは、互いに接続します。

FPGA 1～3については、Xilinx 開発ソフトウェアで BitGen オプションの「DriveDone」を「no」に設定します(オープンドレイン動作)。FPGA 4については、このオプションを「yes」に設定します。

$C_0$  の効果を別にする、回路の動作は次のようになります。まず、電源がオンになると、FPGA 0 が専用の 17S00A PROM によってコンフィギュレーションされます。FPGA 0 がユーザーモードになると、直ちに 5 つの内部レジスタがリセットされ、これらのレジスタに分周器がクロックを供給します。ロジックレベル High が、レジスタからレジスタに渡されます(図 17 では「1」になっています)。1 番目の(左の)レジスタの Q 出力に High レベルが現れると、対応する NFET がオンになり、FPGA 1 の VCCINT ピンに電力を供給します。一番右にあるレジスタの Q 出力が FPGA 0～4 の PROGRAM 入力を Low に駆動しているため、コンフィギュレーションは行われません。FPGA 1 のパワーオンが終了すると、FPGA 0 内で 1 番目のレジスタから 2 番目のレジスタにロジックレベル High が渡されます。対応する NFET がオンになり、FPGA 2 に電力が供給されます。残りの FPGA がオンになり、ロジックレベル High が一番右のレジスタの Q 出力に達して、FPGA 1～4 の PROGRAM のアサートが解除されるまで、このような動作が繰り返されます。すべての FPGA がオンになると、2 番目の PROM によって FPGA 1 がコンフィギュレーションされ、その後、ビットストリームが FPGA 2～4 に渡されます。すべてのデバイスについてコンフィギュレーションが終了すると、DONE が High になり、ユーザーモードに移行します。

この、FPGA が 5 つあるアプリケーションが 0°C 未満の温度で動作する場合でも、電源が供給する電流は 2A 以下になります。パワーアシストキャパシタ ( $C_0$ ) を追加すると、電源電流をさらに少なくすることができます。パワーアシスト回路のデザインでは、以下の点を考慮する必要があります。

$C_0$  の充電と放電は、各 FPGA をパワーオンするたびに行われます。したがって、分周器から出力されるクロック信号の周期は、キャパシタを充電して FPGA をパワーオンする時間より長い必要があります。

8 ページの「 $C_0$  の値の計算」で説明したように、 $V_{CCPO}$  の値は、FPGA のパワーオン時に  $V_{CCINT}$  が降下する最低電圧です。スタガリングパワーオンの場合、FPGA がオンになった後で  $V_{CCINT}$  が標準の最低電圧より低くなってはいけません。したがって、Spartan-II デバイスの場合は 2.5V - 5%、Spartan-IIe デバイスの場合は 1.8V - 5% に  $V_{CCPO}$  を設定します(これらの値はデータシートに記載されています)。単一の FPGA を使用する場合よりも  $V_{CCPO}$  が大きいので、 $C_0$  の値が大きくなります。

## 終わりに

Spartan-II および Spartan-IIe ファミリーには、パワーオンを成功させるための最小電源電流 ( $I_{CCPO}$ ) があります。この条件は、パワーオン期間のみに適用されます(一般に数ミリ秒)。小規模な Spartan-II または Spartan-IIe ファミリーを使用するデザインでは、最小  $I_{CCPO}$  が動作電流より大きくなる場合があります。このような場合でも、多くの電源は短時間であれば連続出力定格より多くの電流を供給できるので、通常動作時に必要な量の電流を供給できる電源で対応できます。このような電源については、連続出力電流を動作電流条件、瞬間出力電流を最小  $I_{CCPO}$  と一致させます。このようなデザインでは、コンポーネントを追加してパワーオンを支援する必要はありません。

電源電流に制限があるデザイン(データバスやインターフェイスから電力を供給されるデザインなど)では、最小  $I_{CCPO}$  より小さい電源電流レベルで Spartan-II および Spartan-IIe デバイスをパワーオンで



きる、何種類かの簡単で低価格なソリューションを使用できます。このアプリケーション ノートで説明したソリューションの概要を、表 2 に示します。

表 2: パワーアシスト回路の概要

パワーアシスト回路	スイッチのインプリメンテーション	このような場合に使用
レギュレータ ベース	LDO レギュレータ <ul style="list-style-type: none"> <li>イネーブル ポートが必要</li> <li>フォールドバック機能は不要</li> </ul>	<ul style="list-style-type: none"> <li>電源電圧を FPGA の標準 <math>V_{CCINT}</math> 電圧に変換</li> <li>レギュレータが常にボード上にある</li> </ul>
PFET ベース	P チャネル MOSFET <ul style="list-style-type: none"> <li>低いオン抵抗</li> <li>電源電流を流せることが必要</li> </ul>	<ul style="list-style-type: none"> <li>FPGA の <math>V_{CCINT}</math> 電圧が直接電源から供給される (変換が不要)</li> <li>(Spartan-II E の条件を満たすため) <math>V_{CCINT}</math> の立ち上がり時間を遅らせる</li> <li>電流を制限して過電流保護回路が動作しないようにする</li> </ul>
SCR ベース	サイリスタ <ul style="list-style-type: none"> <li>NPN トランジスタと PNP トランジスタから構成</li> <li>電源電流を流せることが必要</li> </ul>	<ul style="list-style-type: none"> <li>電源電圧を 3.3V から FPGA の標準 <math>V_{CCINT}</math> 電圧に変換 (Spartan-II E の場合は動作電圧が低いのでダイオードを追加)</li> <li>(Spartan-II E の条件を満たすため) <math>V_{CCINT}</math> の立ち上がり時間を遅らせる</li> </ul>

## 参考資料

[アプリケーションノート XAPP450 『Spartan-II および Spartan-II E ファミリにおけるパワーオンの必要条件』](#)

[アプリケーションノート XAPP189 『ザイリンクス Spartan-II FPGA への電力供給』](#)

「Spartan-II 2.5V FPGA Family: DC and Switching Characteristics (Spartan-II 2.5V FPGA ファミリ : DC およびスイッチング特性)」(『[Spartan-II データシート](#)』のモジュール 3)

「Spartan-II E 1.8V FPGA Family: DC and Switching Characteristics (Spartan-II E 1.8V FPGA ファミリ : DC およびスイッチング特性)」(『[Spartan-II E データシート](#)』のモジュール 3)

## 改訂履歴

次の表に、このドキュメントの改訂履歴を示します。

日付	バージョン	改訂内容
11/15/01	1.0	初期リリース