



XAPP453 (v1.0) 2005 年 2 月 2 日

## 3.3V 信号を使用した Spartan-3 FPGA の コンフィギュレーション

### 概要

このアプリケーション ノートでは、Spartan™-3 および Spartan™-3L FPGA の 3.3V コンフィギュレーションについて説明しています。ここでは、コンフィギュレーション モード別に完全な接続図を示しており、インプリメンテーションに簡単に利用できる便利なソリューションです。

### はじめに

コンフィギュレーション プロセスでは、ビットマップ データをコンフィギュレーション ポートに書き込むことで、ユーザー指定のデザインを使用した FPGA をプログラムします。Spartan-3 と Spartan-3L ファミリーのコンフィギュレーション プロセスとコンフィギュレーション ポートは同じです。ポートには、コンフィギュレーション信号が使用されます。最も単純なインターフェイスには、LVCMOS25 を使用した標準コンフィギュレーションなど 2.5V スイングの信号を使用します。このインターフェイスでは、使用する外部コンポーネントの数を最小限に抑えることができます。

FPGA のプログラムには、コンフィギュレーション ポートだけではなく、バウンダリ スキャン (JTAG) ポートも使用できます。単純な JTAG インターフェイスでは、LVCMOS25 などの 2.5V 信号も使用されます。

PROM やマイクロコントローラなど、ボードの多くに埋め込まれているデバイスでは、コンフィギュレーション ポートや JTAG ポートが 3.3V 信号のみで駆動されます。このため、使用する外部抵抗を最小限に抑えて、3.3V 信号を使用したコンフィギュレーションを簡単に実現できます。

### コンフィギュレーションピンと JTAG ピン

コンフィギュレーションピンには、専用ピンと多目的ピンの 2 種類があります。専用ピンは、特定用途に使用される特定の種類の信号を送受信します。多目的ピンは、コンフィギュレーション中に特殊な信号を送受信します。このピンをユーザー モードで使用すると、I/O として機能します。JTAG ピンはすべて専用ピンです。

専用コンフィギュレーションピンは、PROG\_B、HSWAP\_EN、CCLK、DONE、および M0-M2 です。専用 JTAG ピンは、TDI、TMS、TCK、および TDO です。これらすべてのピンは、V<sub>CCAUX</sub> ラインを使用して関連の内部回路に電源を供給します。

多目的コンフィギュレーションピンは、INIT\_B、DOUT、BUSY、RDWR\_B、CS\_B、および DIN/D0-D7 です。各ピンは、バンク配置に従って、バンク 4 (V<sub>CCO\_4</sub>) またはバンク 5 (V<sub>CCO\_5</sub>) のいずれかの V<sub>CCO</sub> レールを使用します。シリアル コンフィギュレーション モードで使用されるピン INIT\_B、DOUT、および DIN には、V<sub>CCO\_4</sub> 電源を使用します。パラレル コンフィギュレーション モードやリードバック モードで使用されるピンの場合、D0-D3 および BUSY ピンへの電源供給には V<sub>CCO\_4</sub> のみを使用しますが、D4-D7、RDWR\_B、および CS\_B ピンへの電源供給には V<sub>CCO\_5</sub> も使用する必要があります。

© 2003 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.co.jp/legal.htm> にリストされています。その他すべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。  
保証否認の通知 : Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれません。

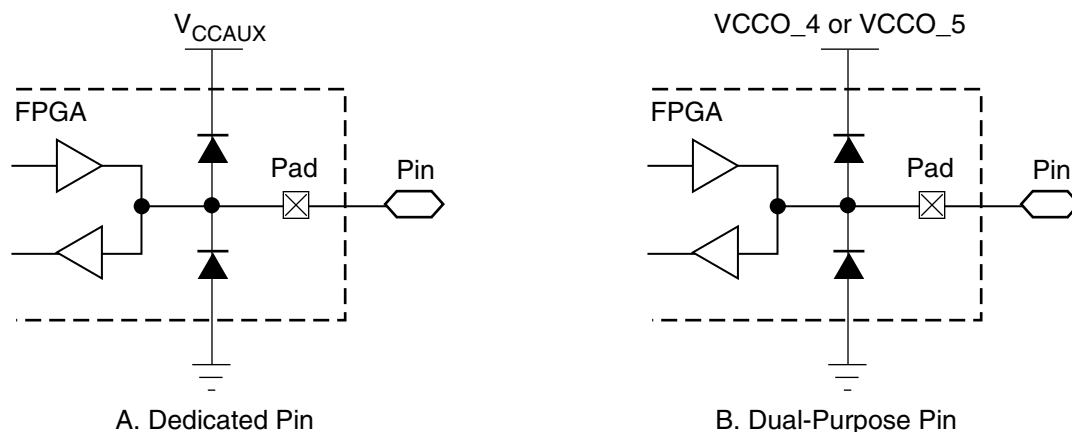
表 1 では、コンフィギュレーションピンと JTAG ピンをカテゴリ別に分類し、関連の電源レールを示しています。

表 1: 専用ピンと多目的ピン

ピン	バンク	V <sub>CCAUX</sub>	V <sub>CCO</sub>		V <sub>REF</sub>
			出カドライバ	入力段階	
専用ピン					
PROG_B	-	2.5V	-	-	-
HSWAP_EN	-	2.5V	-	-	-
TDI	-	2.5V	-	-	-
TMS	-	2.5V	-	-	-
TCK	-	2.5V	-	-	-
TDO	-	2.5V	-	-	-
CCLK	-	2.5V	-	-	-
DONE	-	2.5V	-	-	-
M0-M2	-	2.5V	-	-	-
多目的ピン					
INIT_B	4	-	-	VCCO_4	-
DOUT	4	-	VCCO_4	-	-
BUSY	4	-	VCCO_4	-	-
DIN	4	-	-	VCCO_4	-
D0-D3	4	-	VCCO_4 (フィードバック用)	VCCO_4 (コンフィ ギュレーション用)	-
D4-D7	5	-	VCCO_5 (フィードバック用)	VCCO_5 (コンフィ ギュレーション用)	-
RDWR_B	5	-	-	VCCO_5	-
CS_B	5	-	-	VCCO_5	-

### 専用ピンと多目的ピンに理想的な回路構造

専用ピンと多目的ピンの内部 I/O 構造で主に異なる点は、電源を供給するレールです。図 1 に、それぞれピンの理想的な双方向 I/O 回路を示します。前述したように、V<sub>CCAUX</sub> は専用ピン (A) に電源を供給し、V<sub>CCO</sub> (バンク 4 または 5) は多目的ピン (B) に電源を供給します。入力機能のみのピンには回路のドライバ部分がなく、出力機能のみのピンにはレシーバ部分がありません。一方、INIT\_B または DONE のようなオープンドレインピンには、論理レベルを Low にシンクするためのドライバと、信号のステータスを識別するためのレシーバが付いています。



X453\_09\_011005

図 1：専用ピンと多目的ピンに理想的な I/O 回路

デザインでは、FPGA の信号を送受信するピンは、3.3V 信号を処理できます。ダイオードのペアは、これらのピンにそれぞれ関連付けられています。上部ダイオードまたは電源ダイオードは、電源レールと I/O パッドの間に接続します。下部ダイオードまたは GND ダイオードは、パッドと GND の間に配置します。これらのダイオードは、常に各信号規格に対応しています。

通常の操作中、これらのダイオードは常にオフになっているため、目視できません。Spartan-3 のデータシート (モジュール 1) にある絶対最大定格表の  $V_{IN}$  仕様には、I/O パッド電圧 ( $V_{IN}$ ) は、レール電圧 ( $V_{CCAUX}$  または  $V_{CCO}$ ) にダイオードのターンオン電圧 (約 0.5V) を足した値と同じか、それ以下の値にする必要があると記載されています。次の条件に適合している場合、電源ダイオードは常にオフです。

- 専用ピン

$$V_{IN} \leq V_{CCAUX} + 0.5V \tag{1}$$

- 多目的ピン

$$V_{IN} \leq V_{CCO} + 0.5V \tag{2}$$

3.3V コンフィギュレーションを実行する場合、上記の条件に適合していないと電源ダイオードがオンになる可能性があります。たとえば、レール電圧 ( $V_{CCAUX}$  または  $V_{CCO}$ ) が 2.5V の場合、I/O ピンに直接適用される 3.3V 信号により電源ダイオードの電流が増えてしまうという問題があります。この問題は、このアプリケーション ノートに示すソリューションで対処できます。

### 標準コンフィギュレーション インターフェイス

標準コンフィギュレーション インターフェイスでは、すべての信号に LVCMOS25 (2.5V スイング、12mA 駆動、高速スルー レート) が使用されます。 $V_{CCAUX}$  レールと  $V_{CCO\_4}$  および  $V_{CCO\_5}$  には 2.5V の電源電圧が使用されます。Spartan-3 のデータシートには標準コンフィギュレーションが詳細に記載されており、モジュール 2 に機能の説明と接続図が、モジュール 3 にタイミング仕様が示されています。ザイリンクス Platform Flash PROM のデータシートには、追加の接続図が記載されています。

標準コンフィギュレーション インターフェイスでは、電源投入時からコンフィギュレーションが終了するまでの間、 $V_{CCO\_4}$  および  $V_{CCO\_5}$  レールに必要な電圧は 2.5V のみです。コンフィギュレーションが終了した後、使用しているアプリケーションの要件によっては、2.5V 以外の信号スイングが使用できる電源電圧に切り替えることが可能です。つまり、コンフィギュレーション中に標準インターフェイスが使用され、その後、多目的 I/O ピンがユーザー モードで 3.3V 信号を処理できるようになります。

標準の JTAG インターフェイスでは、すべての信号に LVCMOS25 が使用されます。この場合、関連の  $V_{CCAUX}$  レールに使用される電圧は、通常どおり 2.5V です。Platform Flash PROM のデータシートには、標準の JTAG インターフェイスの接続図が記載されています。

## 3.3V コンフィギュレーション インターフェイスのソリューション

このアプリケーション ノートで紹介しているソリューションは、3.3V 信号を使用して Spartan-3 または Spartan-3L FPGA をコンフィギュレーションする必要がある場合に有用です。この要件は、次のような理由から生じています。

1. 外部デバイスから FPGA には 3.3V コンフィギュレーション信号のみが送られ、2.5V スイングの信号は使用できません。
2. 多目的ピンをユーザー モードで 3.3V I/O として使用する必要がある場合、コンフィギュレーションプロセスが終了した後で VCCO\_4 および VCCO\_5 レールの電圧を 2.5V から 3.3V に切り替えるのは望ましくありません。

3.3V トレラントのコンフィギュレーション インターフェイスを実現するには、専用ピンと多目的ピン、関連する電源レールを別々に取り扱うことをお勧めします。

### 多目的ピン

多目的ピンに電源を供給するには、FPGA の VCCO\_4 レールおよび (必要であれば) VCCO\_5 レールに 3.3V を適用します。標準の 2.5V よりも高い電圧を適用すると、多目的出力ピンの論理レベルが High になり、入力ピンのスイッチングしきい値もそれに比例して大きくなります。

多目的出力ピン DOUT、BUSY、および D0-D7 (リードバック時) は、GND から 3.3V に切り替わります。必要に応じて、これらの出力ピンを 3.3V に対応する外部デバイスの入力に直接接続してください。このノイズ マージンは、完全に 3.3V 信号に適合します。

多目的ピン INIT\_B は、オープンドレイン出力です。INIT\_B ピンと VCCO\_4 レール間に内部プルアップ抵抗を付けると、論理レベルを High にできます。通常は、INIT\_B ピンと VCCO\_4 レールの間 (3.3V) にも 4.7kΩ の外部プルアップ抵抗を付けることをお勧めします。複数の FPGA をコンフィギュレーションする場合、すべての INIT\_B ピンを接続してください。この場合、共通ノードと VCCO\_4 レールの間に外部プルアップ抵抗を 1 つ付けてください。

多目的入力ピン INIT\_B (感知機能)、DIN、D0-D7 (コンフィギュレーション中)、RDWR\_B、および CS\_B は、外部デバイスから 3.3V 信号を直接受信します。VCCO レールに 3.3V を適用すると、多目的ピンの V<sub>IN</sub> 条件が満たされ (3 ページの式 (2) を参照)、電源ダイオードがオフになります。

### 専用ピン

専用ピンに電源を供給するには、Spartan-3 のデータシート (モジュール 3) に記載されているように、FPGA の V<sub>CCAUX</sub> レールに 2.5V を適用します。

V<sub>CCAUX</sub> レールに 2.5V を適用すると、専用出力ピン TDO、DONE (DriveDone = Yes)、および CCLK (マスタ コンフィギュレーション モード) が GND から 2.5V に切り替わります。必要に応じて、これらの出力ピンを 3.3V に対応する外部デバイスの入力に直接接続してください。FPGA の専用出力での LVCMOS25 の V<sub>OH</sub> は 2.5V ですが、外部レシーバの 3.3V LVCMOS 入力の V<sub>IH min</sub> は 2.0V です。このノイズ マージン 500mV は、許容範囲内です。

BitGen オプションの DriveDone を No に設定すると、専用ピン DONE がオープンドレイン出力になります。この場合、330Ω の外部プルアップ抵抗を DONE ピンと V<sub>CCAUX</sub> レール間 (2.5V) に付けます。複数の FPGA をコンフィギュレーションする場合は、すべての DONE ピンを接続してください。この場合、共通ノードと V<sub>CCAUX</sub> レールの間に外部プルアップ抵抗を 1 つ付けます。オープンドレイン オプションにはこのピンを使用できますが、多くのアプリケーションでは、より速い遷移時間を実現するために、トータム ポール駆動回路に接続された DONE ピン (DriveDone = Yes) の使用が理想的です。

2.5V の V<sub>CCAUX</sub> レールと 3.3V 信号を専用入力に適用すると、V<sub>IN</sub> の条件が満たされません。このため、内部電源ダイオードがオンになり、逆電流が入力から V<sub>CCAUX</sub> レールに流れ込みます。この電流を制限するには、抵抗 (R<sub>SER</sub>) を入力と直列に接続することをお勧めします。抵抗値には、電流が 10mA 以下に維持されるような値を選択してください。IBIS モデルを使用したワーストケースの負荷ライン解析では、56Ω を使用した 5% の抵抗により入力電流が 10mA 以下に維持されることを示しています。必要に応じて、これらの抵抗を専用入力ピン PROG\_B、TDI、TMS、TCK、および CCLK (スレーブ

コンフィギュレーション モード) と直列に接続してください。残りの専用入力ピン HSWAP\_EN および M0-M2 は、通常スタティックです。これらの入力は、GND または V<sub>CCAUX</sub> のいずれかに直接接続してください。いずれに接続するかは、アプリケーション要件によって決まります。

### 逆電流への対処

前述したとおり、3.3V 信号を専用入力ピン PROG\_B、TDI、TMS、TCK および CCLK (スレーブ コンフィギュレーション モード) に適用すると、逆電流が V<sub>CCAUX</sub> レールに流れ込みます。

図 2 は、逆電流合計 (I<sub>REV</sub>) が全入力電流の累積値 (I<sub>IN</sub>) であることを示しています。

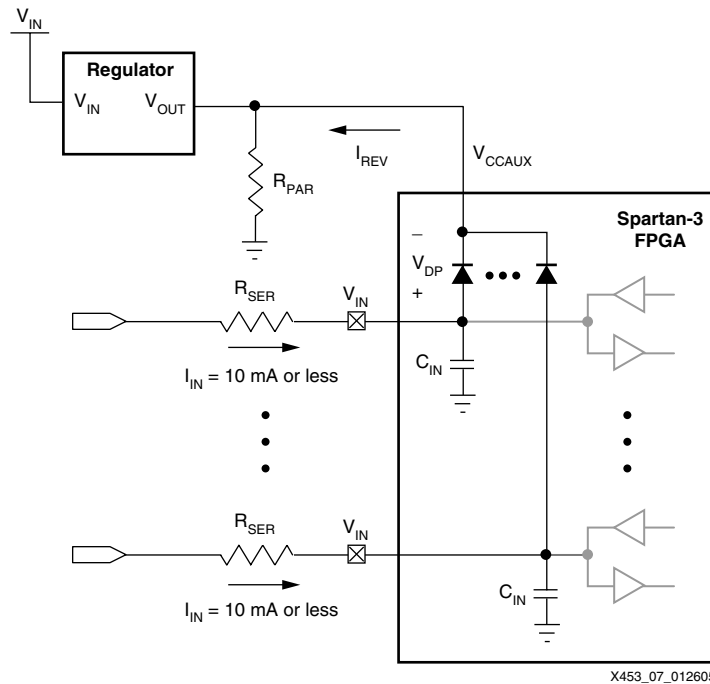


図 2: レギュレータの逆電流ソリューション

電源ダイオードがオンになっている N 専用入力の場合、I<sub>REV</sub> は I<sub>IN</sub> 電流の合計です。

$$I_{REV} = \sum_{i=1}^N I_{IN} \quad (3)$$

直列抵抗 (R<sub>SER</sub>) で各ダイオードの電流を 10mA に制限する場合は、次のような式になります。

$$I_{REV} = N (10mA) \quad (4)$$

逆電流は FPGA 操作の妨げとはなりませんが、V<sub>CCAUX</sub> 電圧を適正に制限するよう注意する必要があります。V<sub>CCAUX</sub> レギュレータを適正に動作するには、2つの方法があります。

1. 出力電圧の維持用に指定されたレギュレータを使用し、予測された逆電流をシンクする。
2. レギュレータの出力と GND の間にシャント抵抗 (R<sub>PAR</sub>) を追加する (図 2)。次のように、I<sub>REV</sub> と同等の電圧を送るため R<sub>PAR</sub> を選択する。

$$R_{PAR} = \frac{V_{CCAUX} \min}{I_{REV}} \quad (5)$$

R<sub>PAR</sub> の標準抵抗値には、式 (5) で予測された値と同じ値か、少し低めの値を使用してください。

電源ダイオードがオンになっている入力を複数使用すると  $I_{REV}$  値が大きくなるため、式 (5) で算出される  $R_{PAR}$  値はむしろ小さくなります。場合によっては、 $R_{SER}$  を  $56\Omega$  以上にして、 $R_{PAR}$  値を上げることが可能です。 $R_{SER}$  値が高くなると、 $I_{IN}$  電流が小さくなるため、信号遷移が遅くなります。遷移時間が長くなりすぎないように注意してください。

逆電流の対処方法についての詳細は、電力ソリューションのベンダーにお問い合わせください。

### 3.3V コンフィギュレーションの接続図

このセクションの回路図は、Spartan-3 および Spartan-3L デバイスの 3.3V コンフィギュレーション用に専用ピンと多目的ピンを接続する方法を示しています。ここでは、コンフィギュレーション モードごとに回路図を示しています。

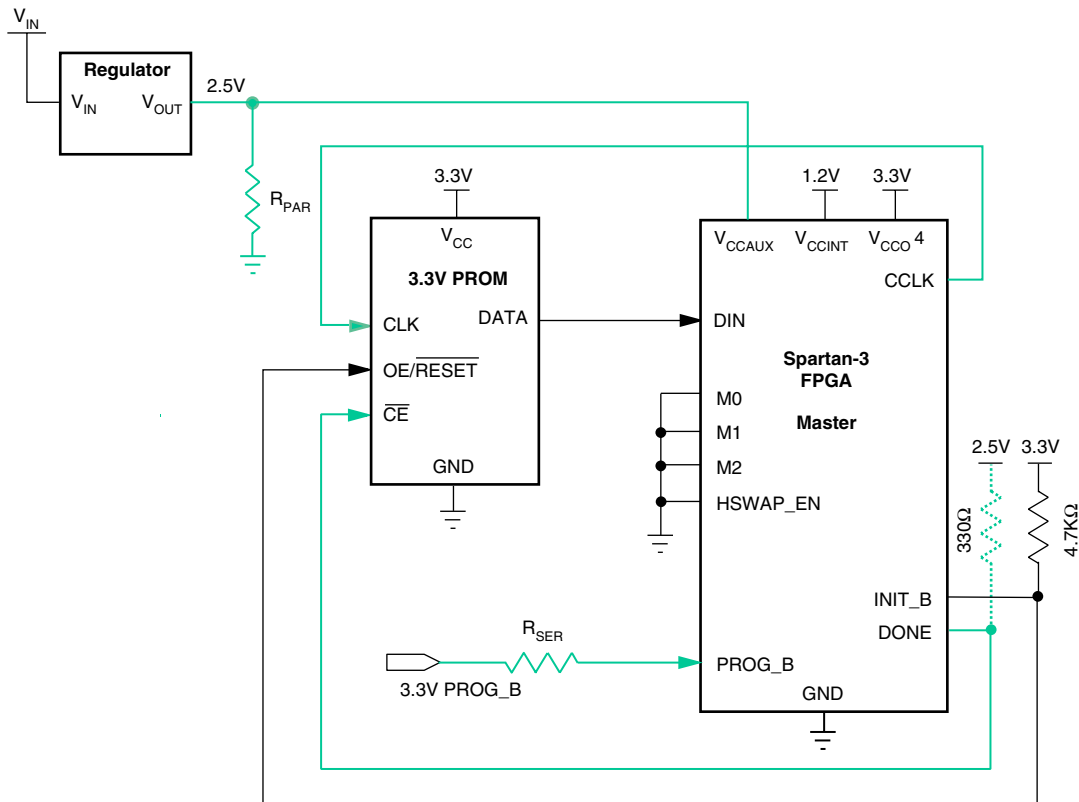
黒色の線は、標準の 2.5V インターフェイスと同じ信号パスを示します。これらの線は、3.3V インターフェイスの一部として特別に考慮する必要はありません。

グレイの線 (モニタでは緑色で表示) は、3.3V トレランスの達成に特別な処置が取られた信号パスを示しています。これらの線は、 $R_{SER}$  (専用入力に送られる電流を制限する抵抗) と  $R_{PAR}$  (電力を適正に制限する抵抗) が追加された位置を表しています。グレイの線は、専用出力に関連したノイズ マージンが小さくなったことも表します。ノイズ マージンと抵抗については、「[3.3V コンフィギュレーション インターフェイスのソリューション](#)」を参照してください。

グレイの点線 (モニタでは緑色で表示) は、オープンドレインの DONE ピンに接続されたプルアップ抵抗を示します。この抵抗は、BitGen オプションの DriveDone を No に設定した場合にのみ追加されます。プルアップ抵抗を 2.5V のレールに接続すると、DONE 出力のノイズ マージンは小さくなります。DriveDone を Yes に設定すると、プルアップ抵抗は使用されません。

## 3.3V マスタ シリアル コンフィギュレーション

図 3 に、3.3V マスタ シリアル コンフィギュレーションの接続を示します。



X453\_01\_050704

メモ：

1. HSWAP\_EN が Low で、すべての I/O に接続された内部プルアップ抵抗がイネーブルになっています。これらの抵抗をディスエーブルにするには、HSWAP\_EN を High にします。

図 3： 3.3V マスタ シリアル モードの接続図

抵抗値は、次のように算出します。

- $R_{SER} = 56\Omega$  は、各入力に送られる電流を 10mA に制限します。
- $N = 1$  入力で、ダイオードはオンになっています。

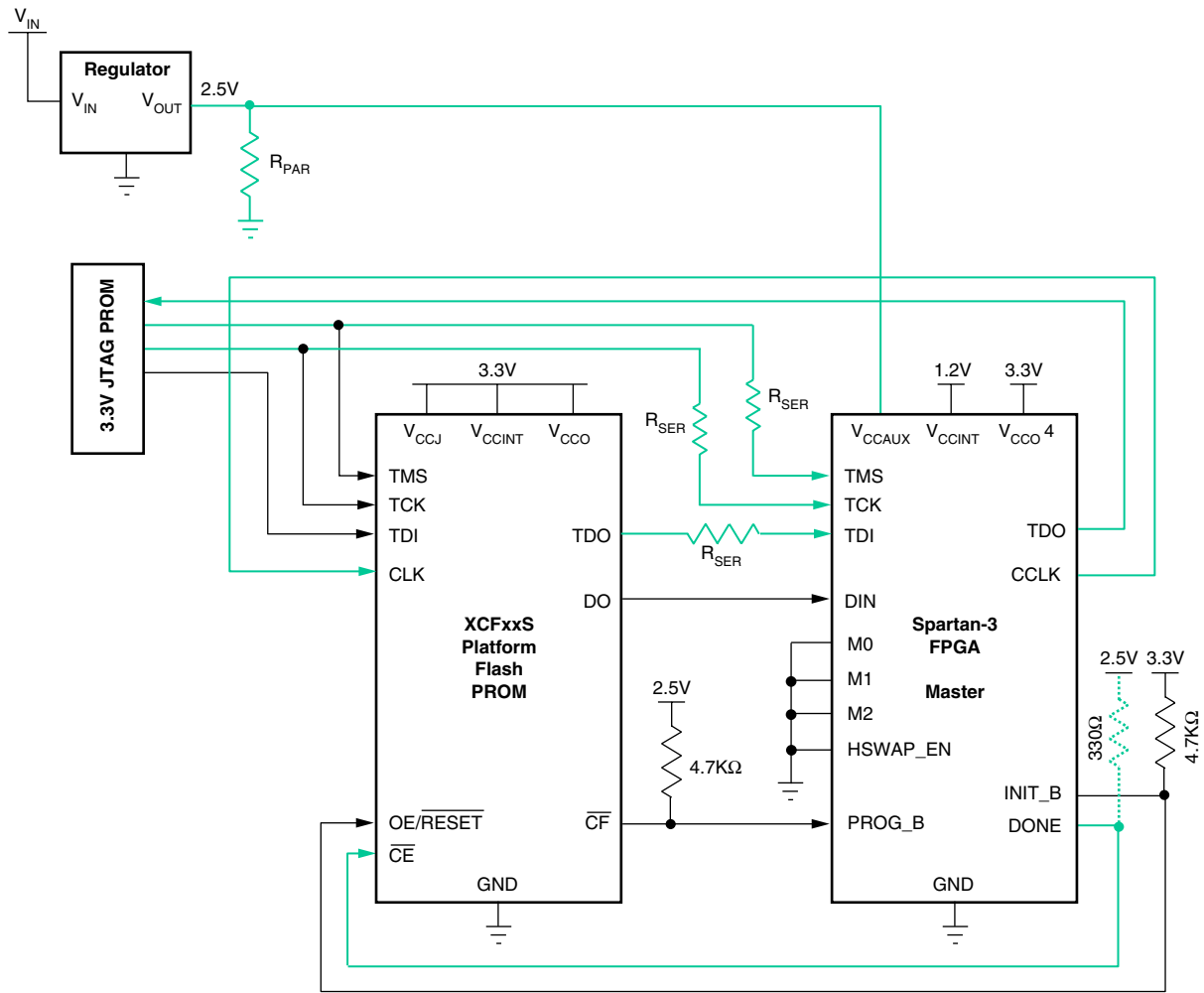
$$R_{PAR} = \frac{V_{CCAUX \min}}{NI_{IN}}$$

$$= \frac{2.375V}{(1)(10mA)}$$

$R_{PAR} = 237\Omega$  または  $220\Omega$  (標準の 5% 抵抗の場合)

Platform Flash PROM を使用した 3.3V マスタ シリアル コンフィギュレーション

図 4 に、Platform Flash PROM を使用した 3.3V マスタ シリアル コンフィギュレーションの接続を示します。



X453\_06\_050704

メモ：

1. HSWAP\_EN が Low で、すべての I/O に接続された内部プルアップ抵抗がイネーブルになっています。これらの抵抗をディスエーブルにするには、HSWAP\_EN を High にします。

図 4： Platform Flash PROM を使用した 3.3V マスタ シリアル モードの接続図

抵抗値は、次のように算出します。

- $R_{SER} = 56\Omega$  は、各入力に送られる電流を 10mA に制限します。
- $N = 3$  入力で、ダイオードがオンになっています。

$$R_{PAR} = \frac{V_{CCAUX} \min}{NI_{IN}}$$

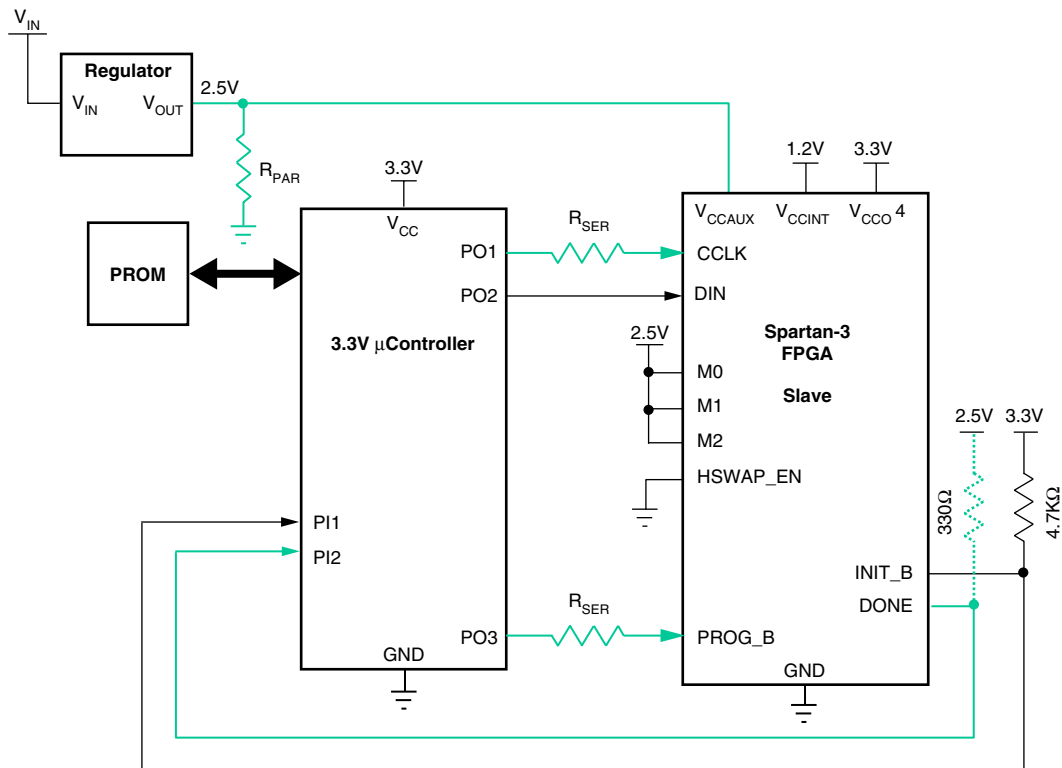
$$= \frac{2.375V}{(3)(9.7mA)}$$

$R_{PAR} = 79\Omega$  または  $75\Omega$  (標準の 5% 抵抗の場合)



## 3.3V スレーブ シリアル コンフィギュレーション

図 5 に、3.3V スレーブ シリアル コンフィギュレーションの接続を示します。



X453\_02\_050704

メモ：

1. HSWAP\_EN が Low で、すべての I/O に接続された内部プルアップ抵抗がイネーブルになっています。これらの抵抗をディスエーブルにするには、HSWAP\_EN を High にします。

図 5：3.3V スレーブ シリアル モードの接続図

抵抗値は、次のように算出します。

- $PI_n$  および  $PO_n$  は、プログラム可能な I/O です。
- $R_{SER} = 56\Omega$  は、各入力に送られる電流を 10mA に制限します。
- $N = 2$  入力で、ダイオードがオンになっています。

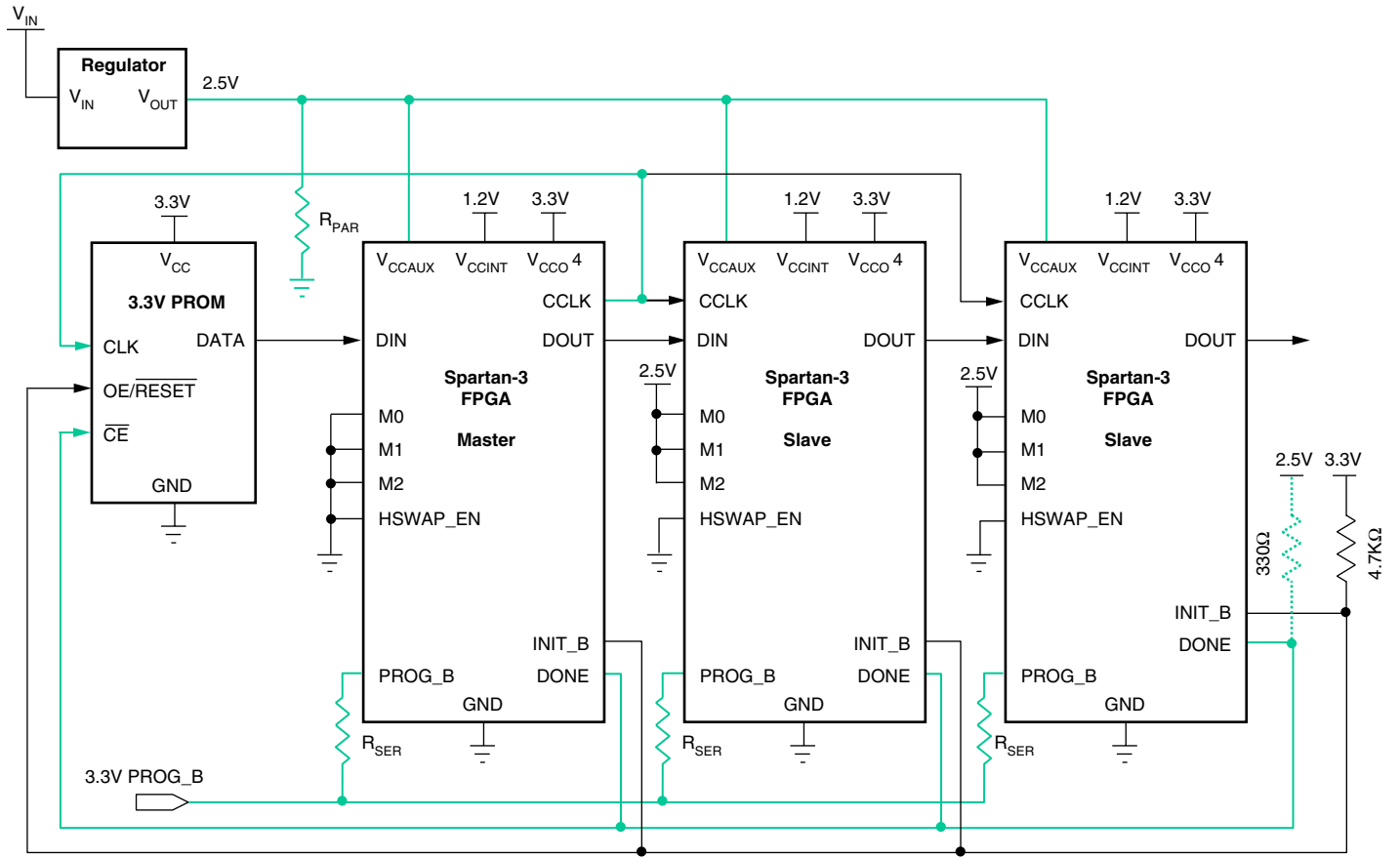
$$R_{PAR} = \frac{V_{CCAUX} \min}{NI_{IN}}$$

$$= \frac{2.375V}{(2)(10mA)}$$

$R_{PAR} = 118\Omega$  または  $110\Omega$  (標準の 5% 抵抗の場合)

3.3V デイジーチェーン コンフィギュレーション

図 6 に、デイジーチェーン コンフィギュレーションの接続を示します。



X453\_03\_050704

メモ :

1. HSWAP\_EN が Low で、すべての I/O に接続された内部プルアップ抵抗がイネーブルになっています。これらの抵抗をディスエーブルにするには、HSWAP\_EN を High にします。

図 6 : 3.3V デイジーチェーン コンフィギュレーションの接続図

抵抗値は、次のように算出します。

- $R_{SER} = 56\Omega$  は、各入力に送られる電流を 10mA に制限します。
- $N = 3$  入力で、ダイオードがオンになっています。

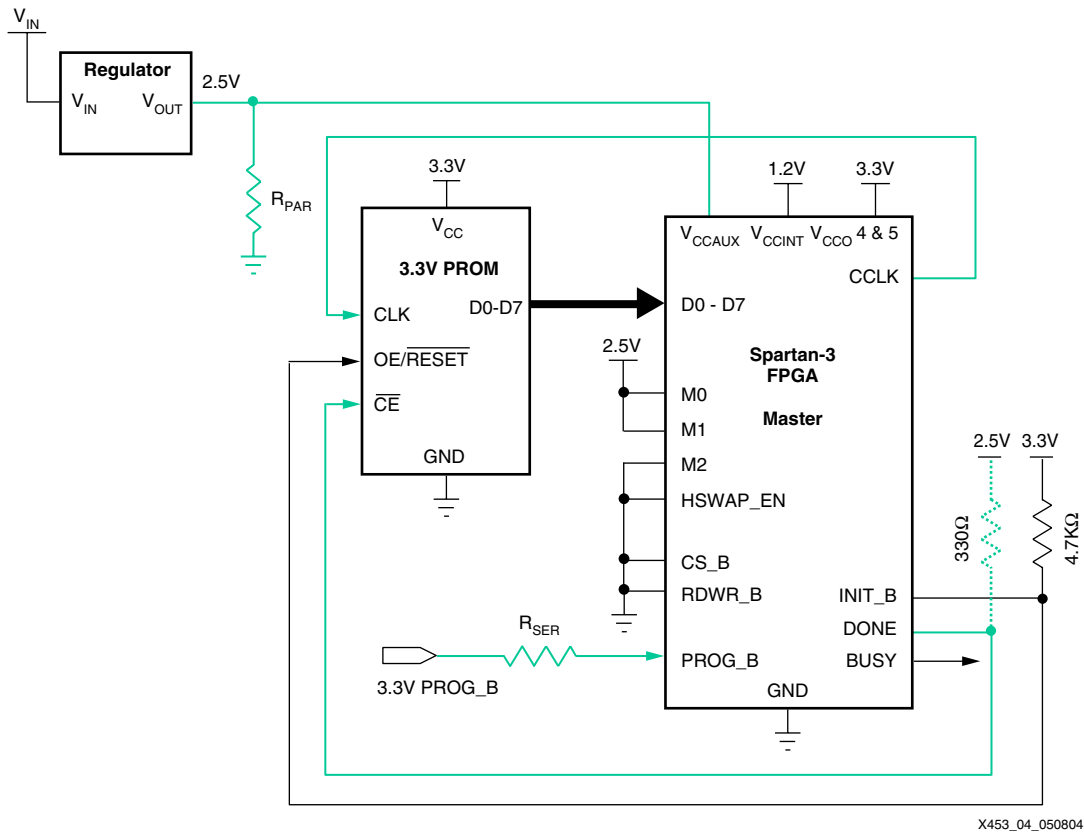
$$R_{PAR} = \frac{V_{CCAUX} \min}{NI_{IN}}$$

$$= \frac{2.375V}{(3)(10mA)}$$

$R_{PAR} = 79\Omega$  または  $75\Omega$  (標準の 5% 抵抗の場合)

## 3.3V マスタ パラレル コンフィギュレーション

図 7 に、3.3V マスタ パラレル コンフィギュレーションの接続を示します。



メモ :

1. HSWAP\_EN が Low で、すべての I/O に接続された内部プルアップ抵抗がイネーブルになっています。これらの抵抗をディスエーブルにするには、HSWAP\_EN を High にします。

図 7 : 3.3V マスタ パラレル モードの接続図

抵抗値は、次のように算出します。

- $R_{SER} = 56\Omega$  は、各入力に送られる電流を 10mA に制限します。
- $N = 1$  入力で、ダイオードはオンになっています。

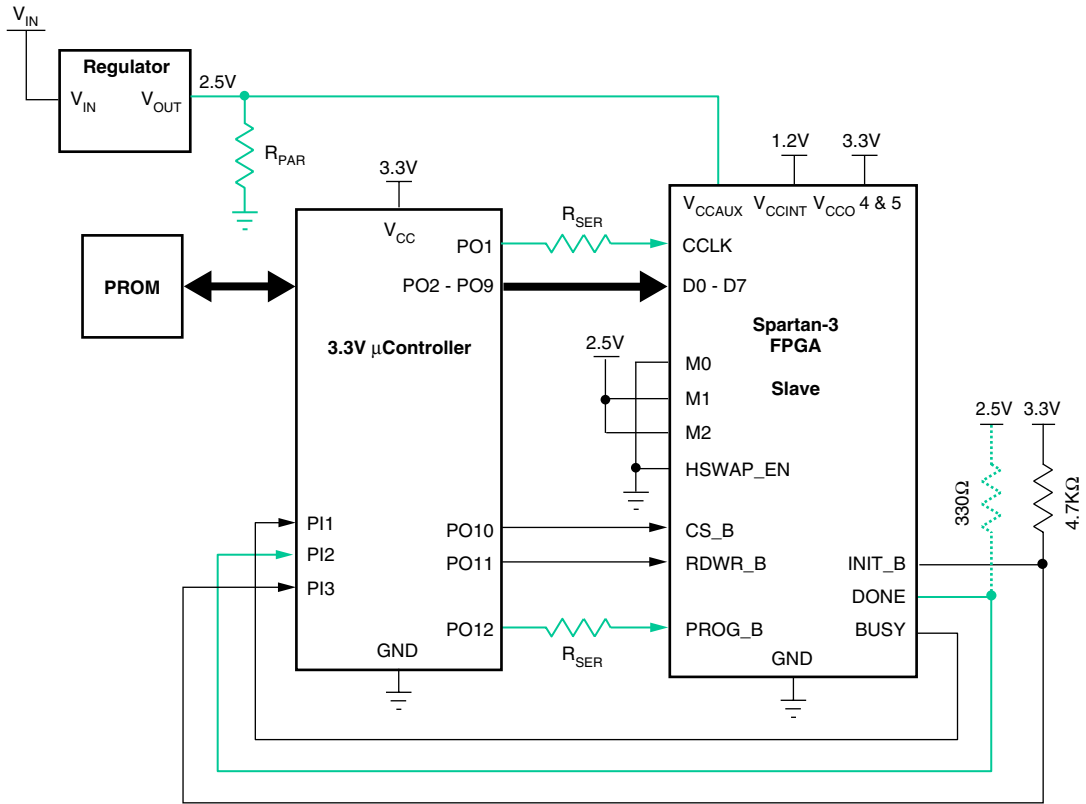
$$R_{PAR} = \frac{V_{CCAUX \min}}{NI_{IN}}$$

$$= \frac{2.375V}{(1)(9.7mA)}$$

$R_{PAR} = 237\Omega$  または  $220\Omega$  (標準の 5% 抵抗の場合)

3.3V スレーブ パラレル コンフィギュレーション

図 8 に、3.3V スレーブ パラレル コンフィギュレーションの接続を示します。



X453\_05\_050804

メモ :

1. HSWAP\_EN が Low で、すべての I/O に接続された内部プルアップ抵抗がイネーブルになっています。これらの抵抗をディスエーブルにするには、HSWAP\_EN を High にします。

図 8 : 3.3V スレーブ パラレル モードの接続図

抵抗値は、次のように算出します。

- $PI_n$  および  $PO_n$  は、プログラム可能な I/O です。
- $R_{SER} = 56\Omega$  は、各入力に送られる電流を 10mA に制限します。
- $N = 2$  入力で、ダイオードがオンになっています。

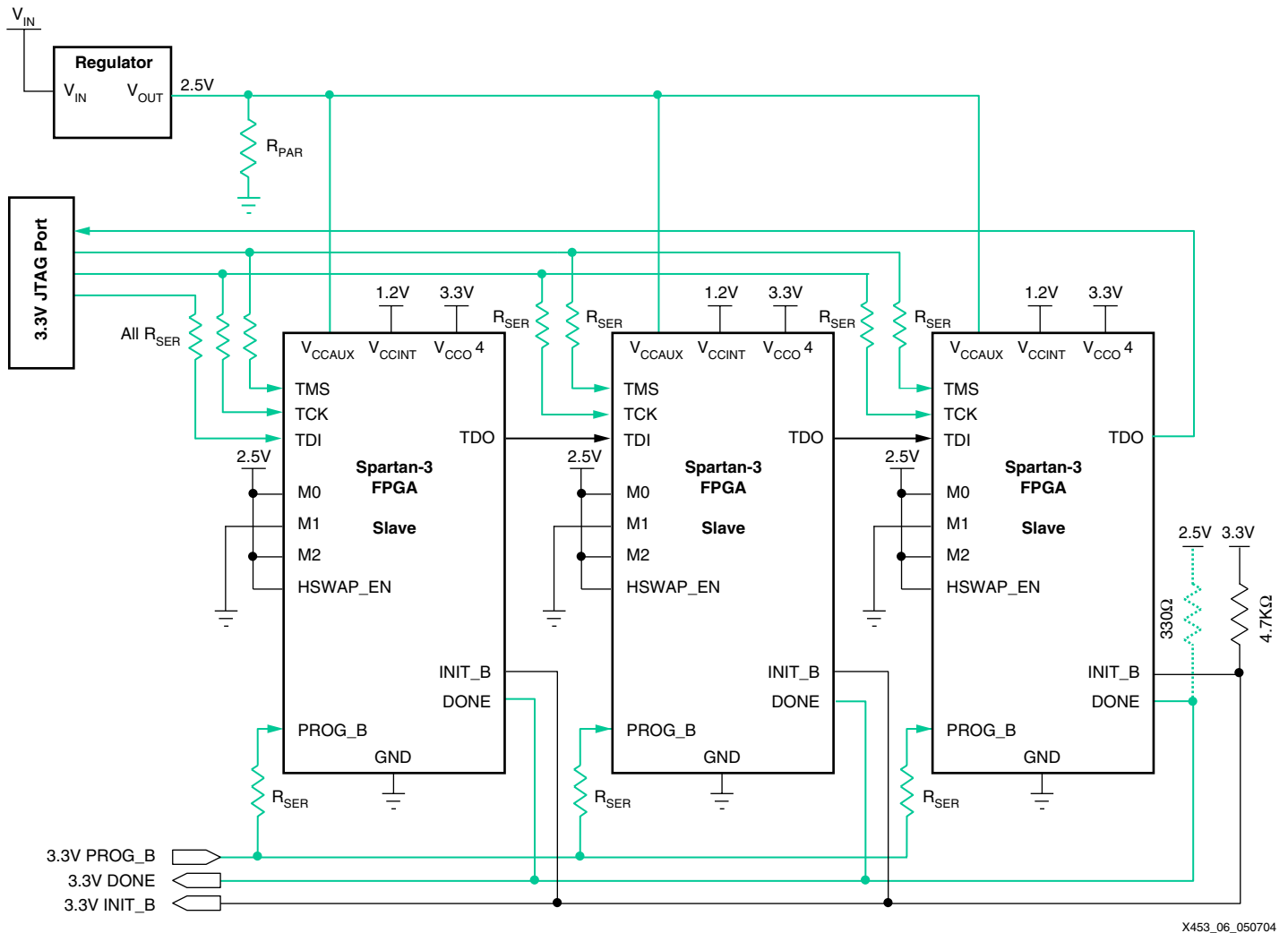
$$R_{PAR} = \frac{V_{CCAUX \min}}{NI_{IN}}$$

$$= \frac{2.375V}{(2)(9.7mA)}$$

$R_{PAR} = 118\Omega$  または  $110\Omega$  (標準の 5% 抵抗の場合)

## 3.3V バウンダリ スキャン (JTAG) コンフィギュレーション

図 9 に、バウンダリ スキャン コンフィギュレーションの接続を示します。



X453\_06\_050704

メモ：

1. HSWAP\_EN が High で、すべての I/O に接続された内部プルアップ抵抗がディスエーブルになっています。これらの抵抗をイネーブルにするには、HSWAP\_EN を Low にします。

図 9：3.3V JTAG モードの接続図

抵抗値は、次のように算出します。

- $R_{SER} = 56\Omega$  は、各入力に送られる電流を 10mA に制限します。
- $N = 10$  入力で、ダイオードがオンになっています。

$$R_{PAR} = \frac{V_{CCAUX \min}}{NI_{IN}}$$

$$= \frac{2.375V}{(10)(10mA)}$$

標準の 5% 抵抗の場合、 $R_{PAR}$  は 23Ω または 22Ω です。複数の FPGA を使用したこの例では、10 本の  $I_{IN}$  電流が逆電流の合計となっており、 $R_{PAR}$  値が小さくなっています。これよりも少ない FPGA を使用するアプリケーションの場合は、より大きい  $R_{PAR}$  値が使用されます。抵抗値を大きくする方法については、5 ページの「逆電流への対処」を参照してください。

## まとめ

Spartan-3 および Spartan-3L FPGA のコンフィギュレーションは、コンフィギュレーション ポートまたは JTAG ポートを使用して実行します。標準のインターフェイスには 2.5V 信号を使用しますが、アプリケーションによっては 3.3V 信号を使用する必要があります。いずれのデバイス ファミリも、使用する外部抵抗の数を抑えて、3.3V 信号を使用したコンフィギュレーションを簡単に実現できます。このアプリケーション ノートには、コンフィギュレーション モード別に完全な 3.3V コンフィギュレーションの接続図を示しています。

## リファレンス

詳細な情報については、次のアプリケーション ノートを参照してください。

- 『Spartan-3 FPGA Family : Introduction and Ordering Information』[DS099-1](#)
- 『Spartan-3 FPGA Family : Functional Description』[DS099-2](#)
- 『Spartan-3 FPGA Family : DC and Switching Characteristics』[DS099-3](#)
- 『Platform Flash In-System Programmable Configuration PROMs』[DS123](#)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
02/02/05	1.0	初期リリース