



XAPP475 (v1.0) 2003 年 6 月 21 日

Spartan-3 FPGA 用の IBIS モデル

概要

IBIS (Input/Output Buffer Information Specification) モデルは、ボード レベルのデザイン シミュレーションで I/O 特性をシミュレーションするのに使用される業界標準記述です。Spartan-3 用の IBIS モデルは、http://www.xilinx.co.jp/support/sw_ibis.htm から入手できます。このモデルをサードパーティ ツールで使用すると、ボード デザインのシグナル インテグリティ特性を検証できます。

はじめに

I/O スイッチ周波数の高速化、電圧レベルの低下に伴って、I/O の正確なアナログ シミュレーションが高速デジタル システム デザインにおける重要ポイントになりました。I/O バッファ、終端、ボードのトレースを正確にシミュレーションすることは、新しいデザインのタイム トゥ マーケットの大幅な短縮につながります。デザイン サイクルの初期段階でシグナル インテグリティ問題を見つけることで、ボードでの修正が削減でき、品質の向上が可能です。

デバイスのデータシートには、保証済み DC と I/O のスイッチ特性に関する基本的な情報が記載されていますが、特定アプリケーションに対する最適なボード レイアウトを決定するのに必要な情報 (IBIS モデルに含まれるスルー レートおよび駆動電流など) がすべて含まれているわけではありません。IBIS モデルは、リングング、グラウンド バウンス、クロストーク、RFI/EMI などのシグナル インテグリティ問題をシステム レベルで解析する際に使用します。これにより、時間やコストのかかるプロトタイプの PCB を生産する前に、完成したデザインをシミュレーションして評価できます。このようにレイアウト前にシミュレーションを行うことで、開発コストの削減およびタイム トゥ マーケットの短縮につながり、I/O 動作の信頼性も向上します。

SPICE と比較した IBIS の利点

SPICE は、IC デザインのような高度な正確さが必要な分野で広く使用されていますが、PCB およびシステム ドメインで使用する場合、デバイス ベンダやユーザーから見るとマイナス面もあります。

SPICE シミュレーションではトランジスタ レベルの回路がモデル化されます。このため、SPICE モデルに回路およびプロセス パラメータに関する詳細な情報を含める必要がありますが、これらは通常 IC ベンダが所有権を持つ知的情報になっています。

SPICE シミュレーションは通常かなり正確ですが、シミュレーション速度に問題があります。特に、シグナル インテグリティのパフォーマンスを評価する際によく使用される過渡電流のシミュレーションで速度が遅くなります。また、すべての SPICE シミュレータに完全な互換性があるわけではないというマイナス面もあります。デフォルトのシミュレータ オプションが SPICE シミュレータによって異なることも多々あります。オプションには、正確さ、コンバージェンス、アルゴリズム タイプをコントロールする重要なものがあるため、同じオプションを使用しないと、シミュレータによって結果がかなり異なってしまうことがあります。また、SPICE にバリエーションがあるため、各シミュレータ用にモデルを用意する必要があります。

© 2003 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.co.jp/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知 : Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。

ザイリンクスの SPICE モデルは NDA (情報非公開に関する同意書) に合意し、アプリケーション評価プロセスを終了しないと使用できません。このため、できるだけ IBIS モデルを使用することをお勧めします。SPICE の詳細については、http://www.xilinx.co.jp/xlnx/xebiz/designResources/ip_product_details.jsp?key=dr_dt_spicemodels&iLanguageID=2 を参照してください。

IBIS の概要

IBIS は Intel 社により SPICE シミュレーションに代わるものとして開発されました。IBIS 仕様は、現在多くの IC ベンダおよび EDA ベンダのメンバーから成り立つ EIA/IBIS オープン フォーラムにより管理されています。IBIS は ANSI/EIA-656 および IEC 62014-1 標準です。IBIS 仕様の詳細については、<http://www.eigroup.org/ibis/ibis.htm> を参照してください。

IBIS モデルには、電流 vs 電圧の表とタイミング情報が含まれています。IBIS モデルでは I/O 内部回路がブラック ボックスとして扱われるので、回路やプロセスの詳細に関するトランジスタ レベルの情報は開示されません。これは、IC ベンダにとってはプラス面となります。

IBIS モデルは、ベスト ケース (強いトランジスタ、低温度、高電圧) およびワースト ケース (弱いトランジスタ、高温度、低電圧) の状態をシミュレーションするのに使用できます。fast/strong モデルはベスト ケースを、slow/weak モデルはワースト ケースを、typical モデルは標準的なビヘイビアを示します。

IBIS は、内部タイミング情報 (伝搬遅延およびスキュー) のシミュレーションには使用できません。この情報は、タイミング モデルにより提供されます。IBIS では、電力とグラウンド ストラクチャ、ピン間カップリングもシミュレーションできません。グラウンド バウンス、供給電力降下、SSO (同時スイッチ出力) ノイズなども IBIS モデルではシミュレーションできません。ただし、広範囲にわたるラボ測定が終了したら、ザイリンクスの提供するデバイス/パッケージ別 SSO ガイドラインを使用できます。IBIS モデルには、詳細なパッケージ データは含まれていません。パッケージ データは通常は RLC データ形式で提供されますが、この形式では高速になると正確性に欠けるという欠点があります。パッケージ データを正しくシミュレーションするには、伝送ラインに 25 ~ 100ps の遅延と 65 Ω のインピーダンスを含める必要があります。

IBIS モデルを使用すると、正確さはわずかに下がるものの、SPICE と比較してシミュレーション速度がかなり上がるというプラス面があります。また、SPICE モデルとシミュレータで問題となっていた非コンバージェンスは、IBIS シミュレーションには見られません。現在のところ、IBIS モデルは EDA ベンダすべてでサポートされており、これらの IBIS シミュレータも使いやすくなっています。ほとんどのデバイスの IBIS モデルはインターネットから利用可能なため、同じボードで別の製造元のデバイスをシミュレーションするのも容易です。現在入手可能な IBIS シミュレータは複数あり、それぞれ出力結果は異なります。計測された結果の ±10% のオーバーシュートまたはアンダーシュートは、許容範囲です。モデルと計測結果の違いは、すべてのパラメータがカバーされているわけではないために発生します。IBIS モデルのシミュレータは、Cadence、Avanti Corporation、Hyperlynx、Mentor、Microsim、Intusoft、Veribest、Viewlogic 等の各社から提供されています。サードパーティの IBIS ツールについては、http://www.xilinx.co.jp/xlnx/xil_prodcats/product.jsp?title=si_simulation を参照してください。

ザイリンクスの IBIS サポート

ザイリンクスでは、現在リリース中の製品すべてに対して IBIS モデルを提供しています。これらの IBIS モデルは、http://www.xilinx.co.jp/support/sw_ibis.htm から簡単にダウンロードできます。このモデルは、開発システムからも使用可能です。この暫定モデルはシミュレーションに基づいて作成されてから、シリコンで検証されています。

IBIS ファイルには、ヘッダと各コンポーネントのモデル データの 2 つのセクションが含まれています。IBIS ファイル 1 つに複数のデバイスが記述されています。IBIS ファイルには、通常次のような内容が含まれます。

- IBIS バージョン
- ファイル名
- ファイル リビジョン
- コンポーネント

- パッケージ R/L/C
- ピン名、モデル、R/L/C
- モデル (トライステート)
- 温度範囲 (標準、最小、最大)
- 電圧範囲 (標準、最小、最大)
- プルアップ リファレンス
- プルダウン リファレンス
- 電力クランプ リファレンス
- グランド クランプ リファレンス
- I/V (電流/電圧) の表:
 - ◆ プルアップ
 - ◆ プルダウン
 - ◆ 電力クランプ
 - ◆ グランド クランプ
- 標準、最小、最大状態における立ち上がり、立ち下りの dV/dt (50Ω を駆動)

IBIS の I/V 曲線と dV/dt 曲線

デジタル バッファは、受信モード (トライステート モード) および駆動モードで測定されます。IBIS の I/V 曲線は、これら両方のモードのデータに基づいています。モード間の遷移は、回路でレシーバ モデルを一定に保ちながら、ドライバ モデルとレシーバ モデルの差を段階的に増やしたり減らしたりして実現します。

IBIS 仕様で指定されている I/V 曲線の範囲は、 $-V_{CC} \sim 2X V_{CC}$ です。電圧範囲がこれだけ広いのは、全反射による理論的な最大オーバーシュートが信号幅の 2 倍であるためです。グランド クランプ I/V 曲線は $-V_{CC} \sim V_{CC}$ の範囲で指定し、電力クランプ I/V 曲線は $V_{CC} \sim 2X V_{CC}$ の範囲で指定する必要があります。

IBIS バッファ モデルでサポートされている 3 つの状態は、標準値 (必須)、最小値 (オプション)、および最大値 (オプション) です。CMOS バッファでは、最小状態は高温、低電源電圧で定義され、最大状態は低温、高電源電圧で定義されます。

デジタル バッファの IBIS モデルには、次の 4 つの I/V 曲線が含まれます。

- Low を駆動するドライバのモード データを含むプルダウン I/V 曲線。曲線の原点は、CMOS バッファでは 0V です。
- High を駆動するドライバのモード データを含むプルアップ I/V 曲線。曲線の原点は、電源電圧 (V_{CC}) です。
- 受信 (トライステート) モード データを含むグランド クランプ I/V 曲線。曲線の原点は、CMOS バッファでは 0V です。
- 受信 (トライステート) モード データを含む電力クランプ I/V 曲線。曲線の原点は、電源電圧 (V_{CC}) です。

Ramp 曲線と dV/dt 曲線

Ramp キーワードには、プルアップ トランジスタおよびプルダウン トランジスタのオン/オフが切り替わる速度の情報が含まれます。dV/dt 曲線にも同じ情報が含まれていますが、チップ容量 (C_{comp}) の値も含まれています。 C_{comp} は、パッケージ容量を除くチップ パッドでのチップの総容量です。

dV/dt 曲線は、バッファの遷移特性をランプ曲線より正確に表します。CMOS バッファを表すには、プルダウン ON、プルアップ OFF、プルダウン OFF、プルアップ ON の最低 4 つの dV/dt 曲線が必要で

す。dV/dt 曲線には clock-to-out 遅延が含まれており、dV/dt 曲線の長さはバッファが使用されるクロック スピードに対応します。dV/dt 曲線では、パルスが入力しきい値を超える点を $t=0$ とします。

ザイリンクス IBIS のパッケージ データ

ザイリンクス IBIS では、以前はピンおよびボンド ワイヤ情報に単純な RCL モデルが使用されていましたが、サポートされる I/O 標準の多くで立ち上がり時間および立ち下がり時間が速くなったため、パッケージ データを改善する必要が出てきました。最新の IBIS 3.2 仕様には、複雑なパッケージ モデル (伝送ラインと RCL モデルを含有) が含まれます。ただし、IBIS 3.2 がまだサポートされていないシミュレータもあります。

以上の理由により、古い形式のパッケージ データは最新のモデルから削除されています。このため、ユーザーが外部伝送ラインを手動で追加する必要があります。65 Ω の理想的な伝送ラインでは、遅延を 25 ~ 100ps に設定してください。この設定は、新しい形式の RCL モデル (IBIS モデルに含有) で使用してください。重要なアプリケーションの場合は、25ps と 100ps の両方を確認する必要がありますが、ほとんどの I/O アプリケーションで違いはありません。

IBISWriter

Web サイトからダウンロードしたザイリンクス IBIS ファイルには、ターゲット デバイスで使用可能な I/O 標準すべての IBIS モデル コレクションが含まれています。ISE では、IBISWriter ツールを使用してデザイン専用の IBIS モデルを生成し、シグナル インテグリティ解析ツールへのデザイン抽出が簡単にできるようになっています。IBISWriter は、各 I/O バッファのデザイン仕様に従ってカスタム デザインの各ピンと IBIS バッファ モデルを関連付け、シグナル インテグリティ解析ツールへ直接読み込むことのできる IBIS ファイルを出力します。

デザイン専用の IBIS ファイルを生成するには、次の手順に従ってください。

1. Project Navigator でデザインをインプリメントします。
2. [Processes for Source] ウィンドウの [Implement Design] → [Place & Route] → [Generate IBIS Model] を右クリックし、[Run] をクリックします。すべての入力/出力ピンが IBIS モデルに関連付けられたデザイン特有のファイルが生成されます。
3. このファイルを使用するシグナル インテグリティ解析ツールに読み込んで、シミュレーションを実行します。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
06/21/03	1.0	初期リリース