



XAPP485 (v1.1) 2006 年 11 月 10 日

Spartan-3E FPGA における最高レート 666Mbps での 1:7 のデシリアライズ

著者 : Nick Sawyer

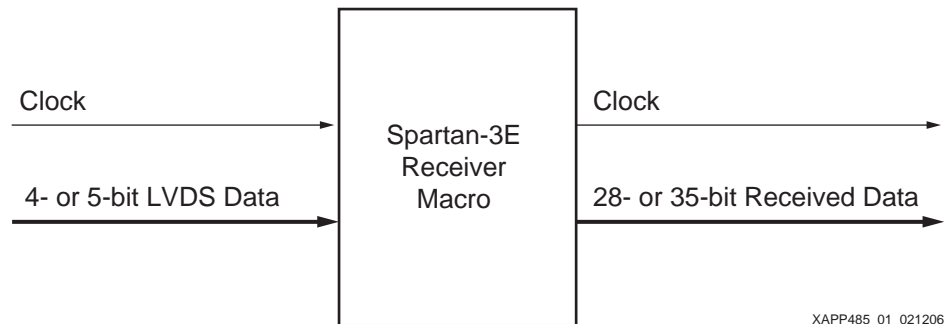
本資料は英語版 (v1.1) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

概要

Spartan™-3E デバイスは、最高 666 メガビット/秒 (Mbps) のレートで 1:7 のデシリアライズを実行する必要があるさまざまなアプリケーションで使用されます。このアプリケーション ノートは、Spartan-3E をターゲットとしており、4 ビットまたは 5 ビットの受信データバス幅を必要とし、ラインの最大レートが 666Mbps で、クロックはビット レートの 1/7 で動作するアプリケーションでこのデバイスが使用される場合について説明します。このタイプのインターフェイスは、フラット パネル ディスプレイやオートモーティブアプリケーションで多く使用されます。

はじめに

Spartan-3E FPGA では、DCM (デジタルクロック マネージャ) の DFS (デジタル周波数合成) ブロックで内部レシーバのクロックが生成されます。使用されるクロックのレートは受信されるクロックの 3.5 倍であるため、DDR (ダブル データ レート) テクニックを使用して、1:7 のデシリアライズを実現します。DDR テクニックにより、求められるクロック レートが適切な速度に低減し、Spartan-3E FPGA の DFS ブロック範囲内のクロックが確実に生成されて全体的な消費電力が削減します。Spartan-3E FPGA の最大データ レートは -4 スピード グレードで 622Mbps、-5 スピード グレードで 666Mbps です。



XAPP485_01_021206

図 1: 1:7 のレシーバ モジュール

入力パッドの配置

レシーバ用の入力クロックは、クロックおよびフレーミング信号の両方として使用されます。つまり、クロックの立ち上がりエッジ位置は、次のデータ ワードの開始時を示します (詳細は、4 ページの「ロジックについて」を参照)。次のデータ ワードは、各立ち上がりエッジから 2 ビット分後ろで開始します。本書では、入力クロックとデータが可能な限り、正確に揃えられていることを前提とします。

図 2 に、長さが 7 ビットで幅が 4 ビットまたは 5 ビットのフレームで受信される各ビット位置と共に、クロックとデータの関係を示します。

© 2006 Xilinx, Inc. All Rights Reserved. XILINX, Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。



X485_02_032606

図 2： 4 ビットまたは 5 ビットのデータ受信フォーマット

「[デザイン ファイル](#)」で説明するように、アプリケーションで異なるビット配列が必要な場合、デスクランブルはデザイン コード内で簡単に実行されます。

クロック ラインは DFS への入力として使用され、さらに入力/出力 ブロック (IOB) 内で DDR フリップフロップを使用してサンプルされます。クロックおよびデータ間のクロック スキューを最小に抑えるには、DCM 入力を直接駆動可能な CC (Clock Capable) IOB (GCLK 入力ピン) に近い入力を選択します。すべての入力ラインは、Spartan-3E デバイスの上部 (I/O バンク 0) または下部 (I/O バンク 2) のいずれかに位置する必要があります。バンク 2 にはデバイス コンフィギュレーション中に使用される I/O があるため、バンク 0 の使用が推奨されます。マクロは、どちらのバンクでも同様に十分機能します。

Spartan-3E FPGA の IOB は、クロックの立ち下がりエッジで受信されたデータをキャプチャし、次の立ち上がりエッジでそれを再同期するカスケード機能を備えています。この再同期化は、隣接する IOB のフリップフロップを使用することで実行されます。信号には 2 つの入力が必要であるため、差分信号でも同様の効率が実現されます。この新しいロジック ファンクションのメリットは、デバイス内にある連続した全ロジックがクロックの立ち上がりエッジでのみ動作するため、クリティカルパスのタイミングが単純になることです。

クロックに関する 考察事項

1 ページの「はじめに」で説明したように、入力クロックは DFS 内部で 3.5 通倍されますが、さらにクロックエッジが入力データアイの中央に位置するよう位相シフトさせる必要があります。この値 (通常は 90°) によって周波数がわずかに変動しますが、ISE 8.1 SP3 またはそれ以降を使用した場合、位相シフト値 55 で最良の結果 (つまり、周波数の動作範囲全般で、動作中のデータアイの最も中央にクロックエッジがくる) がもたらされます。それ以前のバージョンの ISE を使用している場合、位相シフト値は 110 となります。この属性の DFS への追加方法は、コード例と共に ZIP ファイルに含まれます。

必要な位相シフト値を決定するもう 1 つのメカニズムとして、FPGA の電源投入時にその値を決定する方法が考えられます。この方法では、プロセス (P) が事実上、変数としては除外されるため、クロックをデータアイの中央に正確に位置させることができます。通常動作中は、DCM によって温度 (T) および電圧 (V) は打ち消されます。自動位相調整については、9 ページの「自動位相調整」で説明します。

データキャプチャは DDR フリップフロップを使用して実行されます。つまり、立ち上がりエッジで 1 回、立ち下がりエッジで同じく 1 回のサンプリングが求められます。これは、『Spartan-3E データシート』に記載されているように、次の 2 つの異なる方法で実現できます。

- 1 つ目は、グローバルバッファを 1 つ用いて 1 つのクロックを DFS から分散させ、このクロックを必要な箇所まで反転させる方法です。
- 2 つ目は、2 つのグローバルバッファを用いて DFS の CLKFX および CLKFX180 出力から位相差が 180° の 2 つのクロックを分散させる方法です。

2 つ目の方法では、立ち上がりエッジのみを使用するため、グローバルクロックネットワークにおけるデューティサイクルのずれが懸念事項とならないという利点があります。このため、高速インターフェイスではこの方法が推奨されます。

両スピードグレードのデバイスで、DFS は最大 333MHz (ラインあたり 666Mbps) で動作しますが、-4 のデバイスでは、内部ロジックおよびグローバルクロック分散バッファの速度によって最大レートが 622Mbps に制限されます。非常に重要な点として、DFS の動作速度は FPGA ビットストリームの変更または DFS の再プログラムを行わずに、5MHz (ラインあたり 17.5Mbps) まで低速化します。この利点は、入力データストリームによって周波数が変動するマルチシンク モニタなどのシステムで大きな意味を持ちます。

図 3 に、生成された 2 つのクロックとそれらの位相シフトを示します。内部クロックは 3.5 通倍されているため、常に受信クロックと位相が一致しているわけではありません。場合によっては (クロック 1 つおきに)、立ち上がりエッジに一致します。また、低速クロックの立ち上がりエッジおよび高速クロックの立ち下がりエッジに揃う場合もあります。ロジックのデフレーミングでは、位相がこのように調整されることに留意しておくことが大切です。

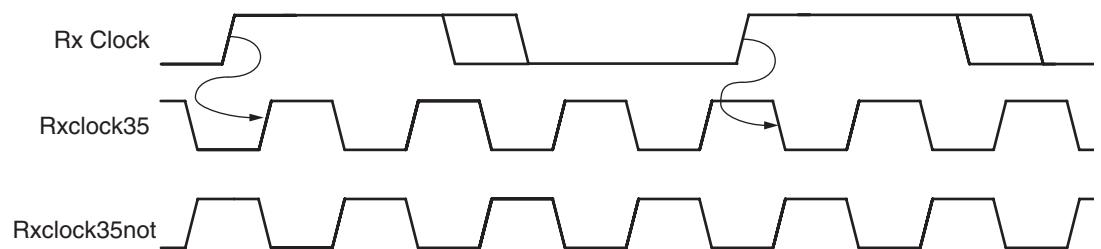


図 3: クロック

X485_03_03260

ロジックについて

レシーバのロジックは、カスケード機能を備えた IOB DDR フリップフロップを使用することで、単純になります。図 4 に、5 ビットのインターフェイスを示します。4 ビットのインターフェイスの場合も同様で、これを小さくしたものです。

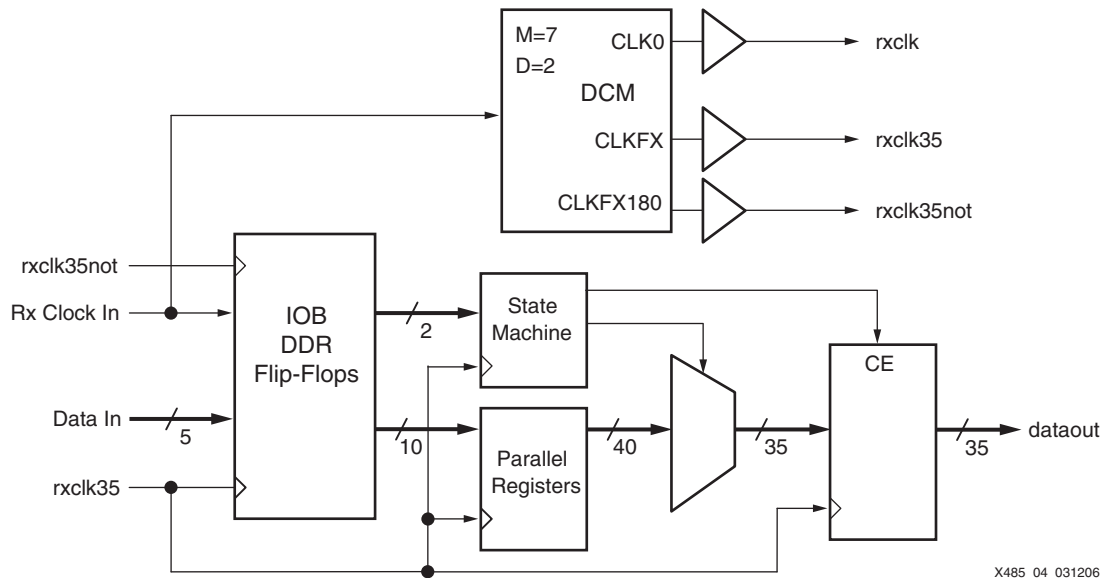


図 4 : Spartan-3E の 1:7 レシーバロジック (5 ビット モジュール)

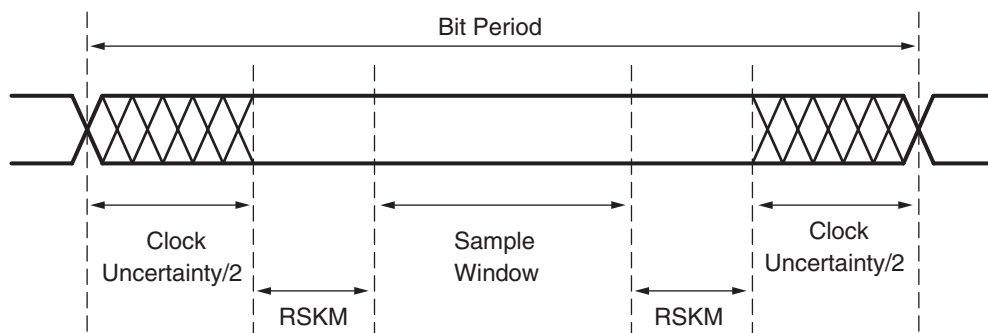
2つのデータビットが、高速クロック rxclk35 の周期ごとに各ラインにクロック入力されることにより、各高速クロックでは 10 ビット (5 ビット データ幅) または 8 ビット (4 ビット データ幅) がレジスタに入ります。この高速クロックは入力されている低速クロックの 3.5 倍であるため、「[クロックに関する考察事項](#)」に記載の 2 つの位相調整イベント下で、ビットのデシリアライズおよびデフレーミングはわずかに異なります。基本的に、35 ビット (5 ビット データ幅) または 28 ビット (4 ビット データ幅) が低速クロックの各サイクルで出力されます。ただし、5 ビット データ幅の場合、レシーバは低速クロックの 1 サイクルで 40 ビットをキャプチャし、次のサイクルで 30 ビットをキャプチャします。4 ビット データ幅の場合、32 ビットをキャプチャし、次に 24 ビットをキャプチャします。どちらのビットがいつ出力となるかは、入力クロックラインをサンプリングし、それを別のデータラインとして扱うことで決定されます。この方法ではマルチプレクサが、正確にデフレームされたデータを低速クロックに同期させてマクロの出力に出します。

このインターフェイスは連続した高速ストリームで、データのバッファリングまたはフロー制御は不要であるため、マクロにこれらは含まれません。

タイミング解析

レシーバのタイミングは、タイミングエラーおよび不確定要素のさまざまな要因を、ビットレートと同等のピコ秒 (ps) 単位のビット周期から控除することで解析されます。この解析結果の値が、システムにおけるマージンとなります。求められた値が正の場合、システムには十分なマージンがあり、適切に機能します。控除するパラメータについては、後述します。

ASSP あるいは同様のデシリアライズを行う同様のデバイスのデータシートでは、たいいていの場合、この仕様はレシーバスキュー マージンまたは RSKM と呼ばれます。この値は、レシーバ内部に存在する不確定要因のみをビット周期から除き、その結果を 2 で割ることによって求められます。図 5 に、RSKM を示します。



X485_07_032606

図 5： レシーバ スキュー マージン (RSKM)

ここで説明しているインターフェイスでは、次が不確定要因となります。

1. シリコンのばらつきは、1つのパラメータ T_{SAMP} で表します。これは、特性評価の結果、VLDS 信号を使用する全 Spartan-3E デバイスで 600ps 未満となっています。この値には次が含まれます。
 - a. デバイスのセットアップおよびホールド ウィンドウ。これは IOB フリップフロップで、内部同期クロックに対してデータが現れ、有効でなければならない時間。
 - b. 高速クロックとその反転バージョンを分散する 2つのグローバルバッファ間のスキュー。
 - c. データおよびクロック ラインすべてにおけるパッケージ スキュー。
 - d. デバイス内の IOB フリップフロップ間の内部クロック スキュー。この値は、パッケージにおける入力ラインの位置によって変動する。

ここに記載する配置に関するザイリンクスのガイドランすべてに従った場合、これらの合計が 50ps 未満となります。

2. ジッタおよびタイミングが不確定であることは、全体的なタイミング バジレットを短くするもう 1つの重要な要因です。このパラメータは CLKOUT_PER_JITT_FX_35 または T_{J35} として表されます。このパラメータは Spartan-3E FPGA が使用される周囲の条件に大きく依存するため、使用環境条件が確定していない場合、確実なワースト ケース値を求めることはできません。ただし、ザイリンクスでは多様なノイズ値を用いて包括的な特性評価を実施し、Spartan-3E の全デバイスで、このジッタ値は 400ps + 出力クロック周期の 2% 未満であるという予測結果を得ています。この値に影響を与える、チップおよび環境要因には次が含まれます (ただし、これらに限られるものではありません)。
 - a. DFS ユニットで入力クロックを 3.5 週倍した場合、DFS での位相シフトによって生じるジッタ。
 - b. 入力クロックジッタ (値は当該システムに大きく既存)。 T_{J35} の特性評価値には、相応の入力クロック ジッタ量 (150ps) が含まれるが、入力クロック ジッタが増加すると、このパラメータ値も増加する。
 - c. 駆動中のデバイスにおけるピン間の任意のスキューおよび PCB 上のトレース間のスキュー。当該システムに依存して変動する。
 - d. FPGA ファブリックでの過剰なスイッチング動作が、チップ ジッタおよびタイミングの不確定性に影響を与える場合がある。たいていのアプリケーションでは、通常、ファブリックでのスイッチングは 12% 未満である。ザイリンクスの特性評価値は 40MHz で、スイッチングが 25% の場合に基づく。
 - e. 駆動能力が高い I/O のスイッチングおよびスイッチング周波数により、タイミングの不確定性が大きくなる。ザイリンクスの特性評価結果には 40MHz で動作する 40 個の SSO (同時出力) のノイズが含まれる。
 - f. ボード デザインおよびチップ パッケージも重要な要因。ザイリンクスの特性評価は、4 層のボードおよび FT256 パッケージの場合に基づく。

システム マージンおよび RSKM の算出例を次に示します。タイミング計算用の Excel スプレッドシートは、ダウンロード可能なデザイン ファイル ([xapp485.zip](#)) で提供されています。図 5 には、RSKM を図示しています。

ここに示すシステム マージンの解析例は 600Mbps で動作するデザインの場合で、DFS クロックは 300MHz です。システム マージンは次のように求められます。

ビット周期	1666ps	1/600Mbps (単位 ps)
- T _{SAMP}	600ps	ザイリンクス特性評価より
- T _{J35}	400 + 0.02 × (10 ⁶ / 300) ps	ザイリンクス特性評価より
- 動作中のデバイスおよび PCB のスキュー	500ps	概算値
= 100ps		システム マージン

同様の値を使用して RSKM を算出すると、次のようになります。

ビット周期	1666ps	1/600Mbps (単位 ps)
- T _{SAMP}	600ps	ザイリンクス特性評価より
- T _{J35}	400 + 0.02 × (10 ⁶ /300) ps	ザイリンクス特性評価より
= 600ps		
2 で除算 300ps		RSKM

これらの計算は、[DS312](#) : 『Spartan-3E データシート』で定められた温度および電圧制限内で動作する -4 または -5 スピード グレードの Spartan-3E デバイスに対して有効です。表 1 で、これらの計算で用いたパラメータについて説明します。

表 1 : システム マージンおよび RSKM の算出に使用したパラメータ

シンボル	説明	スピード グレード		単位
		-5	-4	
		最大	最大	
CLKOUT_PER_JITT_FX_35 (T _{J35})	CLKFX_MULTIPLY = 7、CLKFX_DIVIDE = 2 の場合、DCM の CLKFX/CLKFX180 出力の周期ジッタ。4 層 PCB で FT256 パッケージを使用、入力クロック ジッタは 150ps、内部ロジックのスイッチングは 40MHz で 25%、SSO (同時スイッチ出力) は 40MHz で 40 個のときの値。	±[CLKFX 周期の 2% + 400]		ps
T _{SAMP}	推奨されるピン配置要件を満たすデザインでの IOB フリップフロップの内部同期クロックに対するセットアップおよびホールド ウィンドウ。クロックを分散する 2 つのグローバルバッファ間のスキュー、すべてのデータおよびクロックラインでのパッケージスキュー、およびデバイス内の I/O フリップフロップ間の内部クロックスキューを含む。	600		ps

デザイン ファイル

デザイン ファイルには、4 ビットと 5 ビットのレシーバインターフェイスに対応する Verilog および VHDL ファイルの両方が含まれ、ザイリンクスのウェブ サイトから入手可能です ([xapp485.zip](#))。これらのファイルには、ソース コード、デザイン例、タイミング制約 (UCF ファイル)、そして多数のデバイス/パッケージの組み合わせにおけるピン配置例が含まれます。この ZIP ファイルに含まれないデバイス/パッケージの組み合わせやその他の質問については、spartan3e.serdes71@xilinx.com まで E メール (英語) でお問い合わせください。最も高いビット レートがサポートされているのは BGA パッケージです。VQ100、TQ144、PQ208 などの QFP (Quad Flat Pack) パッケージでは通常、最近のパッケージ

よりもジッタが大きくなるため、パフォーマンスが低下します。したがって、表 2 に示すように、これらのパッケージでのレートは 500Mbps に制限されます。

デザインの階層は非常に単純です。最上位モジュールは、必要な I/O をインスタンス化し、DCM をどのように設定するかを提供しています。また、最上位によってラッパがインスタンス化され、このラッパはレシーバ モジュールをインスタンス化します。ビットを変更する必要がある場合は、ラッパ モジュール内での変更が最適です。一部のインターフェイスでは、4 または 5 データ ビットで DC バランス機能を実行する必要があります。この機能の実行には、追加ロジックが必要となります。詳細は、spartan3e.serdes71@xilinx.com まで E メール (英語) でお問い合わせください。

デザイン処理

デザイン ファイルは ISE 8.1 SP2 および Synplicity 8.4 を使用してテストされています。いずれのバージョンの ISE でも、VHDL または Verilog に次の 2 つの設定を行う必要があります。

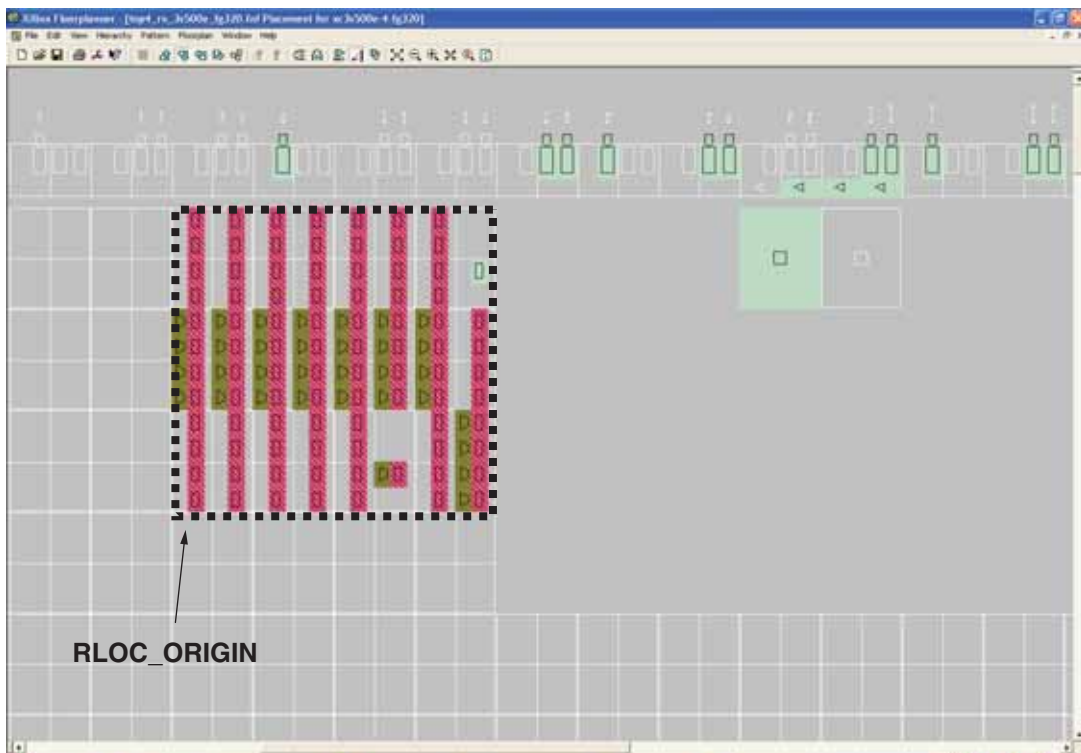
1. ユーザーは ISE で階層が維持されるように設定してください。これはデフォルト設定ではありません (Synplicity ではデフォルト)。[Synthesize-XST] で右クリックして [Properties] オプションを開き、[Keep Hierarchy] が [Yes] になっていることを確認してください。
2. ISE を使用している場合、コマンドライン スイッチ `-ignore_keep_hierarchy` を使用して mapper を実行してください (これは Synplicity では不要)。実行するには、[Implement Design] を展開表示し、[Map] で右クリックして [Properties] を選択します。次に、[Other Map Command Line Options] に `-ignore_keep_hierarchy` を追加します。

デザインのフロアプラン

デザイン制約ファイル (*.UCF) で RLOC_ORIGIN 文を使用し、レシーバ ロジックを I/O バンク 0 に位置する入力ピンの近くに配置します。4 ビットバージョンのレシーバモジュールは、実際に 4 ビット幅 x CLB 3 個分の高さとなり (図 6 を参照)、5 ビットバージョンではこれよりわずかに大きく、4 ビット幅 x CLB 4 個分の高さ (図 7 を参照) となります。

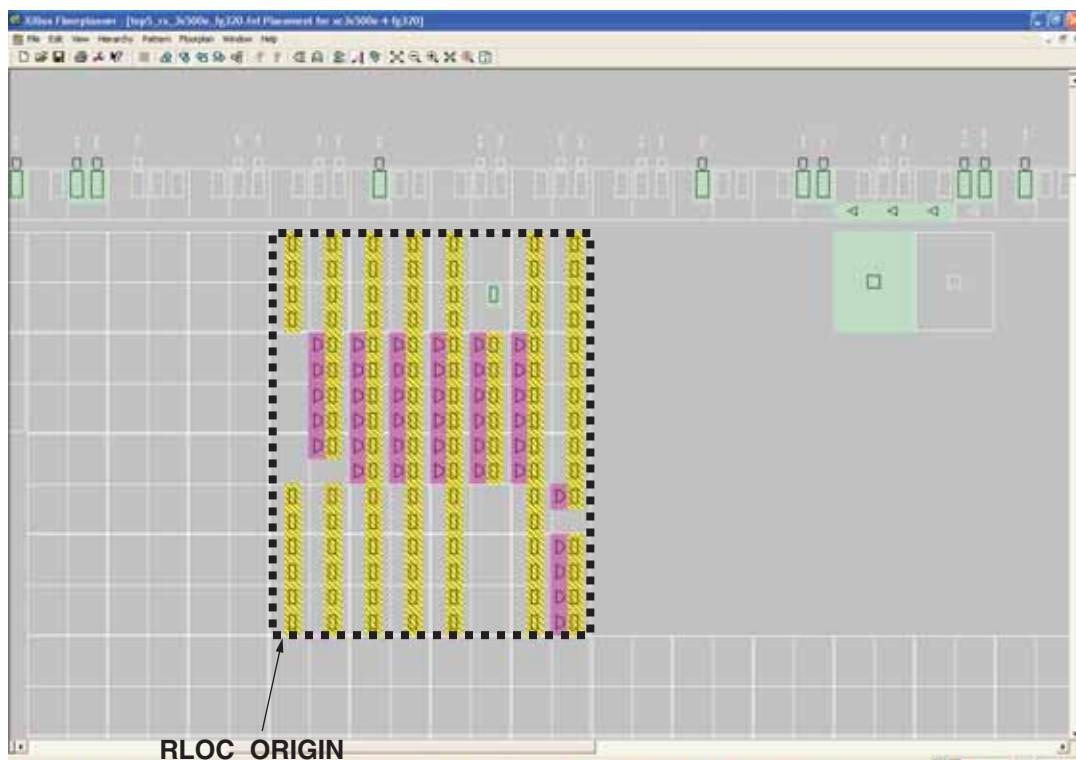
終端レジスタについて

入力データおよびクロック LVDS 接続は、100Ω の抵抗を使用して PCB 上で、あるいは DIFF_TERM スタイルの IOB を使用して FPGA 内部で終端できます。DIFF_TERM レジスタは通常 120Ω で、理想的な抵抗値よりわずかに高くなりますが、LVDS 増幅器の入力ピンの間近に位置しているというメリットがあります。Spartan-3E FPGA の入力専用ピンでは DIFF_TERM 機能は使用できません。これは、双方向機能を備えるピンでのみ使用可能です。



X485_05_021206

図 6 : 4 ビットの Spartan-3E レシーバ マクロ



X485_06_021206

図 7 : 5 ビットの Spartan-3E レシーバ マクロ

自動位相調整

自動位相調整の原則は、非常にシンプルです。既知の入力データ信号(事実上、入力クロック)は7ビットごとに Low から High に遷移します。前述したように、DCM は入力クロックの 3.5 倍の速度で動作する高速クロックを生成しています。したがって入力クロックは、入力データラインとまったく同様に、IOB 内部のフリップフロップでサンプルされます。図 8 に、ファンクションブロック図を示し、図 9 にアクティブな信号を示します。

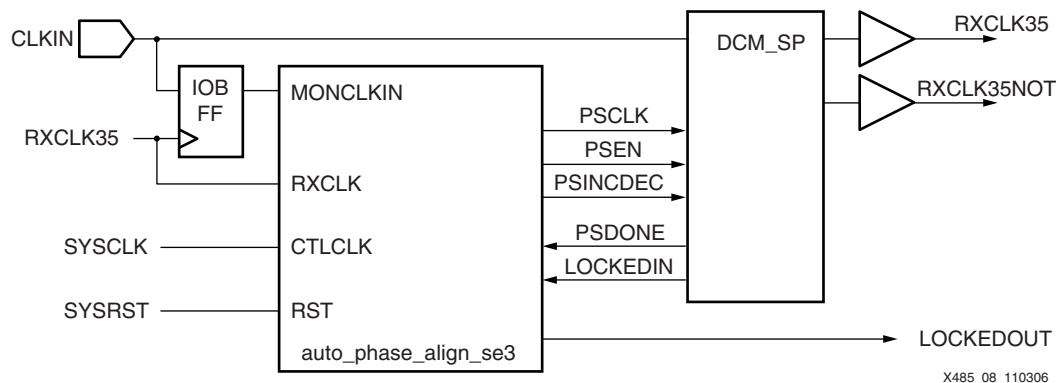


図 8：自動位相調整回路のトポロジ

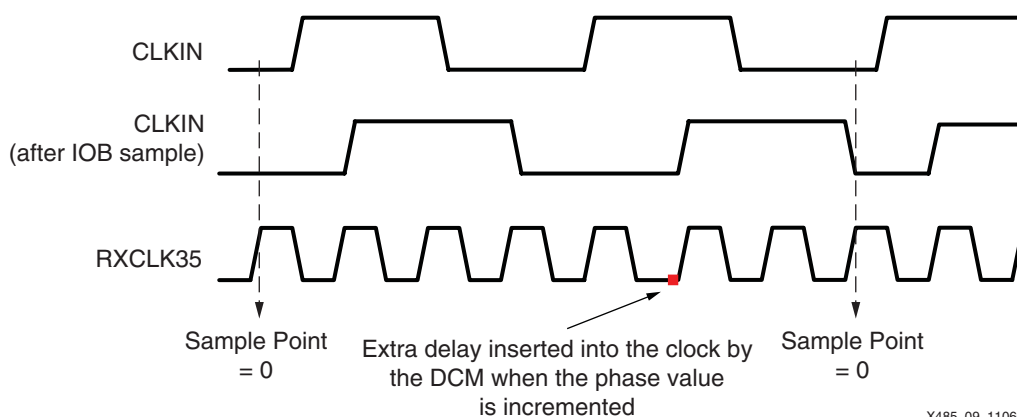


図 9：高速クロック (RXCLK35) でサンプルされる CLKIN

入力クロックラインがサンプルされると、予想ビットパターンが既知であるため、サンプリングクロックを (DCM の位相シフタを使用して) セットアップポイントの検出位置に間に合うように移動させることができます。入力パターンは、図 10 に示すように変化します。サンプリングクロックは、入力フリップフロップのセットアップタイムを計測するように移動し、その後、DCM によってサンプルクロックが進んだステップ数と等しい値 (n_1) を格納します。ここでは、高速クロックの立ち上がり、立ち下がりエッジのどちらを使用してセットアップポイントを検出したかは重要ではありません。

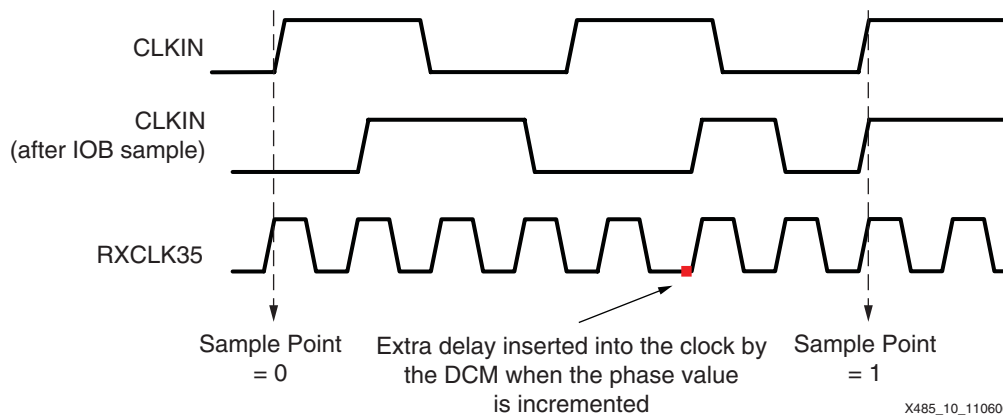


図 10： サンプルクロックが 0 から 1 に変わった場合の最初の検出ポイント

図 11 に示すように、高速サンプルクロックは、次のエッジが IOB フリップフロップのセットアップタイムに再び到達するまで移動を続け、この値 (n_2) を保存します。入力周波数にかかわらず、 n_1 および n_2 の差がそのまま 1 ビット分に相当します。

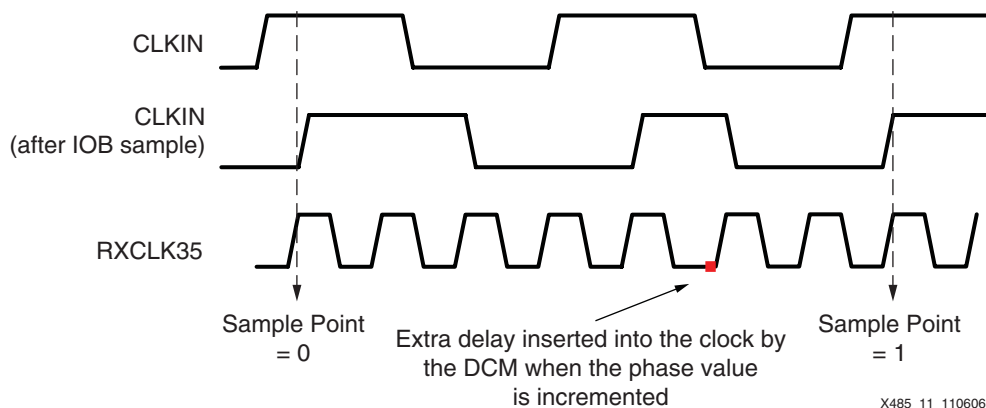


図 11： サンプルクロックが 0 から 1 に変わった場合の 2 番目の検出ポイント

Spartan-3E FPGA は従来の Spartan-3 FPGA とわずかに異なり、可変モードの位相シフトが直接、時間単位 (ピコ秒単位) で実行されます。Spartan-3E デバイスの固定位相シフトモードおよび Spartan-3 デバイスでの可変、固定の両モードは、位相のインクリメント単位で実行されます。Spartan-3E の位相シフタの各インクリメントは約 25ps ですが、この値はデバイスによって異なります。ここに記載するアプリケーションでの計算では、この値は重要でないため、いくつであっても問題となりません。

前出の回路での n_1 および n_2 の値から n_1 と n_2 の平均値 (n_3) が算出でき、これがクロックがデータアイの中央に位置するようになる理想的な点となります。サンプリングクロックは、この点に向かって移動し、ステータスラインの LOCKEDOUT が High に駆動されると、デバイスの残りの回路に位相調整が完了したことが示されます。図 12 に、この位相調整プロセスをシミュレーションの波形図で示します。

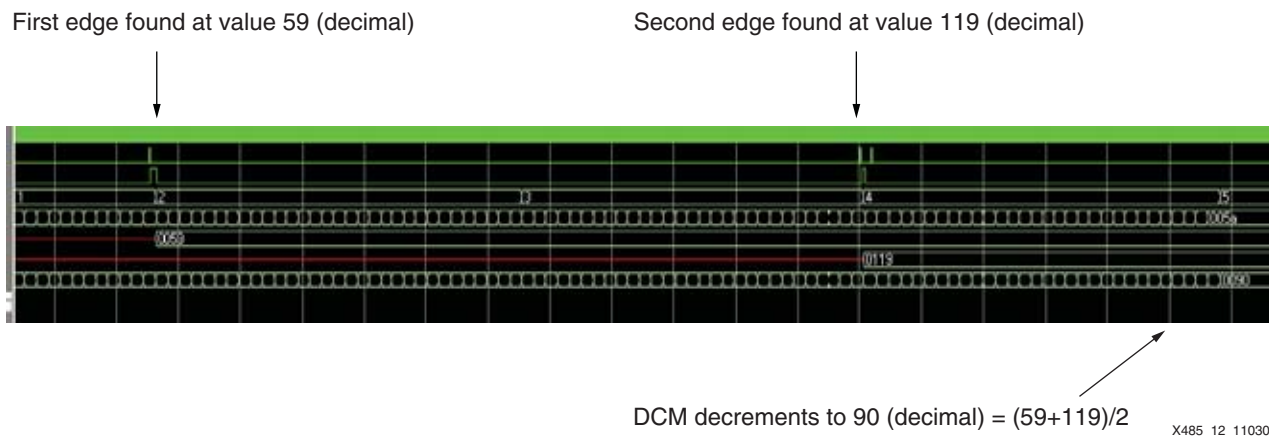


図 12：調整プロセスのシミュレーション波形図

位相調整ロジックは基本的に、ここで説明した動作を実行するステートマシンです。 [xapp485.zip](#) にはインスタンスエーションおよび使用例と共にそのコードが含まれます。 n_1 、 n_2 、および n_3 を確認できる出力が BCD およびバイナリの両方で提供され、位相調整を手動でインクリメントまたはデクリメントするための入力も用意されています。この回路では、FPGA が電源投入またはリセットされるごとに位相調整が実行され、ノイズ耐性は常に、データアイの中央で最も高くなります。ただし、ロジックは FPGA 内部のスライス (BCD 出力が未使用時は 50 スライス) を使用することになります。

この全体的なメカニズムは、設計者の意向によっては、PicoBlaze™ マイクロコントローラなどのマイクロコントローラでもインプリメントできます。

まとめ

Spartan-3E FPGA は、1:7 のデシリアライズを最高 666Mbps のレートで実行することが求められる多様なアプリケーションで使用されます。このレートはスピード グレードおよびパッケージによって異なります (表 2 を参照)。

表 2：スピード グレードおよびパッケージ別のレート

	VQ, TQ, PQ	CP, FT, FG
-4	500Mbps	622Mbps
-5	500Mbps	666Mbps

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2006/04/03	1.0	初版リリース
2006/11/10	1.1	ピンのスワッピング ロジックの説明を追加。自動位相調整の説明を追加。バージョン 8.2.03 のザイリンクス ツール セットを使用してテスト。