



XAPP486 (v1.0) 2007 年 3 月 9 日

## Spartan-3E FPGA における最高レート 666Mbps での 7:1 のシリアライズ

本資料は英語版 (v1.0) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

### 概要

Spartan™-3E デバイスは、最高 666Mbps のレートで 7:1 のシリアライズを実行する必要があるさまざまなアプリケーションで使用されます。このアプリケーション ノートでは、4 ビットまたは 5 ビットの送信データバス幅が必要で、ビット レートの 1/7 の速度のフォワード クロックを用い、ラインの最大レートが 666Mbps で動作するアプリケーションで使用される Spartan-3E デバイスについて説明します。このタイプのインターフェイスは、フラットパネルディスプレイやオートモーティブアプリケーションで多く使用されます。これと関連するレシーバ デザインについては、[XAPP485](#): 『Spartan-3E FPGA における最高レート 666Mbps での 1:7 のデシリアライズ』で説明しています。

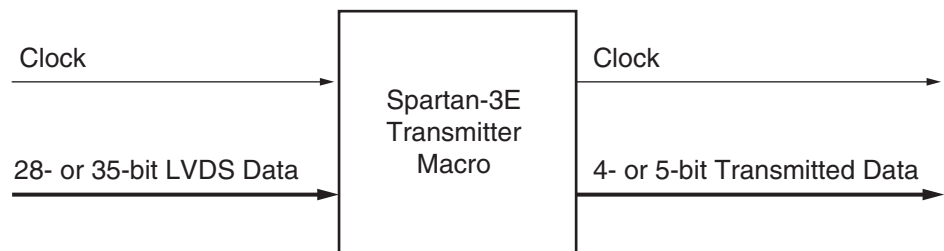
これらのデザインは Spartan-3E FPGA に適用でき、Spartan-3A FPGA ファミリでは十分な特性評価が完了後に使用可能です。ただし、従来の Spartan-3 デバイスには適用できません。

### はじめに

次の 2 つのタイプのシリアライズ デザインが利用可能です。

1. ロジック バージョンのデザインでは、低速システム クロックと高速トランスミッタ クロックの位相が一致するように調整されます。
2. FIFO バージョンのデザインでは、ブロック RAM ベースの FIFO メモリを使用し、2 つのクロック間の位相関係の要件が不要となっています。

いずれのバージョンでも、システム クロックの 3.5 倍の送信クロックおよび DDR (ダブル データ レート) テクニックの両方を使用し、7:1 のシリアライズを実現します。これにより、内部ロジックが適切な速度に維持され、Spartan-3E FPGA の DFS (デジタル周波数合成) ブロック範囲内のクロックが確実に生成されます。Spartan-3E FPGA の最大データ レートは -4 スピード グレードで 622Mbps、-5 スピード グレードで 666Mbps です。ステッピング 1 のシリコンでは、両スピード グレードのデバイスで DFS ブロックの最大速度に制限があります。DFS ブロックの詳細は、[UG331](#): 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』を参照してください。



XAPP486\_01\_012607

図 1: 7:1 のトランスミッタ モジュール

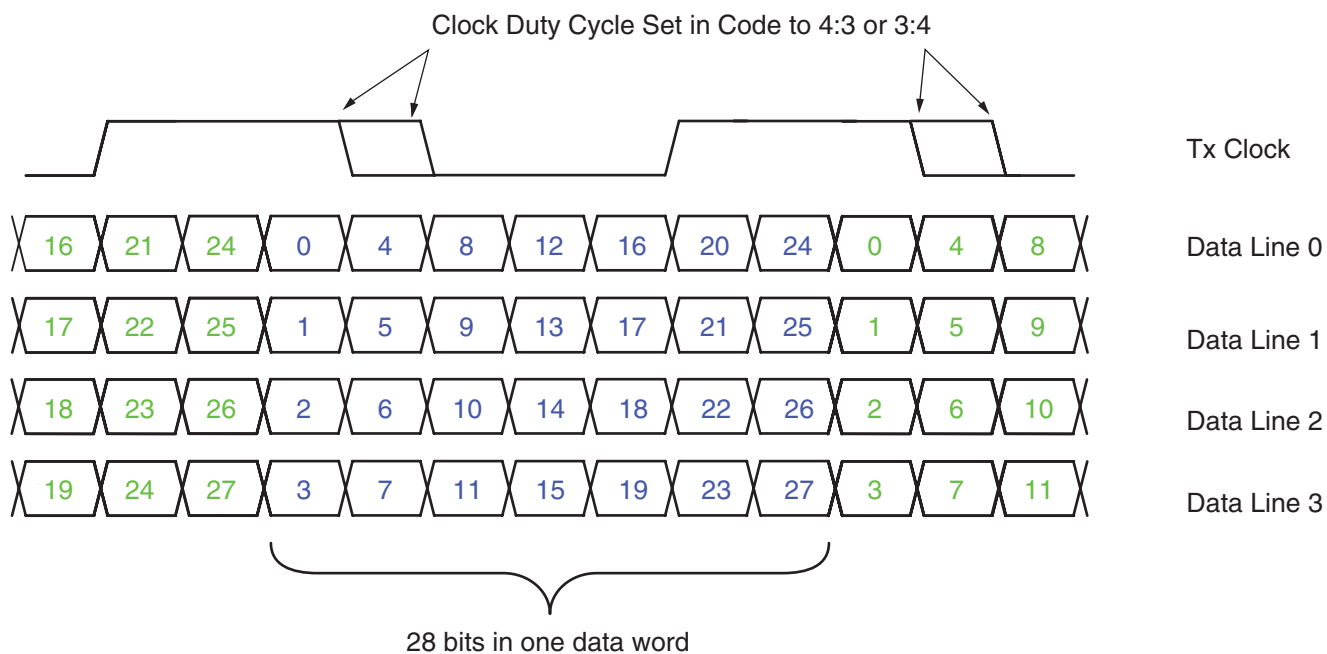
© 2007 Xilinx, Inc. All Rights Reserved. XILINX, Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。

## 出力パッドの配置

トランスミッタ マクロは Spartan-3E シリコンの右側に配置し、使用するよう設計されています。ZIP ファイル ([xapp486.zip](#)) で提供されているピン配置例はこの規則に従っていますが、実際は配置に対する明確な要件はありません。別の位置に配置する際の決定的な要因は、マクロに既存の内部フロアプランが新しい配置位置で、設計者の速度要件を満たすことができるかどうかです。

送信されるデータは、4 または 5 ビットのデータラインとフォワードされたクロックから成り、これらは互いに非常に近接しています。クロックのデューティサイクルは 4:3 または 3:4 で、コード内で選択できます。クロック スキューを最小限に抑えるため、出力パッドは可能な限り接近させて配置して、信号のトラックすべてが 100Ω の理想的なインピーダンスにできるだけ近接し、かつ長さが一致するように考慮した PCB 設計を行う必要があります。

図 2 および図 3 に、長さが 7 ビットで幅が 4 ビットまたは 5 ビットのフレームで送信される各ビット位置と共に、クロックとデータの関係を図示します。「デザイン ファイル」で説明するように、アプリケーションで異なるビット配列が必要な場合、デザイン コード内で簡単に並べ替えが実行されます。



X486\_02\_011807

図 2: 4 ビットのデータ送信フォーマット

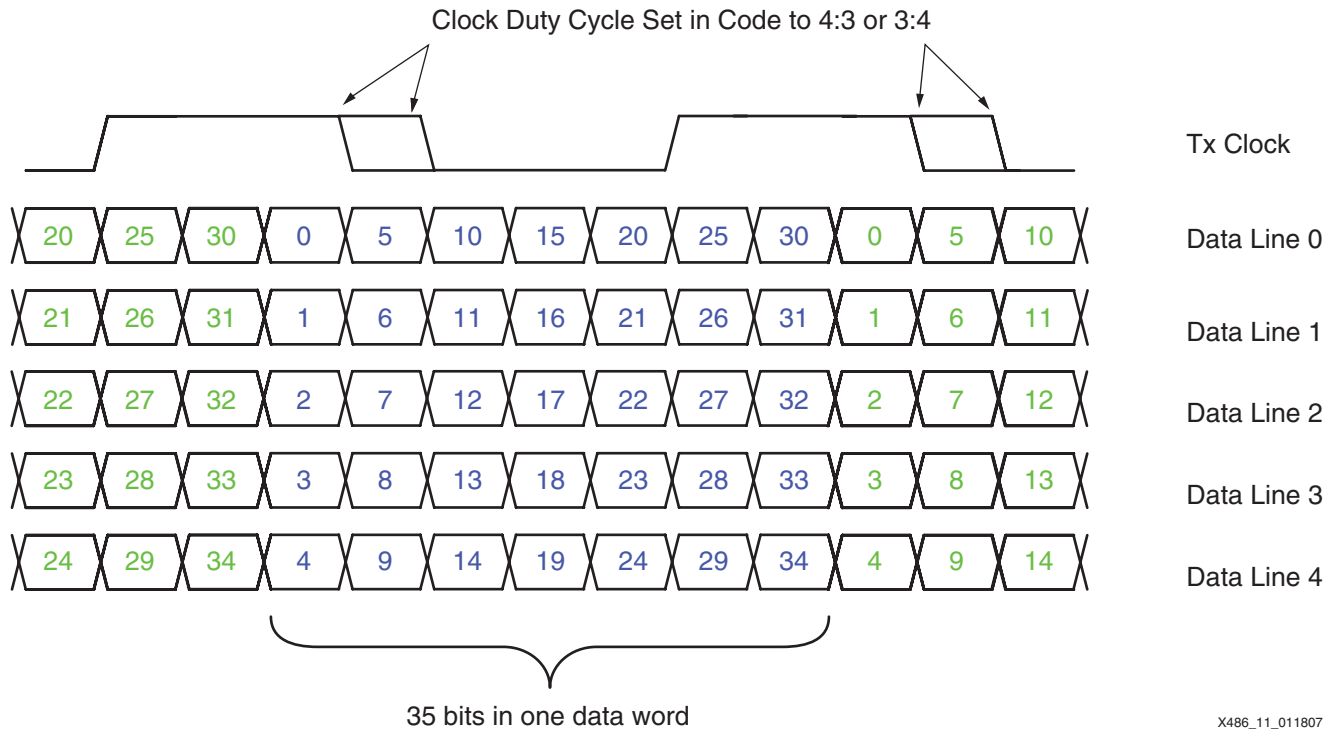


図 3：5 ビットのデータ送信フォーマット

IOB 内部の DDR フリップフロップは Spartan-3E アーキテクチャの一部で、送信に使用される両クロックに同期して、データを出力させる必要があります。

## クロックに関する 考察事項

内部のシステム クロックは DFS 内部で 3.5 倍され、アプリケーションに必要な高速クロックを生成します。クロッキングには 2 つの方法が考えられます。1 つは、グローバルバッファを 1 つ用いて 1 つのクロックを DFS から分散させ、このクロックを必要な箇所で反転させる方法、もう 1 つは、2 つのグローバルバッファを用いて DFS の CLKFX および CLKFX180 出力から位相差が 180° の 2 つのクロックを分散させる方法です。

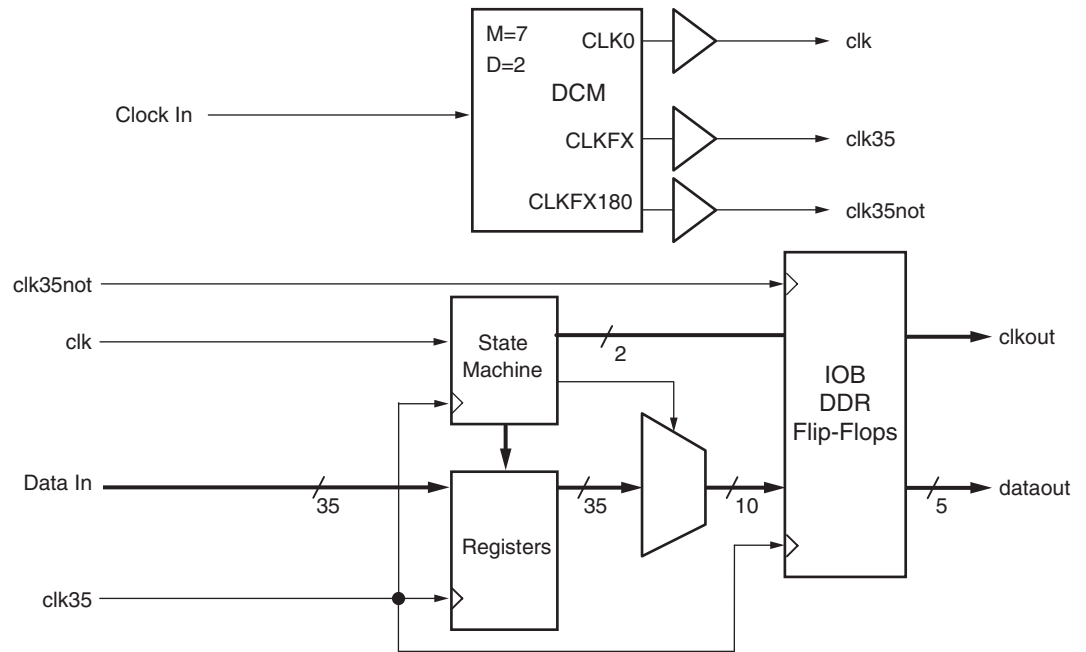
2 つ目の方法では、立ち上がりエッジのみを使用するため、グローバルクロックネットワークにおけるデューティサイクルのずれが重要とされないという利点があります。このため、高速インターフェイスではこの方法が推奨されます。

DFS は -4 スピードグレードでは最大 311MHz (ラインあたり 622Mbps)、-5 スピードグレードでは最大 333MHz (ラインあたり 666Mbps) で動作可能です。

非常に重要な点として、DFS は再プログラムおよびそれに伴う FPGA ビットストリームの変更なしで、5MHz (ラインあたり 17.5Mbps) まで速度を低下させて動作できます。これは、送信データによって周波数が変動するシステムで大きな利点となります。

ロジックについて      ロジックバージョン

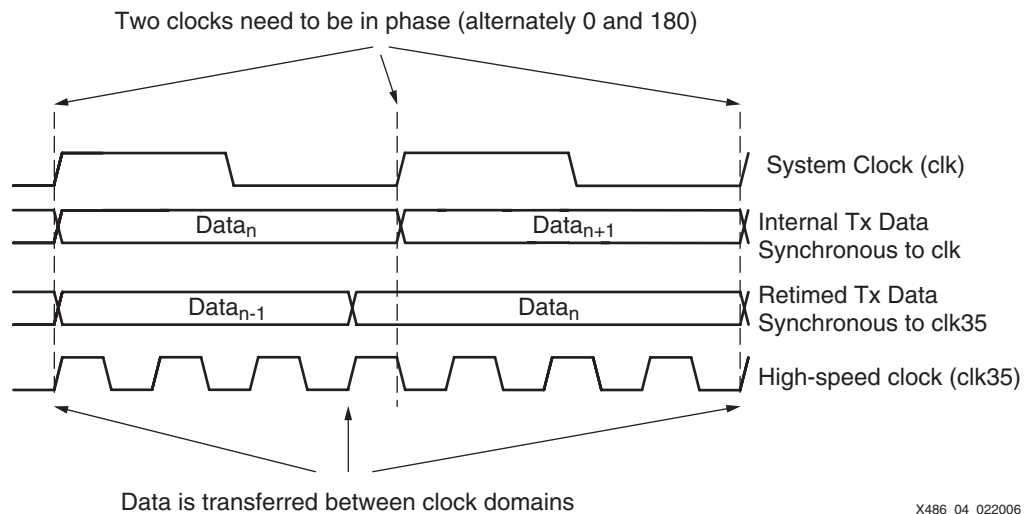
図4に、ロジックバージョンのトランスミッタを示します。これは非常に単純なデザインですが、高周波数で動作させる場合は慎重を要します。データは出力データ幅に応じて28ビットまたは35ビットワードで、クロック clk に同期して到達します。ステートマシンは2つの入力クロック、clk および clk35 (位相は一致) を比較し、これらが同期していると、データが低速ドメインから高速ドメインに移動します。同期を検出するためのロジックは高速 (630Mbps のデータリンクでは 630MHz) で動作する必要があります。同期を検出するためのロジックは高速 (630Mbps のデータリンクでは 630MHz) で動作する必要があります。同期を検出するためのロジックは高速 (630Mbps のデータリンクでは 630MHz) で動作する必要があります。同期を検出するためのロジックは高速 (630Mbps のデータリンクでは 630MHz) で動作する必要があります。



X486\_03\_012607

図4： Spartan-3E のロジックバージョンの 1:7 トランスミッタ (5 ビット モジュール)

高速クロックは clk の 3.5 倍であるため、図5に示すように、2つのクロックが実際に一致するのは、クロックの2サイクル (または clk35 の7サイクル) ごとです。次にステートマシンがデータのリタイムとシリアライズをスケジュールし、前述した DDR 出力レジスタによってデータが送信されます。



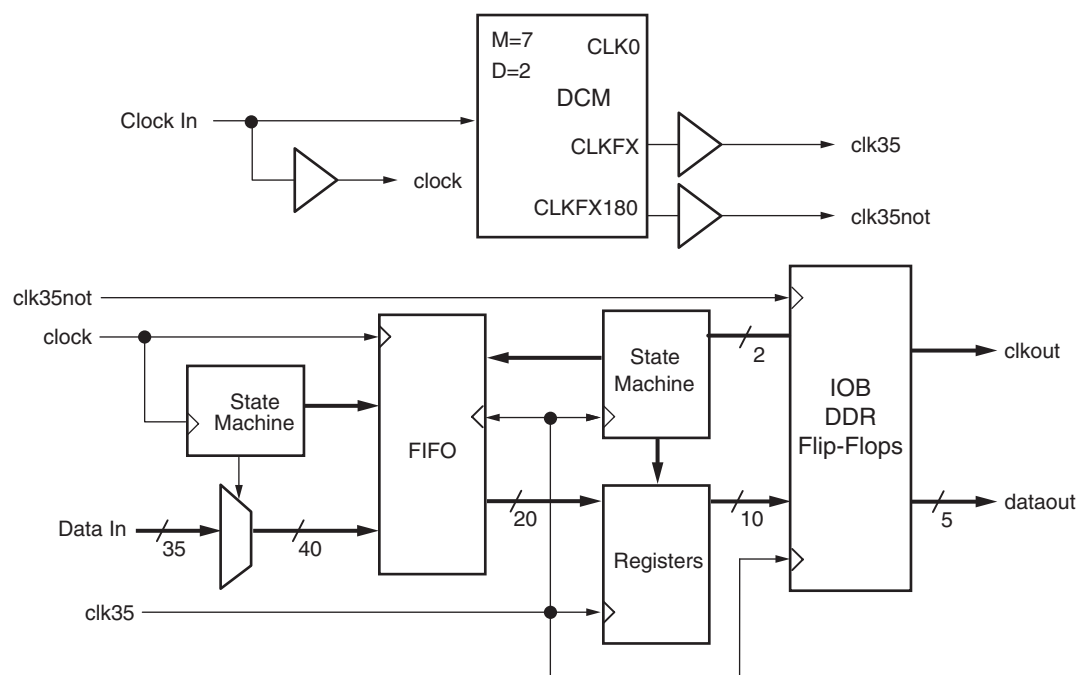
X486\_04\_022006

図5： ロジックバージョンの場合の内部タイミング

フォワード クロックは出力 DDR レジスタでデータとして生成され、結果としてデューティ サイクルが 4:3 となります。ただし、この比率は必要に応じてコード内で 3:4 にも変更できます。

## FIFO バージョン

FIFO バージョンのコードは多少複雑になりますが、2つのクロックの位相を一致させる必要がないという長所があります。図 6 に、ロジック ブロック図を示します。この場合も 28 または 35 ビット 幅のデータがクロックに同期して到達し、32 または 40 ビット 入力で、16 または 20 ビット 出力に構成されたブロック メモリに書き込まれます (40 ビット 入力で構成するには、2つのブロック メモリが必要)。メモリへの書き込み時、入力データを RAM の幅にあわせるため、データの一部は次に到達するワードから借用されます。この方法では、RAM は 8 クロックのうち 7つのクロックで書き込みを実行します。内部データが 35 ビットのときは  $8 \times 35$  ビット = 280 ビットが 7 サイクルで RAM に書き込まれます。7 x 40 ビット = 280 ビットのときも同様で、RAM は 8 番目のクロック サイクルごと無効となります。このことは、表 1 に示しています。datain は入力データ、dataind は 1 サイクル前のクロックでのデータです。



X486\_05\_022006

図 6 : Spartan-3E の FIFO バージョンの 1:7 トランスミッタ (5 ビット モジュール)

表 1 : FIFO に書き込む場合のアドレス/データ シーケンス

RAM アドレス 下位 3 ビット	WE	書き込みデータ
..0	アクティブ	datain[4:0], dataind[34:0]
..1	アクティブ	datain[9:0], dataind[34:5]
..2	アクティブ	datain[14:0], dataind[34:10]
..3	アクティブ	datain[19:0], dataind[34:15]
..4	アクティブ	datain[24:0], dataind[34:20]
..5	アクティブ	datain[29:0], dataind[34:25]

表 1 : FIFO に書き込む場合のアドレス/データ シーケンス (続き)

RAM アドレス 下位 3 ビット	WE	書き込みデータ
..6	アクティブ	datain[34:0], dataind[34:30]
..7	非アクティブ	XXXXXXXX

データは次に、RAM のもう一方のポートから高速クロック clk35 に同期して読み出されます。実際にはクロック サイクル 1 つおきに読み出されるため、RAM の Clock-to-Out 仕様を越えることはありません。外部データが 4 ビットの場合、データは 16 ビット幅で読み出され、5 ビットのときは 20 ビット幅で読み出されます

有効なデータを含むメモリ位置のみを読み出すように注意してください。有効なデータは 0 ~ 6 の位置に書き込まれ、読み出しポート幅は書き込みポート幅の半分であるため、この位置は読み出し時は 0 ~ 13 に対応します。したがって、RAM の読み出しアドレスは 0 から 0xD までをカウントした後、0 にリセットされます。14 x 20 ビットが高速クロックの 28 サイクルで読み出され、高速クロックの 28 サイクルは低速クロックの 8 サイクルにあたり、14 x 20 = 280 ビットが読み出されます。そのため、入力および出力バンド幅は同一となります。この観点から考えると、データはロジックで 2:1 でシリアライズされ、出力 DDR レジスタでも 2:1 でシリアライズされて 16 または 20 ビットから 4 または 5 ビットとなります。

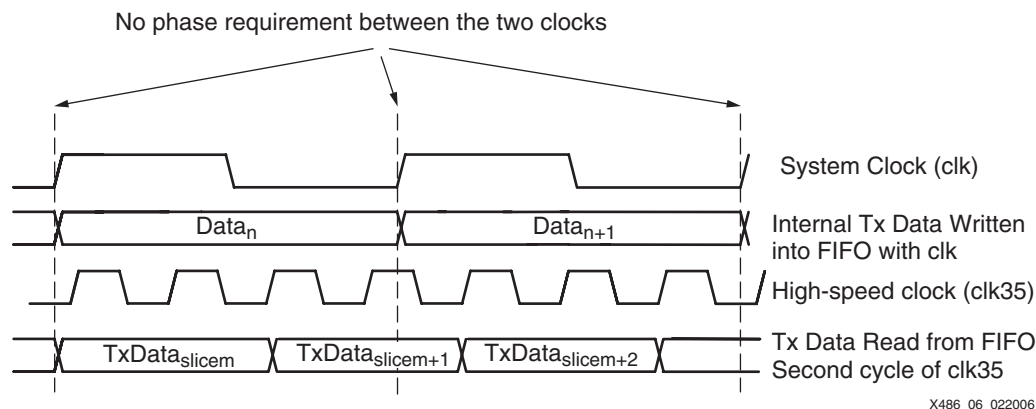


図 7 : FIFO バージョンの内部タイミング

フォワード クロックは、上述したロジック ベースのマクロの場合と同一の方法で生成されます。

## タイミング解析

トランスミッタのタイミングは、タイミング エラーおよび不確定要素のさまざまな要因を追加することで解析します。これらの要因には次が含まれます。

- シリコンのばらつき。
  - 高速クロックとその反転バージョンを分散する 2 つのグローバル バッファ間のスキュー。この値は、次に説明するジッタ内に含まれる。
  - データおよびクロック ラインすべてにおけるパッケージ スキュー。
  - デバイス内の IOB フリップフロップ間の内部クロック スキュー。この値は、パッケージにおける出力ラインの位置によって変動する。

ここに記載する配置に関するザイリンクスのガイドランすべてに従った場合は、これらの合計で 50ps 未満となります。

- ジッタおよびタイミングが不確定であることは、全体的なタイミング バジレットを短くするもう 1 つの重要な要因です。このパラメータは  $T_{J35}$  として表されます。このパラメータはザイリンクス

FPGA が使用される周囲の条件に大きく依存するため、使用環境条件が確定していない場合、確実なワースト ケース値を求めることはできません。しかし、ザイリンクスでは多様なノイズ値を用いて包括的な特性評価を実施し、Spartan-3E の全デバイスで、この値は 400ps + 出力クロック周期の 2% 未満であるという予測結果を得ています。この値に影響を与える、チップおよび環境要因には次が含まれます (ただし、これらに限られるものではありません)。

- DFS ユニットで入力クロックを 3.5 倍した場合、DFS での位相シフトによって生じるジッタ。
- 入力クロック ジッタ (値はシステムに大きく既存)。T<sub>J35</sub> の特性評価値には、相応の入力クロック ジッタ量 (100ps) が含まれるが、入力クロック ジッタが増加すると、このパラメータ値も増加する。
- FPGA ファブリックでの過剰なスイッチング動作が、チップ ジッタおよびタイミングの不確実性に影響を与える場合がある。たいていのアプリケーションでは、通常、ファブリックでのスイッチングは 12%。ザイリンクスの特性評価値は、スイッチング動作が 25% の場合に基づく。
- 駆動能力が高い I/O のスイッチングおよびスイッチング周波数により、タイミングの不確実性が大きくなる。ザイリンクスの特性評価結果には、80MHz で動作する 40 個の SSO (同時出力) のノイズが含まれる。
- ボード デザインおよびチップ パッケージも重要な要因。ザイリンクスの特性評価は、4 層のボードおよび FT256 パッケージの場合に基づく。

ここに示すシステム マージンの解析例は 600Mbps で動作するデザインの場合で、DFS クロックは 300MHz です。

T <sub>J35</sub>	400 + 0.02 * (10 <sup>6</sup> /300) ps	ザイリンクス特性評価より
+ クロック スキュー	50ps	ザイリンクス特性評価より
=	516ps	T <sub>x</sub> での不確実性

## デザイン ファイル

デザイン ファイルには、4 ビットと 5 ビットのトランスミッタ インターフェイスに対応する Verilog および VHDL ファイルの両方が含まれ、ザイリンクスのウェブ サイトから入手可能です ([xapp486.zip](#))。これらのファイルには、ソース コード、デザイン例、タイミング制約 (UCF ファイル)、そして多数のデバイス/パッケージの組み合わせにおけるピン配置例が含まれます。この ZIP ファイルに含まれていないデバイス/パッケージの組み合わせやその他の質問については、[spartan3e.serdes71@xilinx.com](mailto:spartan3e.serdes71@xilinx.com) まで E メール (英語) でお問い合わせください。

## デザイン処理

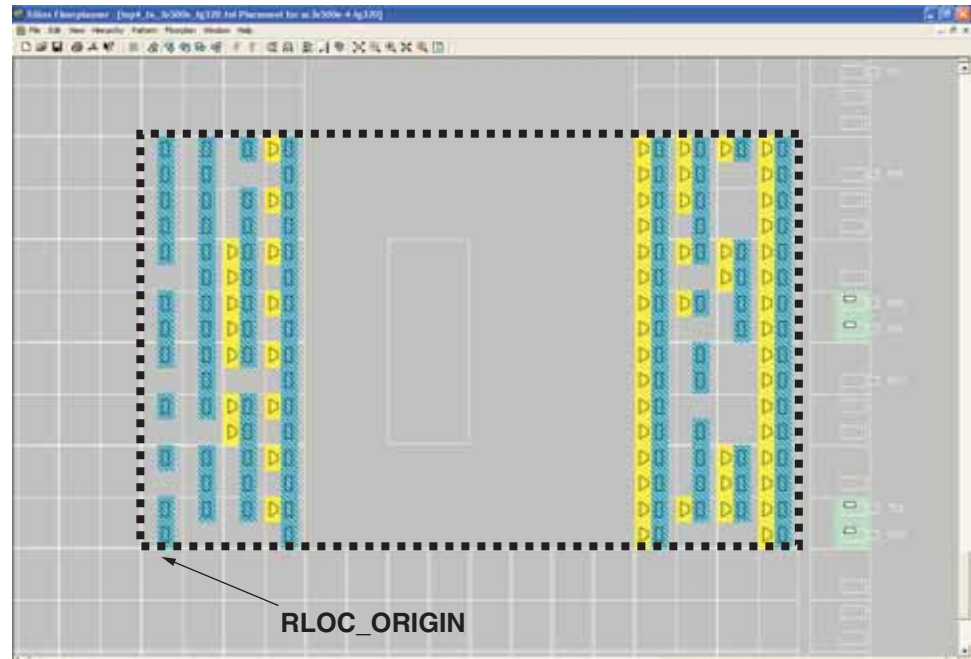
デザイン ファイルは ISE9 および Synplicity 8.4 を使用してテストされています。いずれのバージョンの ISE でも、VHDL および Verilog に次の設定を行う必要があります。

- ISE で階層が維持されるように設定してください。これは Synplicity ではデフォルト設定ですが ISE では変更が必要です。[Synthesize-XST] で右クリックして [Properties] ダイアログ ボックスを開き、[Keep Hierarchy] が [Yes] になっていることを確認してください。

## デザインのフロアプラン

デザイン制約ファイル (\*.UCF) で RLOC\_ORIGIN 文を使用し、トランスミッタをバンク 1 に位置する入力ピンの近くに配置します。4 ビットのロジック バージョンのトランスミッタ モジュールは、実際に 4 ビット幅 × CLB 3 個分の高さとなってブロック RAM の両側に位置します (図 8 を参照)。5 ビットバージョンではこれよりわずかに大きく、4 ビット幅 × CLB 5 個分の高さとなって、同様にブロック RAM の両側に位置します (図 9 を参照)。





X486\_07\_022006

図 8：4 ビットの Spartan-3E トランスミッタ マクロ



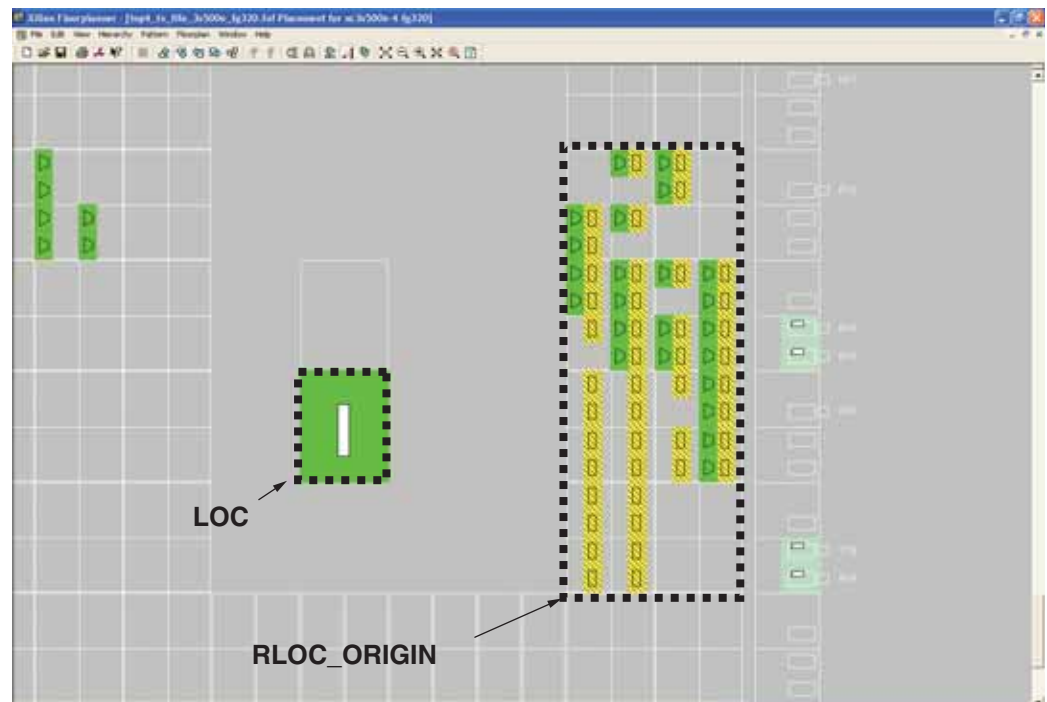
X486\_08\_022006

図 9：5 ビットの Spartan-3E トランスミッタ マクロ

このファミリーの最小デバイス (XC3S100E) の場合、右側にブロック メモリがないため片側のみに位置することになります。したがって、このデバイスの場合はロジックすべてが一緒にまとめられ、存在しないブロック RAM 用の空きスペースがないようにしながらマクロを生成するスイッチが HDL コード内にあります。

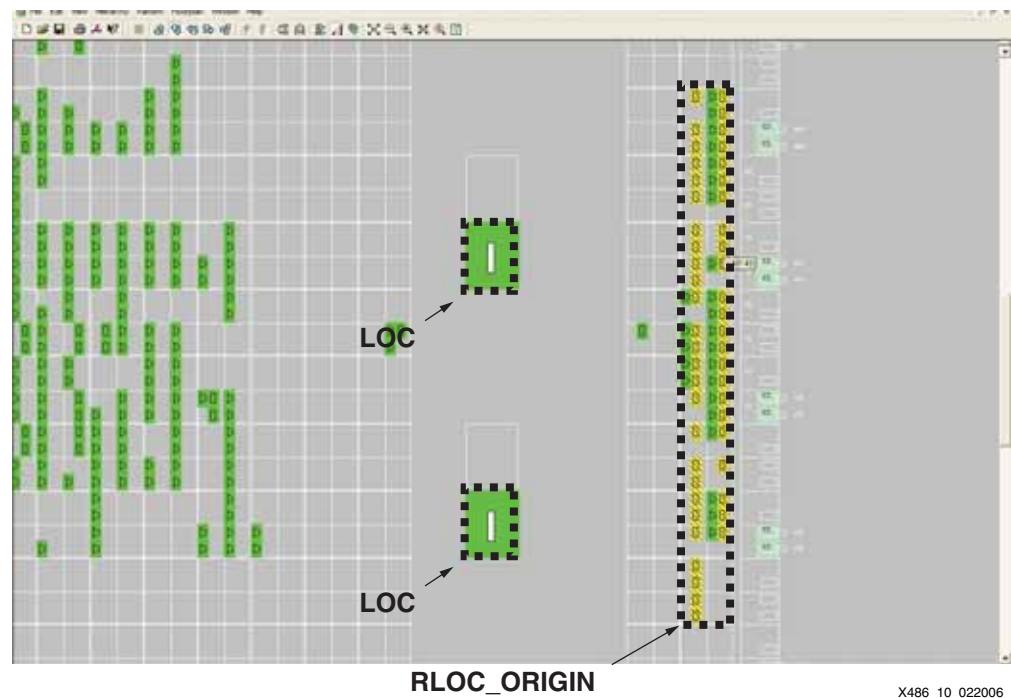


図 10 および図 11 に、4 ビットバージョンおよび 5 ビットの FIFO バージョンのマクロを示します。いずれのバージョンでも、このようなデザインでは UCF で RLOC\_ORIGIN 文を使用する必要があります。さらに、4 ビットバージョンのときは 1 つのブロック RAM に 1 つの LOC 文を、5 ビットバージョンのときは 2 つのブロック RAM に対して 2 つの LOC 文が必要となります。



X486\_09\_022006

図 10: 4 ビットの Spartan-3E トランスミッタ マクロ (FIFO バージョン)



X486\_10\_022006

図 11: 5 ビットの Spartan-3E トランスミッタ マクロ (FIFO バージョン)

## まとめ

Spartan-3E デバイスは、7:1 のシリアライズおよびクロックのフォワードを最高 666Mbps のレートで実行することが求められる多様なアプリケーションで使用されます (最高レートはデバイスのスピードグレードに依存)。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2007/03/09	1.0	初版リリース