



XAPP501 (v1.5) 2007 年 10 月 2 日

# コンフィギュレーション クイック スタート ガイドライン

著者 : Stephanie Tapp

本資料は英語版 (v1.5) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

## 概要

本アプリケーション ノートでは、ザイリンクスの CPLD (コンプレックス プログラマブル ロジック デバイス) ファミリ、FPGA (フィールド プログラマブル ゲート アレイ) ファミリ、および PROM ファミリのコンフィギュレーション オプションおよびプログラミング オプションについて説明し、各ファミリで最も使用頻度が高いコンフィギュレーション手法を紹介します。

## はじめに

システム設計者が求めるさまざまな要件を満たすため、ザイリンクス FPGA のコンフィギュレーションと、CPLD および PROM のプログラミングには多様な手法があります。本資料では、設計者が適切なコンフィギュレーション手法またはプログラミング手法を選択する際に有用な、種々のコンフィギュレーション手法について説明します。特に使用頻度の高い手法の一部については、量産およびプロトタイプ向け例を示します。

ザイリンクスのプログラマブル ロジック デバイスのコンフィギュレーションまたはプログラミングには、次に示す 3 つの一般的な手順が必要です。詳細は、ザイリンクスの『[ソフトウェア マニュアル](#)』を参照してください。

- **Step 1 - デザイン入力**

デザインを VHDL、Verilog、ABEL、または回路図で作成するためにソフトウェア デザイン入力ツールを使用します。

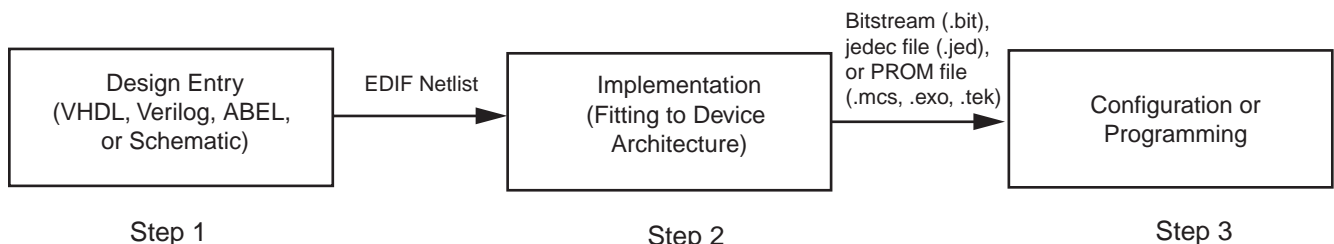
- **Step 2 - インプリメンテーション**

デザイン ネットリストをザイリンクス アーキテクチャにフィットさせるため、およびコンフィギュレーション ビットストリームまたは JEDEC ファイルを作成するためにソフトウェア インプリメンテーション ツールを使用します。

- **Step 3 - コンフィギュレーションまたはプログラミング**

コンフィギュレーションとは、PROM、CPLD、またはマイクロプロセッサなどの外部データ ソースを用いてコンフィギュレーション データを FPGA にダウンロードするプロセスを指します。

プログラミングとは、CPLD または PROM (図 1) にコンフィギュレーション データまたはプログラム データをロードするプロセスを指します。



x501\_01\_010901

図 1: コンフィギュレーションおよびプログラミングのフロー概要

## デバイスの定義

ザイリンクスでは、3種類のプログラマブル ロジック デバイスを提供しています。デバイスのコンフィギュレーション要件の理解に役立つ、各種デバイスの概要を次に示します。

### FPGA

ザイリンクス FPGA は SRAM テクノロジーに基づいているため、揮発性です。つまり、電源が切断されるとデバイスはコンフィギュレーション データを失います。一般的に FPGA では、量産品に PROM などの外部メモリ デバイスを利用し、電源切断時のコンフィギュレーション データの消失を回避します。外部ストレージ デバイスを使用しない場合は、ケーブルを用いてプログラムできます。

### PROM

ザイリンクス PROM デバイスは不揮発性で、通常、ザイリンクス FPGA のコンフィギュレーション データの保存に使用されます。これらのデバイスには2種類あります。

- OTP (ワンタイム プログラマブル) PROM
- ISP (インシステム プログラマブル) リプログラマブル PROM (XC18V00、Platform Flash)

### CPLD

ザイリンクスの CPLD は一般的に不揮発性であり、EEPROM またはフラッシュ セル テクノロジーを利用しています。不揮発性のザイリンクス CPLD では外部メモリ デバイスが不要なため、プログラミングプロセスの要件が異なります。

## ソフトウェア ツールの概要

本セクションでは、ザイリンクス FPGA、CPLD、および PROM 製品に使用できるソフトウェアについて説明します。表 1 に示すソフトウェア ツールは、ザイリンクス デバイスのコンフィギュレーションとプログラミングにおいて2つの役割を担います。

1. コンフィギュレーションまたはプログラミング ファイルの生成 : FPGA 用のビットストリーム (BIT ファイル)、CPLD 用の JEDEC (JED ファイル)、PROM 用の PROM ファイル (MCS、EXO、および TEK ファイル)
  - デザイン入力ツール – デザイン ネットリストを生成
  - インプリメンテーション ツール – ビットストリームまたは JEDEC ファイルを生成
  - iMPACT ソフトウェア – デザイン ネットリストから PROM ファイルを生成
2. ファイルをデバイスにダウンロード :
  - iMPACT ソフトウェア – ザイリンクス ソフトウェア ダウンロード ツールは、パウンダリ スキャン (JTAG) 準拠のチェーン接続したザイリンクス デバイスのプログラミングか、スレーブ シリアル モードまたは SelectMAP モードでの FPGA デバイスのプログラミングに使用される

表 1: 利用可能なザイリンクス ソフトウェア パッケージ

| 製品名   | Foundation<br>(DE>IMP>CP) <sup>(1)</sup> | Foundation ISE<br>(DE>IMP>CP) <sup>(1)</sup> | WebPACK ISE<br>(DE>IMP>CP) <sup>(1)</sup> | アライアンス<br>(IMP>CP) <sup>(1)</sup> | WebFITTER<br>(DE>IMP) <sup>(1)</sup> |
|---|--|--|---|-----------------------------------|--------------------------------------|
| <b>Virtex™ シリーズ/<br/>Virtex-II シリーズ/<br/>Virtex-II Pro™ Platform FPGA</b> | ✓  | ✓  | ✓ <sup>(2)</sup>                          | P                                 |                                      |
| <b>Spartan™-II/III/3 ファミリ<br/>(FPGA)</b>                                  | ✓  | ✓  | ✓ <sup>(2)</sup>                          | P                                 |                                      |
| <b>XC9500/XL/XV ファミリ (CPLD)</b>   | ✓  | ✓  | ✓   | ✓                                 | ✓                                    |

表 1: 利用可能なザイリンクス ソフトウェア パッケージ (続き)

| 製品名   | Foundation<br>(DE>IMP>CP) <sup>(1)</sup> | Foundation ISE<br>(DE>IMP>CP) <sup>(1)</sup> | WebPACK ISE<br>(DE>IMP>CP) <sup>(1)</sup> | アライアンス<br>(IMP>CP) <sup>(1)</sup> | WebFITTER<br>(DE>IMP) <sup>(1)</sup> |
|---|--|--|---|-----------------------------------|--------------------------------------|
| CoolRunner™/CoolRunner-II™<br>ファミリ (CPLD)   | ✓  | ✓  | ✓   | ✓                                 | ✓                                    |
| XC18V00/Platform Flash<br>ファミリ (ISP PROM)   | ✓  | ✓  | ✓   | ✓                                 | ✓                                    |
| XC1700L, XC17S00A,<br>XC1700E, XC17V00, SC17S00<br>ファミリ (OTP PROM) <sup>(3)</sup> | ✓  | ✓  | ✓   | ✓                                 |                                      |

メモ:

1. DE はデザイン入力ソフトウェアを含むことを、IMP はインプリメンテーション ソフトウェアを含むことを、CP はコンフィギュレーションまたはプログラミングソフトウェアを含むことを示します。
2. サポートされる FPGA については、WebPACK の最新バージョンを参照してください。
3. OTP (ワンタイム プログラマブル) PROM は、その名のとおりに 1 回のみプログラム可能なデバイスであり、出荷前のテストが不可であるためプログラムの脱落率が最大 5% となります。

## コンフィギュレーション モードの選択

コンフィギュレーション環境を決定する前に、利用できるコンフィギュレーション モードについて理解する必要があります。表 2 に各ファミリでサポートされるモードを示し、表の下に各モードについて説明します。

表 2: サポートするモード (ファミリ別)

|  | JTAG モード | SelectMAP/<br>スレーブ<br>パラレル モード | マスタ シリアル<br>モード | スレーブ<br>シリアル モード | スタンドアロン<br>プログラマ モード |
|--|----------|--------------------------------|-----------------|------------------|----------------------|
| Virtex シリーズ/<br>Virtex-II シリーズ/<br>Virtex-II Pro Platform FPGA | ✓        | ✓                              | ✓               | ✓                |                      |
| Spartan-II/III ファミリ<br>(FPGA)                                  | ✓        | ✓                              | ✓               | ✓                |                      |
| XC9500-XL/XV ファミリ<br>(CPLD)                                    | ✓        |                                |                 |                  | ✓                    |
| CoolRunner/CoolRunner-II<br>ファミリ (CPLD)                        | ✓        |                                |                 |                  | ✓                    |
| XC18V00/Platform Flash ISP<br>PROM ファミリ                        | ✓        |                                |                 |                  | ✓                    |
| OTP PROM ファミリ  |          |                                |                 |                  | ✓                    |

### FPGA がサポートするモード

JTAG またはバウンダリ スキャン モード

JTAG またはバウンダリ スキャン モードは、業界標準 (IEEE 1149.1、または 1532) のシリアル プログラミング モードです。ケーブル、マイクロプロセッサ、またはほかのデバイスからの外部ロジックが、JTAG 専用ピン、TDI (テスト データ イン)、TMS (テスト モード セレクト)、および TCK (テスト クロック) を駆動します。このモードは業界標準であることと、FPGA、CPLD、および PROM を同じ 4

本の JTAG ピンでプログラムできることから、一般的に使用されています。このモードでは、1 TCK ごとに 1 ビットのデータがロードされます。

#### SelectMAP/スレーブ 平行モード

SelectMAP™ モードは Virtex シリーズでサポートされ、スレーブ 平行モードは Spartan-II ファミリーでサポートされています。SelectMAP/スレーブ 平行モードでは、バイト幅のポートを介して読み出しおよび書き込みを並行して実行できます。外部クロック ソース、マイクロプロセッサ、ダウンロード ケーブル、またはほかの FPGA が必要となります。このモードでは、1 CCLK ごとに 1 バイトのデータがロードされます。このモードは、コンフィギュレーションの速度が重視される場合のコンフィギュレーション モードとして、Virtex/Virtex-E/Virtex-II、Virtex-II Pro、または Spartan-II/IIE/3 で一般的に使用されます。

#### マスタ シリアルモード

マスタ シリアルモードは、ザイリンクス CPLD ではサポートされていませんが、すべてのザイリンクス FPGA ファミリーでサポートされており、FPGA 向けのコンフィギュレーション モードでは最もシンプルです。FPGA は、それ自身が供給するクロックによって、コンフィギュレーション データをシリアル PROM からロードします。コンフィギュレーション クロックは FPGA の内部オシレータによって駆動されます。FPGA はすべての制御ロジックを供給します。このモードでは、1 CCLK ごとに 1 ビットのデータがロードされます。

#### スレーブ シリアルモード

スレーブ シリアルモードはマスタ シリアルモードと同様に、ザイリンクス CPLD ではサポートされていませんが、すべてのザイリンクス FPGA ファミリーでサポートされています。このモードでは外部クロックを用いており、デジタイズ コンフィギュレーションが可能です。また、外部クロック ソース、マイクロプロセッサ、ダウンロード ケーブル、またはほかの FPGA が必要となります。このモードでは、1 CCLK ごとに 1 ビットのデータがロードされます。

### CPLD/PROM がサポートするモード

#### スタンドアロン プログラムモード

スタンドアロン プログラムモードは、サードパーティのプログラマおよび HW-130 プログラマでサポートされています。

#### JTAG またはバウンダリ スキャンモード

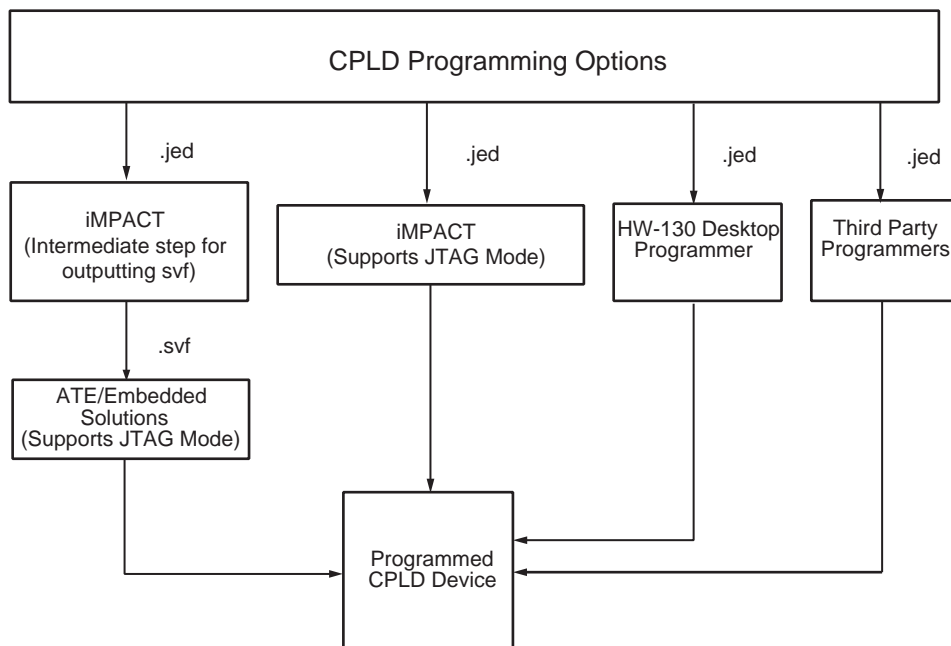
JTAG またはバウンダリ スキャンモードは、業界規格 (IEEE 1149.1、または 1532) のシリアルプログラミング モードです。ケーブル、マイクロプロセッサ、またはほかのデバイスからの外部ロジックが、JTAG 専用ピン、TDI (テスト データ イン)、TMS (テスト モード セレクト)、および TCK (テスト クロック) を駆動します。このモードは業界標準であることと、FPGA、CPLD、および PROM を同じ 4 本の JTAG ピンでプログラムできることから、一般的に使用されています。このモードでは、1 TCK ごとに 1 ビットのデータがロードされます。

## プログラミング/ コンフィギュレーション オプション

本セクションでは、各ファミリのすべてのコンフィギュレーション フローまたはプログラミング フローの概要を示します。

### CPLD プログラミング オプション

CPLD のプログラミング フローは、CPLD フィッタ ソフトウェアによる JEDEC ファイルの生成後に開始します。CPLD フィッタ ソフトウェアは、2 ページの表 1 に示す、すべてのザイリンクス ソフトウェア パッケージに組み込まれています。図 2 に、JEDEC ファイルを CPLD デバイスにダウンロード する際のオプションを示します。



x501\_02\_01080102

図 2: CPLD プログラミング オプション

#### ATE/エンベデッド ソリューション

エンベデッド ソリューションは、ボードの高集積化、マイクロプロセッサの普及に伴い、現在よく使用されるようになってきています。ATE システムあるいはエンベデッド システムでのザイリンクス CPLD の使用例については、ザイリンクス ウェブサイトの [ATE](#) のページ、または [エンベデッド プロセッシング](#) のページを参照してください。

#### iMPACT ソフトウェア

iMPACT ソフトウェアは、ケーブルを使用し、バウンダリ スキャン (JTAG) ピンを介した CPLD への JEDEC ファイルのダウンロードに用いるソフトウェア ツールです。このソフトウェア プログラムは、[2 ページの表 1](#) に示す、すべてのザイリンクス ソフトウェア パッケージ (WebFITTER を除く) に含まれています。詳細は、ザイリンクスの [『ソフトウェア マニュアル』](#) を参照してください。

#### HW-130 およびサードパーティのプログラマ

HW-130 はザイリンクスのスタンドアロン プログラマであり、プロトタイピングの環境下でザイリンクス CPLD をプログラミングする際に使用されます。

Data I/O 社および BP Microsystems 社などのサードパーティのプログラマでは、ザイリンクスの CPLD の多くがサポートされています。サポートされるプログラマの詳細は、ザイリンクス ウェブサイトの [サードパーティ プログラマデバイス サポート](#) のページを参照してください。

## FPGA のコンフィギュレーション フロー

[表 1](#) に FPGA ビットストリームの生成に利用可能なソフトウェア パッケージを、[図 3](#) に FPGA デバイスにビットストリームをダウンロードする際のオプションを示します。

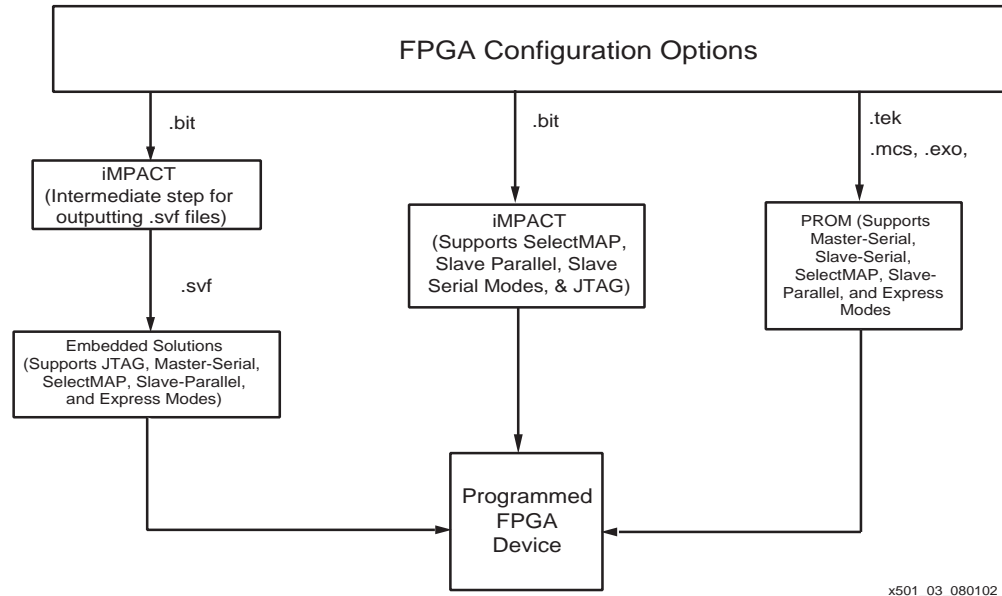


図 3：FPGA コンフィギュレーション オプション

### IMPACT ソフトウェア

iMPACT ソフトウェアは、スレーブシリアル接続、SelectMAP 接続、スレーブパラレル接続、またはバウンダリ スキャン (JTAG) 接続を用い、ザイリンクス パラレル IV ケーブルまたは MultiLINX ケーブルを介した FPGA へのビットストリームのダウンロードに使用するザイリンクス ソフトウェア プログラムです。このソフトウェア ツールは、表 1 に示す、すべての FPGA 用のザイリンクス ソフトウェア パッケージに含まれています。詳細は、ザイリンクス [ソフトウェア マニュアル](#) を参照してください。

### エンベデッド ソリューション

エンベデッド ソリューションは、ボードの高集積化、マイクロプロセッサの普及に伴い、現在よく使用されるようになってきています。エンベデッド システムでザイリンクス FPGA デバイスを使用する例は、ザイリンクス ウェブサイトの [エンベデッド プロセッシング](#) のページを参照してください。

### PROM

PROM は FPGA と併用されるメモリ デバイスです。FPGA を PROM からコンフィギュレーションする手法は、最も普及しているコンフィギュレーション手法の 1 つです。PROM は FPGA で使用されるデータでコンフィギュレーションされる必要があります。PROM がシステムに配置されている場合、FPGA は PROM からデータをロードしてコンフィギュレーションを実行します。この手法は、マスタシリアル モード、スレーブシリアル モード、SelectMAP モード、およびスレーブパラレル モードをサポートします。

### PROM のフロー

PROM は FPGA ファミリーと併用されるデバイスです。iMPACT ソフトウェア ツールは、FPGA ファミリー用のビットストリームを PROM ファイルに変換します。図 4 に、PROM デバイスへの PROM ファイルのダウンロードで利用可能なオプションを示します。

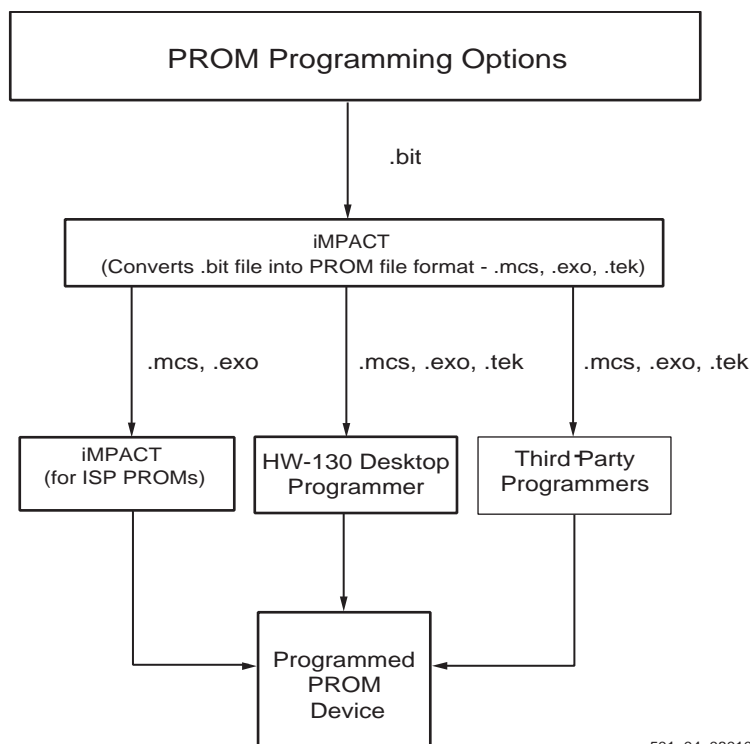


図 4： PROM プログラミング オプション

#### iMPACT ソフトウェア

iMPACT ソフトウェアは、PROM ファイルの作成、および ISP PROM (XC18V00/Platform Flash) への PROM ファイルのダウンロードに使用するソフトウェア ツールです。このソフトウェア ツールは、2 ページの図 1 に示す、すべての PROM 用ザイリンクス ソフトウェア パッケージに含まれています。詳細は、ザイリンクス『ソフトウェア マニュアル』を参照してください。

#### HW-130 およびサードパーティのプログラマ

HW-130 はザイリンクス デスクトップ プログラマです。これは、プロトタイピングの環境下での使用を目的とし、両種のザイリンクス PROM をプログラムできます。

Data I/O 社および BP Microsystems 社などのサードパーティのプログラマでは、ザイリンクスの CPLD の多くがサポートされています。サードパーティのサポートの詳細は、[サードパーティ プログラマデバイス サポートのページ](#)を参照してください。

メモ：OTP (ワンタイム プログラマブル) PROM は、その名のとおり 1 回のみプログラム可能なデバイスであり、出荷前のテストが不可であるため、プログラムの脱落率が最大 5% となります。

#### コンフィギュレーション手法またはプログラミング手法の選択のヒント

システム設計者は、開発中のシステムがプロトタイピング用であるか、量産用であるか、またはこれらの両方であるかを考慮に入れる必要があります。それによって、コンフィギュレーションの選択肢の幅が狭まります。まず、プロトタイピング用の推奨オプションについて説明します。



## プロトタイプ用環境

プロトタイプ用環境では、複数回コンフィギュレーションするため、デバイスへの容易なアクセスが要求されます。この環境では、2つのオプションが適しています(表3)。

表 3: プロトタイプ用環境で推奨するコンフィギュレーション オプション

| オプション                                       | CPLD  | FPGA                              | PROM  |
|---|---|-----------------------------------|---|
| ザイリンクス コンフィギュレーションまたはプログラミングソフトウェア (ケーブルあり) | iMPACT<br>ソフトウェア                                | iMPACT<br>ソフトウェア                  | iMPACT<br>ソフトウェア<br>(ISP PROM<br>オプション)         |
| デスクトップ プログラマ                                | HW-130/MultiPRO<br>デスクトップ<br>ツール <sup>(1)</sup> | 該当しない<br>(FPGA は揮発性<br>デバイスであるため) | HW-130/MultiPRO<br>デスクトップ<br>ツール <sup>(1)</sup> |

メモ:

1. サポートされるデバイスの詳細は、[参考資料 1] または [参考資料 2] を参照してください。

## 量産用環境

量産用環境では、プログラミングの高速化、およびコンフィギュレーション データを維持するコンフィギュレーション手法の堅牢化と比較して、リコンフィギュレーションの優先度は高くありません。この環境では、複数のオプションが挙げられます(表4)。

表 4: 量産用環境で推奨するコンフィギュレーション オプション

| オプション  | CPLD                               | FPGA                                | PROM                                       |
|--|------------------------------------|-------------------------------------|--|
| エンベデッドソリューション  | カスタム コード<br>([参考資料 3] 参照)          | カスタム コード<br>([参考資料 3] 参照)           | カスタム コード<br>(ISP PROM の詳細は<br>[参考資料 3] 参照) |
| ATE (自動テスト装置)  | ATE/サードパーティ<br>の JTAG ツール          | 一般的ではない<br>(FPGA は揮発性<br>デバイスであるため) | ATE/サードパーティ<br>の JTAG ツール                  |
| サードパーティの<br>プログラマ<br>(例: BP Microsystems 社、<br>DataIO 社) | プログラマを<br>サポート                     | 該当しない<br>(FPGA は揮発性<br>デバイスであるため)   | プログラマを<br>サポート                             |
| PROM   | 該当しない<br>(CPLD は不揮発性<br>デバイスであるため) | PROM をサポート                          | 該当しない                                      |

## ザイリンクスの 一般的なコンフィ ギュレーション/ プログラミングの 設定

本セクションでは、ザイリンクスで最もよく使用されるコンフィギュレーションおよびプログラミング用の設定の一部を簡単に説明します。ここで示す設定は、プロトタイプ用および量産用の環境での使用を対象としています。各設定では、利点、必要となるソフトウェアおよびハードウェア、ハードウェアの接続に関する情報を簡単に示します。

### CPLD JTAG チェーンの設定

CPLD JTAG チェーン (XC9500/XL/XV または CoolRunner) は、プロトタイプ用および量産用の両環境で使用できるため、最も一般的な CPLD のプログラミング手法です。



- 利点：
  - インシステムプログラミングのサポート
  - JTAG ピン 4 本のみでコンフィギュレーションとチェーンのテストが可能
- 使用ハードウェア：
 

ザイリンクス CPLD デバイスの組み合わせ (XC9500/XL/XV または CoolRunner)

  - プロトタイピング用：ザイリンクス ケーブル (パラレル IV または MultiLINX)
  - 量産用：マイクロプロセッサ (エンベデッド ソリューション)、ATE (自動テスト装置)、または サードパーティ プログラマ
- 使用ソフトウェア：
 

ザイリンクス CPLD プログラム用の JEDEC ファイル (ISE Foundation/アライアンスまたは WebPACK ソフトウェア パッケージで生成)

  - プロトタイピング用：iMPACT ソフトウェア
  - 量産用：ザイリンクス CPLD プログラム JEDEC ファイルは、マイクロプロセッサ、ATE、または サードパーティのプログラマで使用するため、ザイリンクス シリアルベクタ ファイル (SVF) に変換される ([\[参考資料 3\]](#))

詳細は、[ザイリンクス ウェブサイトのテスト装置 \(ATE\) とバウンダリ スキャン ツールのページ](#) および [サードパーティ プログラマ デバイス サポート](#) のページを参照してください。

ハードウェアでの注意点

CPLD JTAG チェーンの接続を、[図 5](#) に示します。

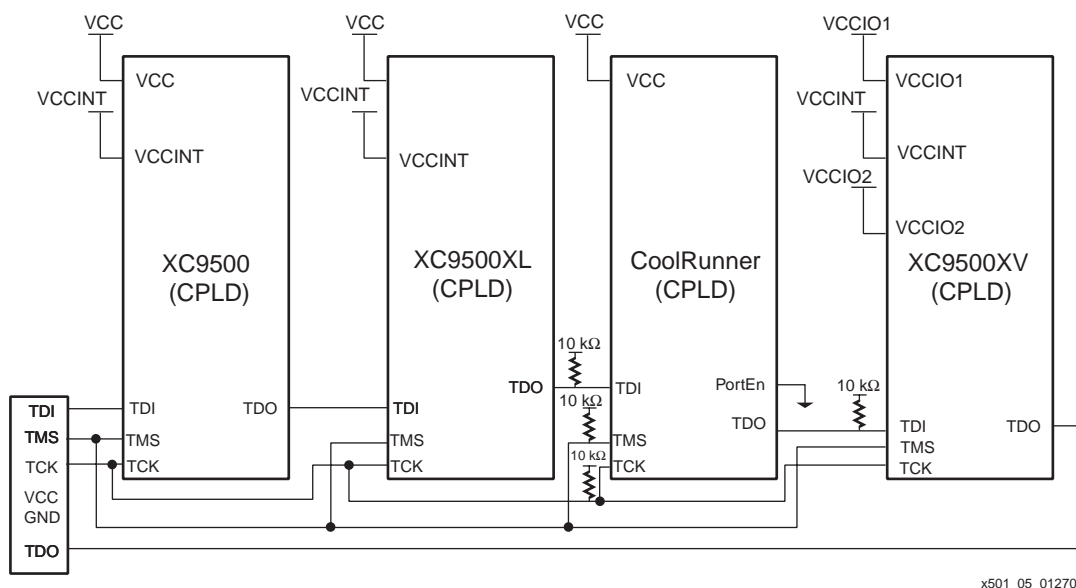


図 5：CPLD JTAG チェーンの接続

[図 5](#) に示すように、電圧が異なるデバイスの組み合わせで JTAG チェーンを使用する場合、デバイス間のインテグリティを確実にするため、特に注意が必要です。デバイスのデータシートで、正常な電源電圧範囲を参照してください。この例では、5V、3.3V、および 2.5V を使用するデバイスが 1 つの JTAG チェーンにあります。これは一般的な状況ではありませんが、チェーン内で電圧が異なるデバイスを組み合わせて使用する場合について考察してみましょう。

XC9500 (5V) と XC9500XV (2.5V) デバイスの両方を正しく動作させるには、V<sub>CCIO</sub> 信号を 3.3V に固定する必要があります。この結果、すべてのデバイスの TDO ピンを 3.3V に駆動することになるので、電圧要件が満たされます。XC9500XV では、TDO ピンがある V<sub>CCIO</sub> バンク (1 または 2) のみを 3.3V に駆動する必要があります。

この設定でケーブルを使用する場合、ケーブルを 3.3V で駆動する必要があります。これで、[図 5](#) に示す、すべてのデバイスの TMS および TCK TAP ピンの電圧要件が満たされます。5V のデバイスに供給される電圧レベルは許容範囲ですが、やや低い場合、シグナル インテグリティに注意を払う必要があります。適度なインテグリティおよび CPLD JTAG チェーンの一般的なインプリメンテーションを実現するためのヒントおよび技法については、次のセクションを参照してください。

#### JTAG に関する一般的なチェックリスト

1. 6 つ以上のデバイスを含む大型の JTAG 回路内には、複数の TMS または TCK 信号にバッファを追加し、デバイスの特定できないインピーダンスに対処します。
2.  $V_{CC}$  を確実に定格範囲内にします。XC9500 では  $5V \pm 5\%$ 、XC9500XL/CoolRunner デバイスでは  $3.3V \pm 10\%$ 、XC9500XV デバイスでは  $2.5V \pm 10\%$  にします。
3.  $0.1 \mu F$  キャパシタおよび  $0.01 \mu F$  キャパシタの両方をチップの各  $V_{CC}$  に供給し、これらを最も近いグランドに直接接続します。

#### XC9500/XL/XV 専用チェックリスト

1. XC9500/XL/XV ファミリの場合、TDI および TMS (JTAG) ピン には、内部プルアップがあり、これらは JTAG 専用ピンのため、外部プルアップは必要ありません。
2. XC9500/XL/XV デバイスの  $V_{CCINT}$  には、ノイズがない電圧を正しい範囲内で供給する必要があります。
3. XC9500/XL デバイスの JTAG クロック (TCK) の最大周波数は、10MHz です。
4. 電圧が異なる複数のデバイスを含むチェーンでデバイスの配置を決定する場合、互換性を保つために注意が必要です。たとえば、XC9500XV デバイスは 5V と互換性はなく、デバイスの入力を適切な電圧レベルにする必要があります。

#### CoolRunner 専用チェックリスト

1. このプログラミングの設定例で推奨されるように JTAG 専用ピンを使用する場合、PortEn ピンをグランドに接続する必要があります。

メモ: JTAG ピンを多目的 I/O として用いる場合は PortEn をジャンパする必要があります。PortEn ピンを High に駆動すると、JTAG ピンとの接続が再確立されます。

2. CoolRunner の JTAG ピンにはフローティングを回避するため、外部  $10k\Omega$  抵抗を付ける必要があります。
3. CoolRunner デバイスの JTAG クロック (TCK) の最大周波数は、10MHz です。

#### ソフトウェアの設定での注意点

デバイスをプログラムするには、ソフトウェア JEDEC ファイルを作成する必要があります。JEDEC プログラム ファイルを作成する際に考慮すべきソフトウェア オプションを表示した GUI を次に示します。XC9500/XL/XV のソフトウェア オプションは、すべてのザイリンクス ソフトウェア パッケージに共通しています。この例では、次に示すオプションを除き、XC9500/XL/XV デバイスのインプリメンテーション ソフトウェアのデフォルト設定が推奨されています。

[Create Programmable GND Pins on Unused I/O] – デフォルトではオフになっています。未使用の I/O がフローティングになること、および無駄な電力消費を防ぐため、オンにすることを推奨します ([図 6](#))。

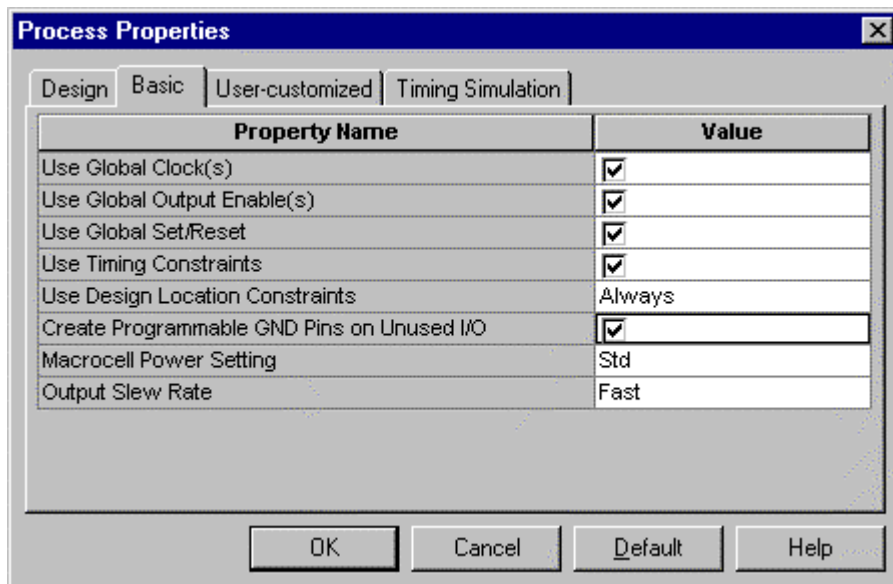


図 6: WebPACK ISE パッケージのザイリンクス XC9500/XL/XV 向けオプション

CoolRunner デバイスには、図 7 に示すソフトウェアのデフォルト設定を使用することを推奨します。次の 2 つのプログラム オプションでは注意が必要です。

- [Pull Up Unused I/O Pins] – デフォルトではオンになっています。CMOS I/O での無駄な電力消費を防ぐため、オンにすることを推奨します。
- [Reserve JTAG Port Pins for ISP] – デフォルトではオンになっています。この例ではデフォルトのまま変更しないことを推奨します。JTAG ピンを多目的 I/O ピンとして使用する場合のみ、このオプションをオフにします。

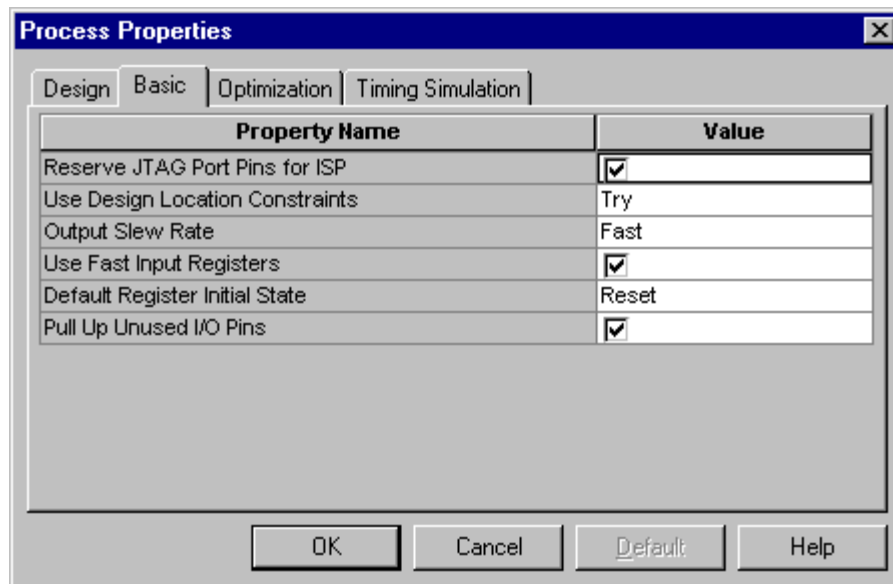


図 7: WebPACK ISE ソフトウェア パッケージの CoolRunner 向けオプション

ソフトウェア ダウンロードでの注意点

CPLD JTAG チェーンのインプリメンテーションの完了には、最後に、ビットストリームのデバイスへのプログラミングが必要です。これは、プロトタイピングと量産の両環境で、JTAG を用いて実行できます。

### プロトタイピングの環境

プロトタイピングの環境では、ザイリンクスプログラマの使用が一般的です。このプログラマは、スタンドアロンのダウンロード可能なソフトウェアモジュールから構成されており、ザイリンクスケーブルおよびデバイスの JTAG ピンへのアクセスが必要となります。

CoolRunner または 9500/XL/X ファミリがターゲットの場合、デバイスへの JEDEC ファイルのダウンロードにザイリンクス iMPACT ソフトウェア ツールを使用します。必ず最新版のツールを使用してください。

### 量産の環境

量産の環境では、ATE またはサードパーティのプログラマがよく使用されます。一般的に、これらのツールでのプログラミングは高速で、一定の時間内でより多くのデバイスをプログラムできる手法を提供しています。

この環境では、JEDEC ファイルは通常、標準的なベクタフォーマット (SVF) ファイルに変換されます。このファイルフォーマットは、ベンダーで普及している標準フォーマットで、プログラムファイルを配布する際によく使用されます。このフォーマットは、上述のプロトタイピングのセクションで説明したザイリンクスプログラマを使用してオプションで出力できます。ザイリンクスプログラマでこれらのファイルを作成する方法については、[\[参考資料 3\]](#) のアプリケーションノートを参照してください。

## Virtex シリーズまたは Spartan-II でマスタシリアルモードとバウンダリスキャン (JTAG) モードを組み合わせる場合

マスタシリアルモードおよびバウンダリスキャン (JTAG) モードは、Virtex シリーズおよび Spartan-II デバイスで最もよく使用されるコンフィギュレーションモードです。

#### • 利点:

- マスタシリアルモードとバウンダリスキャン (JTAG) モードを組み合わせると設定が多様になり、容易なデバッグおよび複数のコンフィギュレーション手法が利用可能となります。
- マスタシリアルモードは量産向けのシンプルで堅牢なコンフィギュレーションモードであり、バウンダリスキャン (JTAG) モードはプロトタイピング段階でチェーンデバイスをコンフィギュレーションする際に柔軟なインシステムプログラミングサポートを提供します。

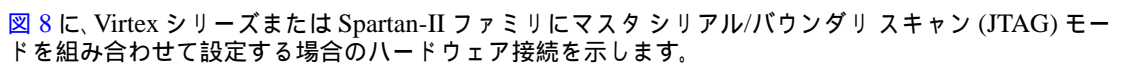
#### • 使用ハードウェア: ザイリンクス Virtex/Virtex-E または Spartan-II デバイスと XC18Vxx/Platform Flash の組み合わせ

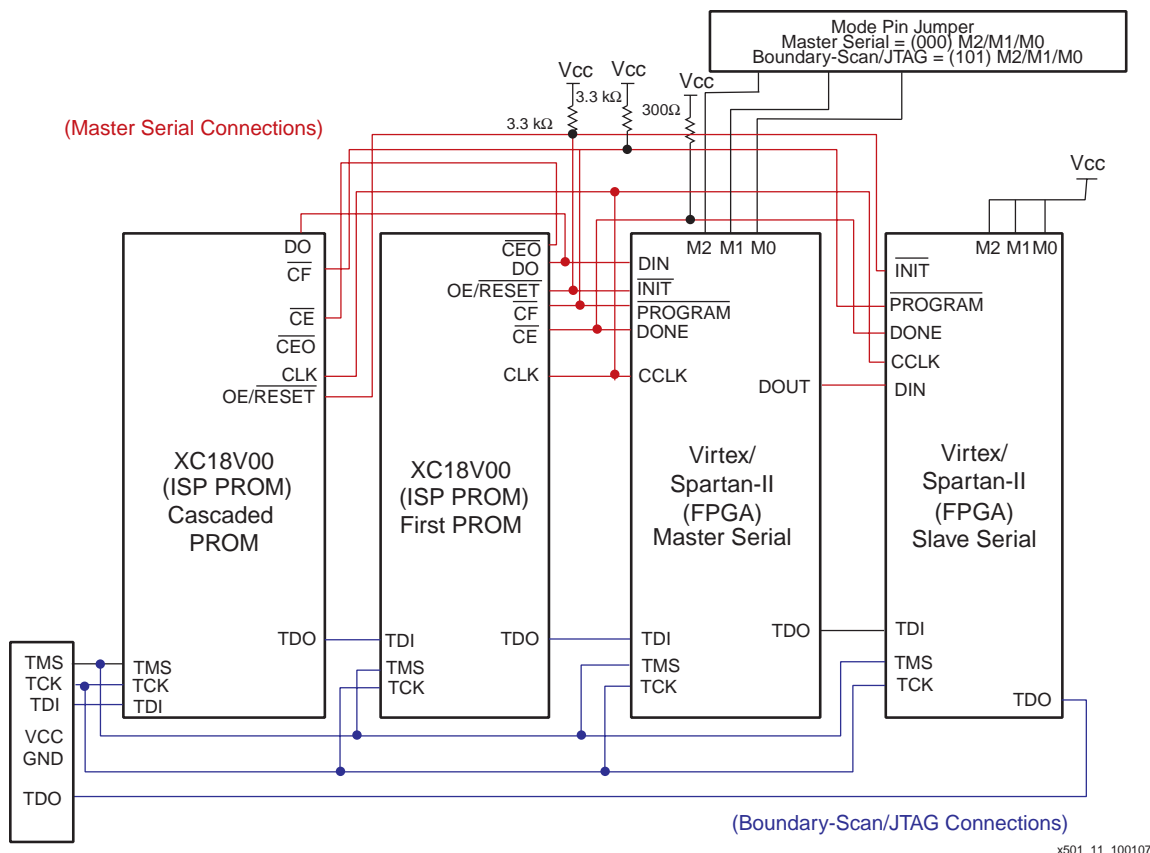
- プロトタイピング用: ザイリンクスケーブル (パラレル IV または MultiLINX)
- 量産用: ザイリンクス PROM およびサポートするプログラマ/ソフトウェア

#### • 使用ソフトウェア: ザイリンクス FPGA をプログラムするビットストリーム (BIT ファイル) (ビットストリームは、ISE Foundation またはアライアンスソフトウェアパッケージで作成)

- プロトタイピング用: iMPACT ソフトウェア
- 量産用: ザイリンクス PROM ファイル (MCS、EXO ファイル) を作成するザイリンクス iMPACT ソフトウェア (ISE Foundation、アライアンスのソフトウェアパッケージに含まれる) および適切なサードパーティのプログラマソフトウェア

### ハードウェアでの注意点

 図 8 に、Virtex シリーズまたは Spartan-II ファミリにマスタシリアル/バウンダリスキャン (JTAG) モードを組み合わせる場合のハードウェア接続を示します。



x501\_11\_100107

図 8 : Virtex シリーズ/Spartan-II でマスタ シリアル モードとバウンダリ スキャン (JTAG) モードを組み合わせる場合

ハードウェアにおける注意点を次に示します。

- 各デバイスに必要な電圧は、適切なファミリのデータシートを参照してください。
- Spartan-II または Virtex シリーズのモード ピンには、次の設定が必要です。
  - マスタ シリアル モード – M0 = 0, M1 = 0, M2 = 0
  - バウンダリ スキャン (JTAG) モード – M0 = 1, M1 = 0, M2 = 1
- バウンダリ スキャン (JTAG) ピン – Virtex および Spartan-II デバイスの両方で、TMS、TCK、および TDI ピンには、内部でプログラム可能な弱いプルアップがデフォルトで付いています。TDO はフローティングです。
- 出力バッファのソース回路は最大 24mA、シンク回路は最大 45mA です。
- Virtex および Spartan-II デバイスのバウンダリ スキャン (JTAG) クロック (TCK) の最大周波数は 33MHz です。

ソフトウェアの設定での注意点

ハードウェアの設定が決まったら、デバイスのプログラミングに用いるソフトウェア ビットストリームの生成が必要です。Virtex または Spartan-II デバイスでこのコンフィギュレーション設定を使用する場合、ビットストリームを作成する際に次のソフトウェア オプションを設定してください (図 9)。

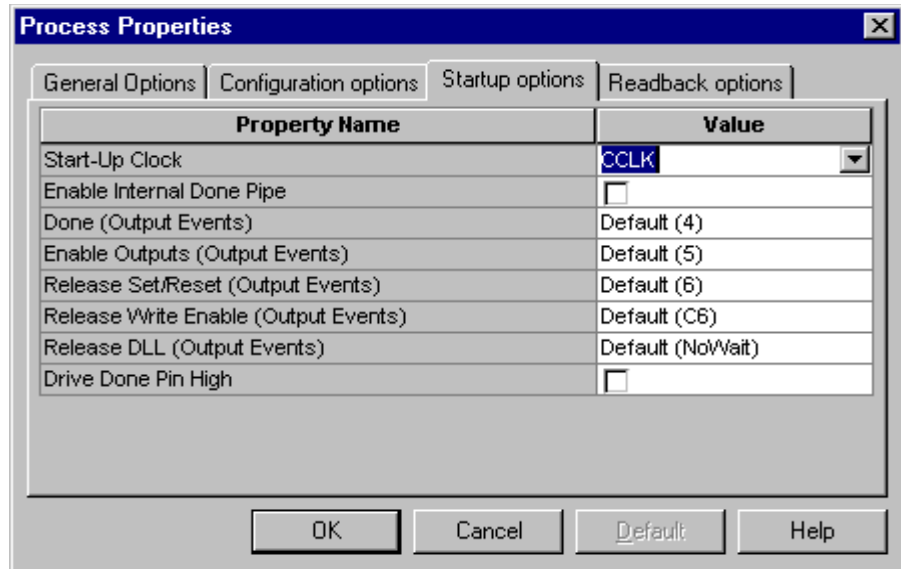


図 9: Virtex または Spartan-II の STARTUP オプション

[Start-Up Clock] の設定を除き、上図に示すデフォルトのソフトウェア オプションを使用してください。[Start-Up Clock] は、バウンダリ スキャン (JTAG) ダウンロード用のビットストリームを作成する場合、[JTAGCLK] に変更する必要があります。

- [Start-Up Clock] – デバイスを正しくコンフィギュレーションするには、ビットストリームを適切なスタートアップクロック オプションで生成してください。[Start-Up Clock] はデフォルトでは、マスタシリアルモード向けに [CCLK] に設定されています。バウンダリ スキャン (JTAG) モード用のビットストリームを生成する場合は、GUI のプルダウンメニューで [JTAGCLK] をクリックするか、または BitGEN のコマンドラインで次のように設定します。
- バウンダリ スキャン (JTAG) モードでのコンフィギュレーションの場合：

```
bitgen -g startupclk:jtagclk designName.ncd
```

- マスタシリアルモードでのコンフィギュレーションの場合：

```
bitgen -g startupclk:jtagclk designName.ncd
```

メモ：上記 2 つのコンフィギュレーションモードを使用している場合は、バウンダリ スキャン (JTAG) ダウンロード用とマスタシリアルダウンロード用の 2 つのビットストリームを生成する必要があります。

Virtex または Spartan-II のコンフィギュレーション オプションは、すべてのザイリンクスソフトウェアパッケージに共通しています。この例では、デフォルトのオプション設定を推奨します。次に重要なオプションについて説明します。

- [Configuration Rate] は、マスタシリアルモードで CCLK の速度を制御する重要なソフトウェアオプションです。
- コンフィギュレーション オプションには、モードピン (PROGRAM、DONE、および CLK) にプログラム可能なプルアップが含まれています。バウンダリ スキャン (JTAG) ピンはデフォルトのままにしておきます。

設定の詳細およびコマンドラインのオプションについては、適切なバージョンの [『ソフトウェア マニュアル』](#) の『開発システム リファレンス ガイド』を参照してください。

ソフトウェア ダウンロードでの注意点

ビットストリームの作成後、次に示す推奨するプログラム オプションに従って設定を行ってください (図 10)。

プロトタイピングの環境

この設定でのプロトタイピングでは、通常、ザイリンクス iMPACT ソフトウェア を使用します。ザイリンクス iMPACT ソフトウェアは、スタンドアロンのダウンロード可能なソフトウェア モジュールから構成されており、ザイリンクス ケーブル、および PC からデバイスへのビットストリームのダウンロードが必要となります。ダウンロードには、Virtex、Spartan-II または XC18V00 デバイスの 4 本のバウンダリ スキャン (JTAG) ピンへのアクセスが必要です。

- デバイスへのビットストリームのダウンロードには、ザイリンクス iMPACT ソフトウェアを使用します。

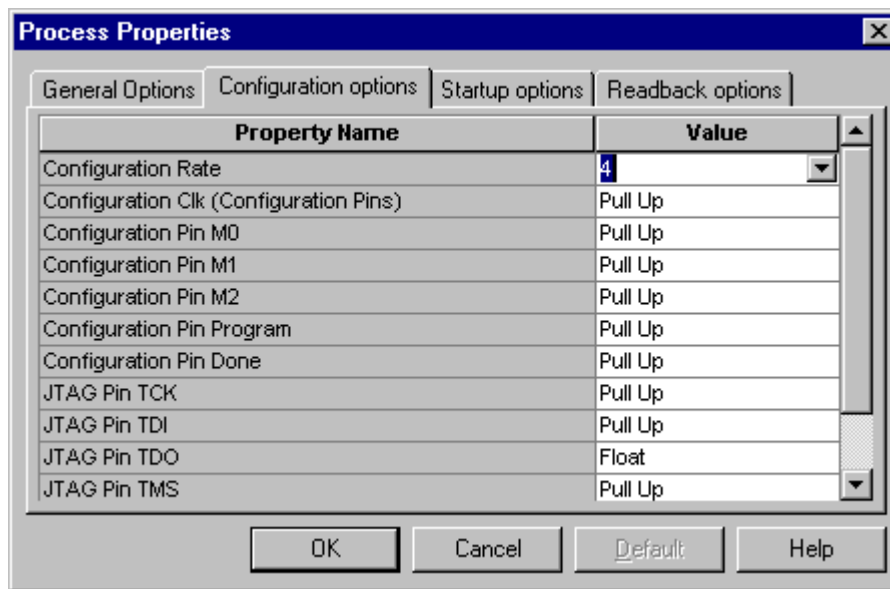


図 10: Virtex または Spartan-II 向けのコンフィギュレーション オプション

量産の環境

量産の環境では、システムが電源のグリッチや切断から影響を受けないようにする必要があります。FPGA デバイスは揮発性であるため、電源が切れるとデバイスの内容が消去されてしまいます。システムの電源切断時にプログラム済みのデータが失われないように、マスタ シリアル モードなどの使用を推奨します。この場合、コンフィギュレーション データは PROM に永久的に保存されます。電源が切断後に再投入されると、PROM のデータで FPGA がリコンフィギュレーションされます。次に XC18V00 PROM のプログラミングに必要な手順を示します。

- iMPACT ソフトウェアのファイル生成モードを使用し、ビットストリームから PROM ファイルを作成します。
- ATE/サードパーティのプログラマで XC18V00 をシステムにダウンロードします。

サポート

コンフィギュレーションの詳細は、ザイリンクス ウェブサイトの[コンフィギュレーション ソリューション](#) ページにあるザイリンクスのアプリケーション ノートを参照してください。

コンフィギュレーションのチェックリスト

FPGA または CPLD を使用してボードをデザインする前に、コンフィギュレーションに関する次の事項に注意してください。

- ハードウェア
  - バウンダリ スキャン (JTAG) 関連



- コンフィギュレーション チェーンに複数の FPGA/CPLD/(ISP) PROM が含まれる場合、デバッグの際に各デバイスが別々にロードされるように、ジャンパを追加してデバイスを隔離するようにします。
- コンフィギュレーションまたはバウンダリ スキャン (JTAG) クロックをほかの高速クロックと同等に取り扱うようにします。
- デバッグ時に使用するスペア ピンをデザインに追加します。
- バウンダリ スキャン (JTAG) 回路に複数配置された TMS または TCK 信号にバッファを付けて、デバイスの特定できないインピーダンスに対処します。
- プログラムできないデバイスがある場合は、iMPACT ソフトウェアで JTAG チェーンのほかのデバイスをハイ インピーダンス モード (HIGHZ) にします。結果として、そのデバイスからのノイズが削減されます。
- フリー ランニング クロックがバウンダリ スキャン (JTAG) デバイスに送られている場合、ISP またはバウンダリ スキャン (JTAG) の操作中はそれらの入力を接続解除するか、無効にする必要があります。
- ケーブル関連：
  - ケーブルのターゲット システム側に延長ケーブルを接続しないでください。コンフィギュレーション データのインテグリティに悪影響を与え、チェックサム エラーが発生する場合があります。
  - ターゲット システムに、ケーブル コンフィギュレーション リードを確実に接続します。
  - PC に平行 ケーブルが接続されている場合、ボードで使用される電力は MultiLINX ケーブルに比べて低くなります。これは、MultiLINX ケーブルではエンベデッド マイクロプロセッサが使用され、また平行 ケーブルにはない SelectMAP/USB サポートなどの機能が付いているためです。
  - ケーブルを使用し、量産用にコンフィギュレーションができるようにデザインします。こうすることで、デバイスのプログラム オプションが選択できるだけでなく、デバッグが容易になります。
- ボード関連：
  - ジャンパを使用して、モード ピンの設定を変更できるようにします。
  - シグナル インテグリティの問題、終端、エッジ レート、グラウンド バウンス、トレース レイアウトなどを考慮してください。
  - 60MHz 以上のデザインでは、反射やグラウンド バウンスが発生しないことを確認するため、ボード レベル スイッチのシミュレーションの実行を推奨しています。
  - 同時スイッチ出力 (SSO) を考慮します。
  - 出力でグラウンド バウンスが発生しないよう、グラウンド ピンがオーバーロードしていないことを確認します。
  - 未使用 I/O を出力としてグラウンドに接続し、デバイスにグラウンドを追加できます。
  - スペースがある場合は、LED を DONE ピンに追加し、FPGA がコンフィギュレーションされたかを確認できるようにします。
  - 主要なコンフィギュレーション ピン (DOUT、INIT、DONE、および PROGRAM) にテスト ポイントを設け、デバッグとステータスの確認時に使用できるようにします。
  - コンフィギュレーション信号をオーバーロードしないようにし、ファンアウト/ファンインを確認します。
  - 出力イネーブルをクロック ソースに使用します。それにより、システム クロックがコンフィギュレーション中に停止し、クロストークおよびその他のノイズが確認できます。
  - デザインが進行するにつれ、特に長いチェーンでは、消去時間またはプログラミング時間の延長の原因となるスイッチ ノイズに注意します。

- $V_{CC}$  が使用するデバイスの指定範囲内であることを確認してください。
  - 0.1  $\mu\text{F}$  キャパシタおよび 0.01  $\mu\text{F}$  キャパシタの両方をチップの各  $V_{CC}$  に供給し、これらを最も近いグラウンドに直接接続します。
- **ソフトウェア:**
    - ザイリンクス [WEBPACK](#) には最新の iMPACT ソフトウェアが含まれており、ソフトウェアスイート全体をインストールすることなく、このソフトウェアを使用できます。
    - コンフィギュレーション オプションについては、ISE Foundation/アライアンスのソフトウェアマニュアルに含まれる資料を参照してください。
    - プログラム可能なプルアップおよびプルダウンには、コンフィギュレーションで使用するためにソフトウェアで設定できる I/O ピンが必要です。
    - DONE が開放されるタイミングが、システムクロックで DLL がロックする前か後かを確認します。
    - コンフィギュレーションピンに通常のデザイン信号を使用しないでください。
    - STARTUP ブロックを Virtex/Spartan-II デザインで使用しないでください。使用する場合は、コンフィギュレーション後に内部信号の競合がないこと、およびデバイスをロックアップしないことを確認してください。STARTUP リセットと通常のシステムリセットは同じ極性である必要があります。
    - iMPACT ソフトウェア ([Operations] [Idcode looping]) の編集画面で [IDCODE Looping] を実行し、システムノイズを確認してください。ループ実行回数を指定します。この操作は完全に (100%) 完了するはずであり、正しく実行されない場合は、システムにノイズがあります。
    - シリアル番号が 5000 以上のザイリンクス パラレル IV ケーブルの最新版を使用します。

#### コンフィギュレーション プロブレム ソルバー

<http://japan.xilinx.com/support/troubleshoot/psolvers.htm> のプロブレム ソルバーを使用すると、ユーザーが入力した問題に関連したアンサーが表示されます。

## まとめ

コンフィギュレーションは非常に重要ですが、PLD を使用する際にあまり強調される事項ではありません。オプションを理解し、本アプリケーションノートに記載されるガイドラインに従うことで、プログラミングまたは PLD のコンフィギュレーションが容易になります。

## 参考資料

1. [DS014](#): 『MultiPRO デスクトップ ツール』
2. [DS019](#): 『HW-130 プログラマ』
3. [XAPP058](#): 『エンベデッド マイクロコントローラを使用するザイリンクスのインシステムプログラミング機能』

## 初版リリース

次の表に、この文書の改定履歴を示します。

| 日付         | バージョン | 内容   |
|------------|-------|--|
| 2001/02/14 | 1.0   | 初版リリース   |
| 2001/02/26 | 1.1   | 若干の変更  |
| 2001/08/02 | 1.2   | 若干の変更  |
| 2002/06/10 | 1.3   | 「Virtex シリーズ」および「Virtex-II シリーズ Platform FPGA」の追加  |
| 2003/07/24 | 1.4   | Platform Flash および Spartan-3 デバイスに関する記述の更新。  |
| 2007/10/02 | 1.5   | <ul style="list-style-type: none"><li>• 若干の変更</li><li>• <a href="#">17 ページの「参考資料」</a>の追加</li><li>• テンプレートの更新</li></ul> |

Notice of  
Disclaimer

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.