



XAPP520 (v1.0) 2011 年 12 月 13 日

7 シリーズ FPGA の HP I/O バンクを 2.5V/3.3V I/O 規格と接続する方法

著者 : John Rinck, Austin Tavares

概要

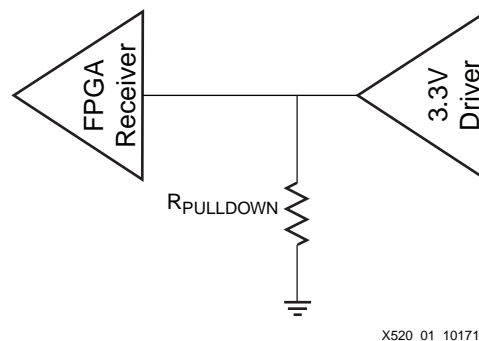
ザイリンクス 7 シリーズ FPGA の I/O は、HR (High Range) または HP (High Performance) バンクのいずれかに分類されます。HR I/O バンクは 1.2V ~ 3.3V の範囲で動作でき、HP I/O バンクは 1.2V ~ 1.8V の間で動作するように最適化されています。HP 1.8V I/O バンクを 2.5V または 3.3V のロジックと接続する必要がある場合は、さまざまなオプションを利用できます。このアプリケーション ノートでは、7 シリーズの HP I/O バンクを 2.5V または 3.3V システムと接続する方法について解説します。

インターフェイス 接続オプション

インターフェイスの接続オプションは、性能、機能、および信号の種類 (入力、出力、双方向) によって異なります。このアプリケーション ノートでは、追加抵抗、電界効果トランジスタ (FET) スイッチ、レベル変換器などのオプションに加え、ザイリンクス FPGA のオプションについても説明します。

プルダウン抵抗を 使用する 抵抗分割回路

シンプルな抵抗負荷を使用することによって、過度の信号振幅を FPGA が耐えられるレベルまで抑えることができます。図 1 のように、伝送ラインから GND へ抵抗を配置すると、High 電圧のみ減衰されます。このソリューションの場合、プルダウン抵抗が伝送ラインのインピーダンスと整合していないことが原因で、理想的なシグナル インテグリティを達成できないことがあります。このようなプルダウン抵抗は、レシーバーの近くに配置することで不要な反射を削減できます。



X520_01_101711

図 1 : プルダウン抵抗の例

プルダウン抵抗の値は、出力ドライバーのインピーダンス/抵抗と出力駆動電圧 (V_{CC}) からわかります。2 ページの図 2 に示す実際の回路図を参照し、式 1 に $V_{RECEIVER}$ として定義したレシーバー入力電圧を適用してプルダウン抵抗値を算出します。

$$R_{PULLDOWN} = \frac{Z_{DRIVER} \times V_{RECEIVER}}{V_{CC} - V_{RECEIVER}} \quad \text{式 1}$$

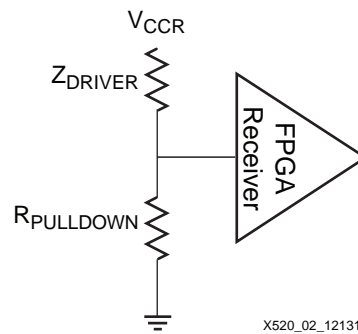


図 2：プルダウン抵抗を使用してロジック 1 を駆動するドライバー

表 1 に、ドライバーの V_{CC} が 2.5V および 3.3V の場合における、さまざまなドライバー インピーダンス/抵抗の $R_{PULLDOWN}$ 値を示します。

表 1： $R_{PULLDOWN}$ の計算値

ドライバー V_{CC} (V)	Z_D (Ω)	レシーバー V_{CC} (V)	$R_{PULLDOWN}$ (Ω)
2.5	30	1.8	77.1
2.5	40	1.8	102.8
2.5	50	1.8	128.5
2.5	60	1.8	154.3
3.3	30	1.8	36
3.3	40	1.8	48
3.3	50	1.8	60
3.3	60	1.8	72

ドライバーは一定の法則で動作しない可能性があるため、HSPICE を使用してシミュレーションを実行することを推奨します。さらに、インピーダンスの不整合によるオーバーシュートや反射も考慮する必要があります。HP I/O バンクの V_{CCOMAX} は 2.1V です。

トータムポール型の抵抗分割回路

抵抗を 2 つ配置するトータムポール型ソリューションでは、終端によって伝送ラインのインピーダンスが整合するため反射を最小限に抑えることができますが、連続した DC 電流が犠牲になります。

並列に配置されたこれらの抵抗は、可能な限り Z_0 に近くなるように選択します。また、レシーバーの V_{IH} および V_{IL} レベルを満たす必要があります。図 3 に示す V_{BIAS} ポイントによって、入力される High 信号は、入力される Low 信号と一致するように駆動能力を下げても駆動できるようになります。この V_{BIAS} ポイント値がわかると、プルアップ抵抗およびプルダウン抵抗の値を算出できます。最適なシグナルインテグリティを達成するために、終端抵抗はレシーバーの近くに配置してください。

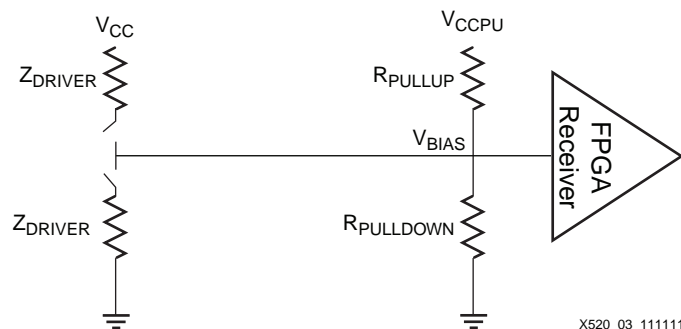


図 3：テブナン並列終端を配置したドライバー回路図

式 2 から V_{BIAS} を求めることで、出力 High と出力 Low の駆動能力の均衡が保たれます。

$$V_{BIAS} = \frac{V_{CCDRIVER} \times (V_{IL} - margin)}{V_{CCDRIVER} + (V_{IL} - margin) - (V_{IH} + margin)} \quad \text{式 2}$$

V_{BIAS} 値の算出後、式 3 から R_{PULLUP} および $R_{PULLDOWN}$ の値を算出できます。

$$R_{PULLUP} = \frac{V_{CCPU} \times Z_0}{V_{BIAS}} \quad R_{PULLDOWN} = \frac{Z_0 \times R_{PULLUP}}{R_{PULLUP} - Z_0} \quad \text{式 3}$$

表 2 に、ドライバーの V_{CC} が 2.5V および 3.3V の場合における R_{PULLUP} と $R_{PULLDOWN}$ の計算値を示します。

表 2: R_{PULLUP} および $R_{PULLDOWN}$ の計算値

ドライバー V_{CC} (V)	Z_0 (Ω)	マージン (mV)	V_{IH} (V)	V_{IL} (V)	V_{BIAS} (V)	V_{CCPU} (V)	R_{PULLUP} (Ω)	$R_{PULLDOWN}$ (Ω)
2.5	50	300	1.17	0.63	0.606	1.8	148.5	75.4
3.3	50	300	1.17	0.63	0.504	1.8	178.6	69.4

図 3 に示す回路を使用する場合は、レシーバーの V_{IH} および V_{IL} しきい値に達するように、ドライバーの出力インピーダンスを小さくしなければなりません。また、出力インピーダンスは、レシーバーの推奨動作電圧 (V_{IHMAX}) を超えない大きさにする必要があります。7 シリーズ FPGA の場合、2LVCMOS18 の V_{IHmax} は 2.1V です。 $Z_{DRIVER(MAX)}$ および $Z_{DRIVER(MIN)}$ は、式 4 および式 5 から算出できます。

$$Z_{DRIVER(MAX)} \leq \left(\frac{(V_{CCDRIVER} - V_{BIAS}) \times Z_0}{(V_{IH} + margin) - V_{BIAS}} \right) - Z_0 \quad \text{式 4}$$

$$Z_{DRIVER(MIN)} \leq \left(\frac{(V_{CCDRIVER} - V_{BIAS}) \times Z_0}{V_{IHMAX} - V_{BIAS}} \right) - Z_0 \quad \text{式 5}$$

表 3 に、ドライバーの V_{CC} が 2.5V および 3.3V の場合における $Z_{DRIVER(MAX)}$ と $Z_{DRIVER(MIN)}$ の計算値を示します。

表 3: $Z_{DRIVER(MAX)}$ および $Z_{DRIVER(MIN)}$ の計算値

ドライバー V_{CC} (V)	Z_0 (Ω)	マージン (mV)	V_{IH} (V)	V_{IHMAX} (V)	V_{BIAS} (V)	$Z_{DRIVER(MAX)}$ (Ω)	$Z_{DRIVER(MIN)}$ (Ω)
2.5	50	300	1.17	2.1	0.606	59.6	13.4
3.3	50	300	1.17	2.1	0.504	94.7	37.6

$Z_{DRIVER(MAX)}$ では、ロジック 1 とロジック 0 にちょうど 300mV の電圧マージンがあります。出力インピーダンスが低下すると、ロジック 1 のマージンがロジック 0 のマージンよりも速いペースで増加します。式 6 および式 7 を使用して、実際のドライバー インピーダンスに基づいたマージンレベルを算出します。

$$\text{Logic 1 Margin} = \frac{(V_{CCDRIVER} - V_{BIAS}) \times Z_0}{Z_0 + Z_{DRIVER}} + V_{BIAS} - V_{IH} \quad \text{式 6}$$

$$\text{Logic 0 Margin} = V_{IL} + \frac{V_{BIAS} \times Z_0}{Z_0 + Z_{DRIVER}} - V_{BIAS} \quad \text{式 7}$$

表 4 に、ドライバーの V_{CC} が 2.5V および 3.3V の場合におけるロジック 0 とロジック 1 のマージン値を示します。

表 4: ロジック 0 およびロジック 1 の電圧マージンの計算値

ドライバー V_{CC} (V)	Z_0 (Ω)	V_{IH} (V)	V_{IL} (V)	V_{BIAS} (V)	Z_{DRIVER} (Ω)	ロジック 1 マージン (mV)	ロジック 0 マージン (mV)
2.5	50	1.17	0.63	0.606	59.6	300	300
2.5	50	1.17	0.63	0.606	13.4	930	502
3.3	50	1.17	0.63	0.504	94.7	300	300
3.3	50	1.17	0.63	0.504	37.6	930	414

トータムポール終端の各 I/O で消費されるバイアス電力は、式 8 を使用して算出します。 V_{CC} はプルアップ電圧です。

$$\text{Power} = \frac{V_{CC}^2}{R_{PULLDOWN} + R_{PULLUP}} \quad \text{式 8}$$

表 5 に、3 ページの表 2 の R_{PULLUP} および $R_{PULLDOWN}$ 値に基づいた各 I/O 消費電力の計算値を示します。

表 5: I/O 消費電力の計算値

ドライバー V_{CC} (V)	R_{PULLUP} (Ω)	$R_{PULLDOWN}$ (Ω)	V_{CCPU} (V)	I/O 消費電力 (mW)
2.5	148.5	75.4	1.8	14.4
3.3	178.6	69.4	1.8	13.1

V_{BIAS} への並列終端を使用する場合、電源レールを追加することで、DC バイアスなしで同じ性能を達成できます (図 4)。したがって、入力数が多いアプリケーションほど、このソリューションによって高い電力効率を期待できます。

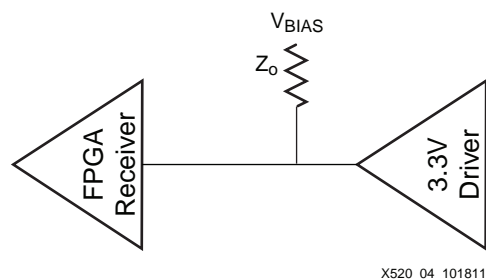


図 4: V_{BIAS} へ接続する並列終端の例

直列 FET スイッチ

直列 FET スイッチは、3.3V から 1.8V への単一方向の電圧変換を確実にを行い、1.8V から 3.3V へ変換するようにも変更できます。このデバイスは、図 5 に示すように伝送ラインと直列に配置された NMOS トランジスタのように機能します。

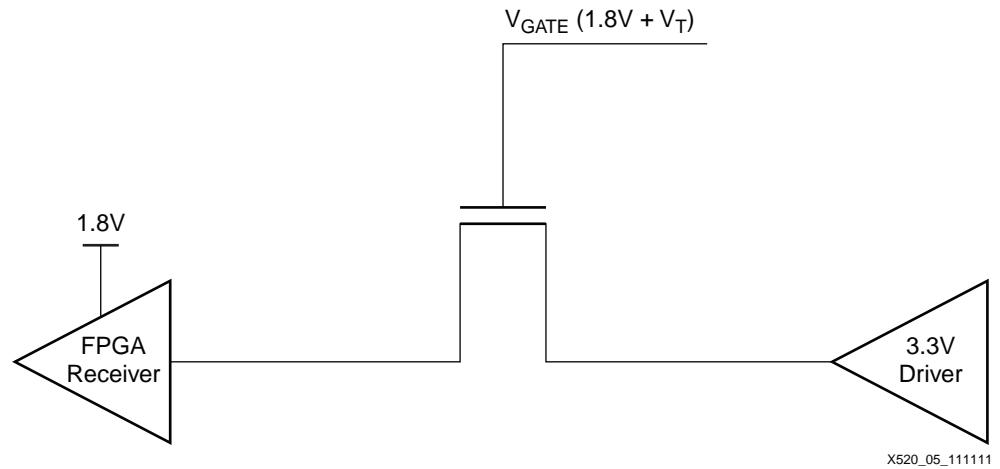


図 5 : 直列 FET スイッチ

トランジスタのゲートが $1.8V + V_T$ に設定されている場合は、3.3V ドライバーからの信号が最大 1.8V でレシーバーへ渡されます。図 6 に示す Texas Instruments 社製 SN74TVC16222ADGVR には、1 つのゲートを共有する 23 個の並列 NMOS パス トランジスタがあります。

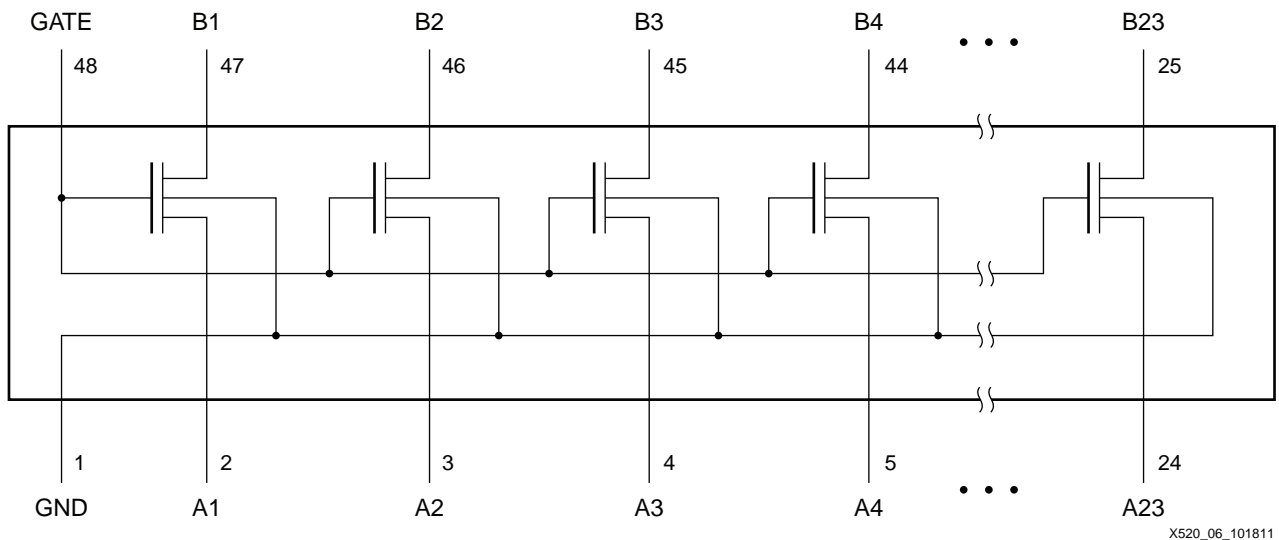


図 6 : Texas Instruments 社製 SN74TVC16222ADGVR の概略図

2.5V/3.3V ドライバーからの信号を 1.8V で渡すために、23 個の NMOS トランジスタのうち 1 つを基準トランジスタとして使用し、すべてのゲート電圧に $1.8V + V_T$ のバイアスをかけることができます (図 7 参照)。

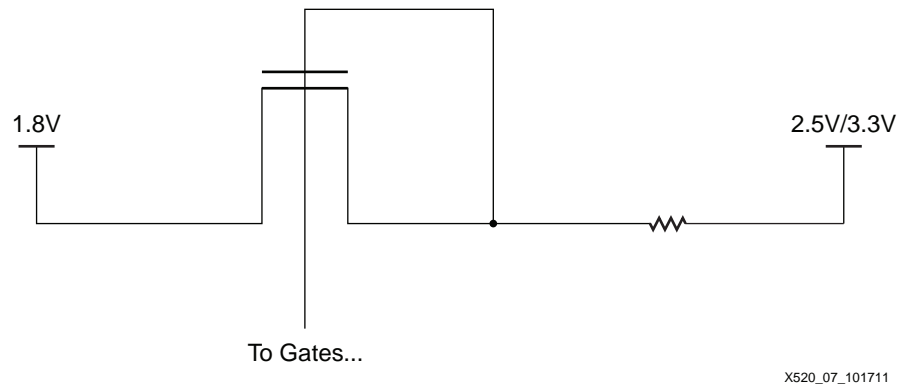


図 7: 1.8V に設定したリファレンストランジスタの例

2.5V/3.3V に適用する抵抗は、1.8V レールへ流れる電流を確実に制限できるだけの大きさ (数百 kΩ) が必要です。

FET スイッチを使用する 1.8V から 2.5V/3.3V へのインターフェイス接続

FET スイッチのみを介して 1.8V で 2.5V または 3.3V のレシーバーを駆動する場合は、 V_{IH} のマージンが非常に少なくなるか、またはゼロになります。たとえば、 V_{IH} が 1.7V の Spartan®-6 FPGA LVC MOS25 レシーバーを 1.8V で駆動する場合のマージンは、わずか 100mV です。 V_{IH} が 2.0V の Spartan-6 FPGA LVC MOS33 レシーバーを 1.8V で駆動する場合のマージンは 0 です。

図 8 のように、レシーバーの入力側にプルアップ抵抗を付けることで、Low から High への遷移信号にマージンを与えることができます。最適なシグナル インテグリティを達成するために、 R_{PULLUP} はレシーバーの近くに配置してください。

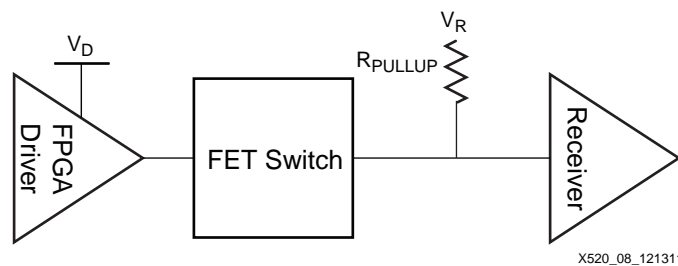


図 8: プルアップ抵抗を使用する FET スイッチ

この抵抗値の大きさには注意が必要です。この値が大きいほど Low から High への遷移信号に有効に働きますが、High から Low への遷移信号が犠牲となります。さらに、この抵抗は (Low から High、High から Low) 両方の遷移信号のタイミングに影響を与えます。

FPGA ドライバーの V_{CC} から V_{IH} (+ マージン) までのラインを帯電させるために必要な追加時間は、図 8 および図 9 で示す回路図を参考にして、式 9 からほぼ確実に予測できます。 V_{IH} はレシーバーの値で、 V_{MARGIN} は V_{IH} 値よりも高い任意のマージン値です。 τ は時定数 $R_{PULLUP} \times (C_{FET} + C_{LOAD})$ です。

$$T = -\tau \times \ln\left(\frac{V_R - V_{IH} - V_{MARGIN}}{V_R - V_D}\right) \quad \text{式 9}$$

表 6 : プルアップ抵抗の帯電に要する時間

V_R (V)	V_D (V)	V_{IH} (V)	V_{MARGIN} (mV)	C_{FET} (pF)	C_{LOAD} (pF)	C_{TOT} (pF)	R_{PULLUP} (Ω)	τ (ns)	時間 (ns)
2.5	1.8	1.7	300	4.47	4	8.47	200	1.69	0.57
2.5	1.8	1.7	300	4.47	4	8.47	360	3.05	1.03
2.5	1.8	1.7	300	4.47	4	8.47	500	4.24	1.42
2.5	1.8	1.7	300	4.47	4	8.47	1,000	8.47	2.85
3.3	1.8	2.0	300	4.47	4	8.47	200	1.69	0.69
3.3	1.8	2.0	300	4.47	4	8.47	360	3.05	1.24
3.3	1.8	2.0	300	4.47	4	8.47	500	4.24	1.72
3.3	1.8	2.0	300	4.47	4	8.47	1,000	8.47	3.43

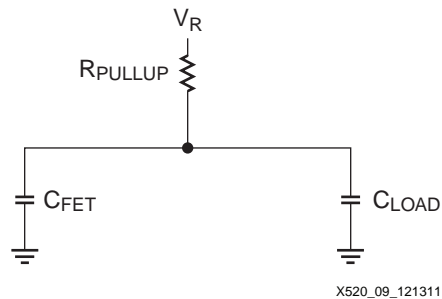


図 9 : FET の 3.3V 側

プルアップ抵抗の存在は、High から Low への遷移信号に影響を与えます。このため、ドライバーのインピーダンスは V_{IL} レベルを満たし、さらにマージン分を差し引いて算出し、十分に小さくする必要があります。ドライバーのインピーダンスの最大値は、図 10 の回路図を参照し、式 10 から求められます。

$$Z_{DRIVER} = \frac{(V_{IL} - V_{MARGIN}) \times R_{PULLUP}}{V_{CC} - (V_{IL} - V_{MARGIN})} \quad \text{式 10}$$

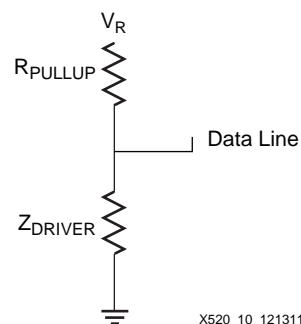


図 10 : プルアップ抵抗を配置してロジック 0 を駆動するドライバー

表 7 に、さまざまなプルアップ抵抗値におけるドライバー インピーダンスの最大値を示します。

表 7: ドライバー インピーダンスの最大値とプルアップ抵抗

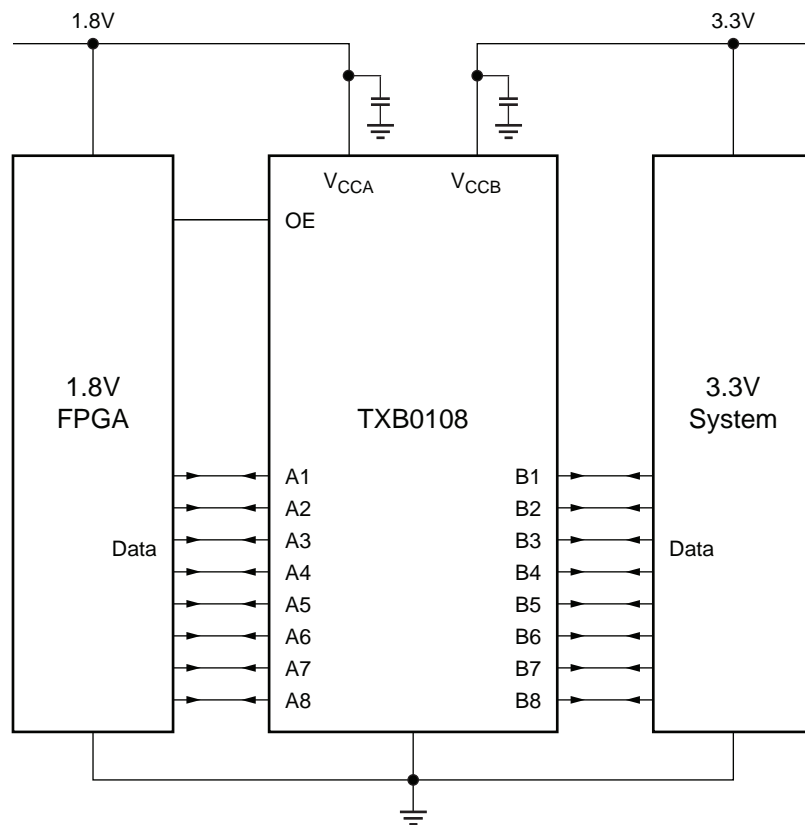
V_R (V)	V_{IL} (V)	V_{MARGIN} (mV)	R_{PULLUP} (Ω)	Z_{MAX} (Ω)
2.5	0.8	300	200	50
2.5	0.8	300	360	90
2.5	0.8	300	500	125
2.5	0.8	300	1,000	250
3.3	0.8	300	200	35
3.3	0.8	300	360	64
3.3	0.8	300	500	89
3.3	0.8	300	1,000	179

I2C との互換性

適切なプルアップ抵抗値と FET スイッチを使用すれば、問題なく I2C 信号のレベル変換を実行できます。

自動レベル変換器

図 11 に示す Texas Instruments 社製 TXB0108 ブロックは、自動方向検知機能が付いたレベル変換器です。これはトラフィックの方向を自動検知できるため、双方向システムに容易に適用できます。各ビットに個別の方向センサーが備わっているため、制御信号を追加する必要はありません。このデバイスは、回路 (3.3V から 1.8V) に最大で 7.6ns の伝播遅延をもたらします。デバイスの特性上、終端などの負荷の大きい要素がラインに存在する場合にはロジック エラーが生じる可能性があります。エラーを回避するために、終端およびバスの負荷は 50k Ω 以上にする必要があります。この理由から、このタイプのレベル変換器は、I2C や 1Wire などのオープンドレイン バスには適していません。



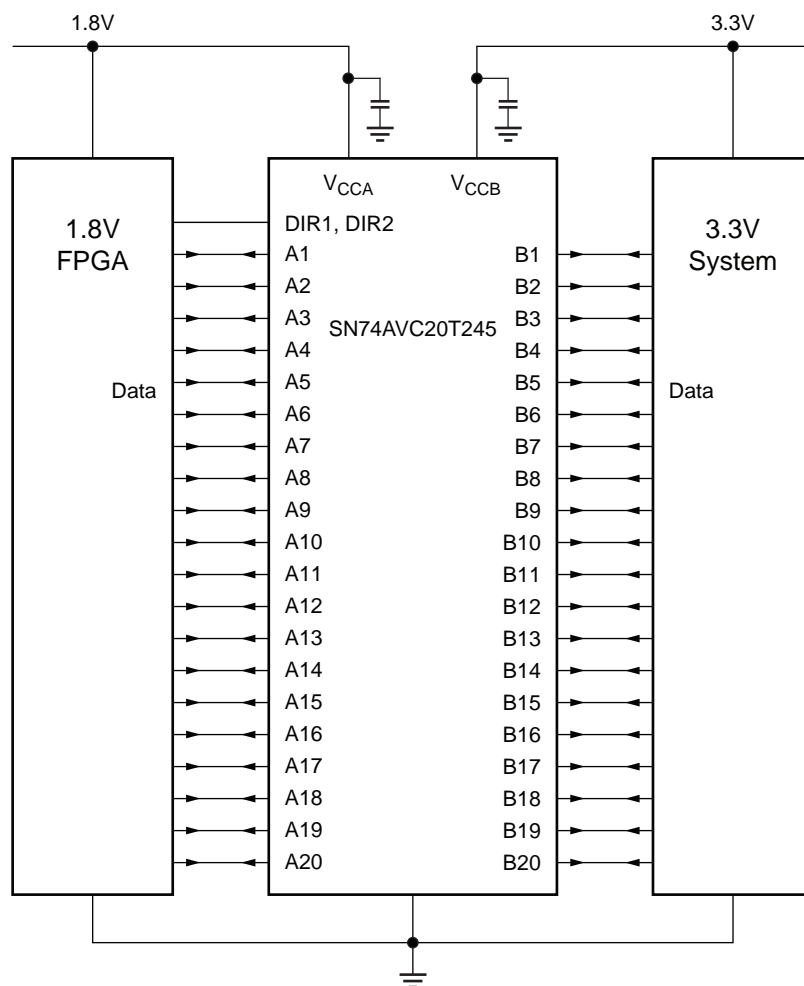
X520_11_101811

図 11：自動レベル変換器

双方向レベル変換器

Texas Instruments 社製 SN74AVC20T245 は、DIR ロジックに基づいて A から B (または B から A) へ流れるデータをレベルシフトする 20 ビットの双方向レベル変換器です (10 ページの図 12)。

SN74AVC20T245 は 2 つの 10 ビット バスに分割され、各ブロックに DIR 制御信号があります。また、これらのブロックはそれぞれに出力イネーブル信号が 1 つあり、ポート A とポート B を区別しています。この変換器を通過する際の Pin-to-Pin 伝播遅延は最大 4.6ns です。



X520_12_101811

図 12 : 20 ビットの双方向レベル変換器トポグラフィー

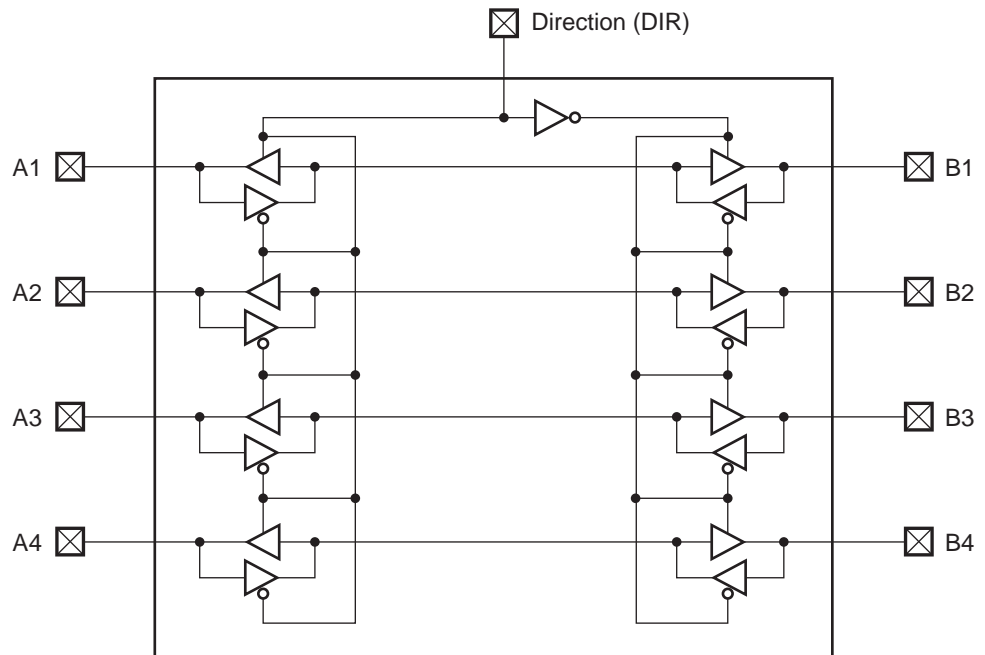
CPLD と FPGA

ザイリンクスは、2.5V/3.3V 耐性のさまざまなデバイスを提供しており、これらは双方向レベル変換アプリケーションに適しています。

ザイリンクスの CPLD は、最大 117 個の I/O を備え、最大 58 ビットのバス幅をサポートするため、3.3V から (または 3.3V へ) のレベルシフトに理想的なデバイスです。Spartan-6 FPGA も 3.3V から (または 3.3V へ) のレベルシフトに適したデバイスで、最大 530 個の I/O を提供します。また、2.5V から (または 2.5V へ) のレベルシフトには、Virtex-6 FPGA を使用することもできます。不揮発性 Spartan-3AN ファミリーもオプションとなります。

CPLD や FPGA を使用することによって、7 シリーズ FPGA のその他のロジックやタスクを処理する負荷を軽減できます。ザイリンクスの CPLD を使用した場合の Pin-to-Pin 伝播遅延は 5ns で、FPGA のでは各デバイスの配線状況によって異なります。

CPLD または Spartan デバイス (図 13) では、7 シリーズ デバイスとのインターフェイスに IOBUF が 1 つインスタンス化され、2.5V/3.3V ロジックとのインターフェイスに別の IOBUF が使用されています。トラフィックの方向は、7 シリーズ FPGA または 3.3V ロジックのいずれかから信号が送られるかによって認識されます。



X520_13_101711

図 13 : CPLD または FPGA デザイン例

設計ガイドライン

表 8 に、このアプリケーション ノートで説明したさまざまなインターフェイスの接続方法をまとめます。

表 8 : デザイン ガイドラインの比較

タイプ	外付けのデバイス番号	ビット幅	双方向	入力	出力	バスが方向/信号 (DIR) に基づいて制御される	オープンドレイン/トライバースのサポート	終端サポート	コンポーネント数	伝播遅延 (ns)
「プルダウン抵抗を使用する抵抗分割回路」	N/A	N/A	No	Yes	No	No	Yes	Yes	1	N/A
「トータムポール型の抵抗分割回路」	N/A	N/A	No	Yes	No	No	Yes	Yes	2	N/A
「直列 FET スイッチ」	SN74TVC16222ADGVR	22	Yes ⁽¹⁾	Yes	Yes ⁽¹⁾	No	Yes ⁽⁴⁾	Yes	1 ⁽²⁾	0.25
「自動レベル変換器」	TXB0108	8	Yes	Yes	Yes	No	No	No	1	7.6
「双方向レベル変換器」	SN74AVC20T245	20	Yes	Yes	Yes	Yes	Yes	Yes	1	4.6
「CPLD と FPGA」	XC9536XL	16 ⁽³⁾	Yes	Yes	Yes	Yes ⁽³⁾	Yes	Yes	1	5

メモ :

1. プルアップ抵抗を使用して双方向をサポートできます。
2. プルアップ抵抗を使用する場合は 2 つのコンポーネントを使用します。
3. ビット幅はデバイス サイズによって異なります。
4. 適切なプルアップ抵抗を使用する I2C を含みます。

まとめ

7 シリーズ FPGA の HP I/O バンクは、さまざまな方法で電圧の高いインターフェイスに対応できるため、実際にはあらゆるデザイン、コスト、および性能の要件を満たすことができます。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011 年 12 月 13 日	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。