



XAPP555 (v1.0) 2012 年 5 月 10 日

電圧識別ビットを使用した消費電力の削減

著者 : Ken Chapman、Jameel Hussein

概要

電圧識別は、適応型電圧制御 (Adaptive Voltage Scaling、AVS) の一種です。このアプリケーション ノートで説明する電圧識別テクニックでは、特定の Virtex®-7 ファミリ デバイスを低電圧の 0.9V で動作させて、公称電圧 1.0V で動作させた場合と同じ性能を実現できます。電圧識別が可能なデバイスでは、ワースト ケースのスタティック消費電力が通常よりも 30% 削減され、それに応じて放熱も抑えられます。

消費電力の削減は望ましい特性であり、ザイリンクス 7 シリーズ FPGA はさまざまな方法でこれを実現しています。電圧識別の主な目的は、-1C デバイスのワーストケース消費電力を削減することですが、この画期的な技法は各デバイスの放熱量だけでなく、システム全体のコストも削減します。

消費電力および熱管理の要件は、通常、システムの全コンポーネントの電力需要のワーストケースに基づいて決定されます。7 シリーズ FPGA -1C はコスト効率に最も優れたデバイスですが、製品の総コストはすべての部品の合計であり、消費電力や熱管理に関わるコストが著しくなる可能性があります。電圧識別テクニックは、特にワーストケースの消費電力を削減し、大規模な電源の使用、ヒート シンクの使用、冷却装置の追加、または類似のデバイスの追加など、総コストに影響する要因をなくすことができます。

このアプリケーション ノートでは、電圧識別テクニックの実装について技術的に説明し、VC707 評価キットのリファレンス デザインを紹介します。また、電圧識別が Virtex-7 FPGA のすべての電源ポートフォリオにいかにか効果的であるか、そして消費電力やシステム コストの削減にどのような利点をもたらすかについても解説します。

はじめに

7 シリーズ FPGA では、前世代のザイリンクス FPGA や他社が提供する同等デバイスよりも消費電力が大幅に削減されています。実際に重要なのは、それぞれの製品の消費電力と最終的な製品コストです。ここで説明する電圧識別テクニックを用いることで、ワーストケースのスタティック消費電力を ~30% 削減し、その結果として最終製品の総コストも削減します。

VID ビット付きデバイス

表 1 に、VID (電圧識別) ビットを持つ 7 つの Virtex-7 デバイスを示します。ここで説明する手法は、商業温度範囲の -1C スピード仕様のデバイスのみを対象としています。電圧識別テクニックを適用すると、-1C スピード仕様に相当するパフォーマンスを達成できます。また、対象デバイスを制限する理由についても後に説明します。表 1 に示したすべての -1C デバイスには、VID ビットが組み込まれています。これらは特別な注文コードを使用する特殊なデバイスではなく、標準デバイスです。これらすべてのデバイスで、VID ビットを使用し、ワーストケースのスタティック消費電力を抑えることができます。

表 1 : Virtex-7 の VID ビット付きデバイス

XC7V585T-1C	XC7VX330T-1C	XC7VX550T-1C
	XC7VX415T-1C	XC7VX690T-1C
	XC7VX485T-1C	XC7VX980T-1C

ビットの読み出し

VID ビットは、プロダクション テストで各デバイスにプログラムされる不揮発性のシングル ビットです。プログラムされる値は 0 または 1 しかありませんが、値は各デバイス固有でデバイスを識別するものとなります。このビット情報は、プロダクション テストでプログラムされる Device DNA 値の一部です。

VID ビットは、DNA_PORT プリミティブを介してアクセス可能な、57 ビットの Device DNA 値 (ビット 0 ~ 56) のビット 1 です。DNA_PORT は、シリアル シフトレジスタとして構成されており、CLK 入力の立ち上がりエッジで READ 制御信号を High に駆動することで、DNA 値が最初にロードされます。シフトレジスタへのロード完了後、MSB (ビット 56) が DOUT ポートから読み出されます。READ 制御信号が Low の場合、SHIFT 制御信号を High 駆動して、CLK 入力の立ち上がりエッジが適用されると、シフトレジスタがシフトします。55 回のシフト サイクル後、DOUT 出力から VID ビット (ビット 1) が読み出されて、その値に基づいて電圧識別を使用できます。

ユーザーは、正しいビット 1 が DNA 値から抽出されていることを確認する必要があります。この抽出作業を実行するデザインに根本的な問題があったり、または通常は正しく動作する回路を妨害する予想外のイベントが原因となって、間違った情報が VID ビットとして抽出される場合があります。初期段階から信頼性の高い動作となるよう設計することで、論理的に正しい読み出しプロセスが確保されます。

すべてのデバイスにはそれぞれ固有の 57 ビット値がありますが、この DNA 値が正しく読み出されたかどうかを確認する直接的な方法がありません。しかし、間接的な方法として、DNA_PORT プリミティブの DIN 入力から既知のデータパターンを DNA シフトレジスタへ入力し、57 番目以降のビットをシフトしたときに予想どおりのパターンが現れるかどうかを確認できます。DNA 値、特にビット 1 は、読み出し後にどこかへ格納し、DNA 読み出し動作の検証で既知のパターンを使用する場合にのみ使用する必要があります。

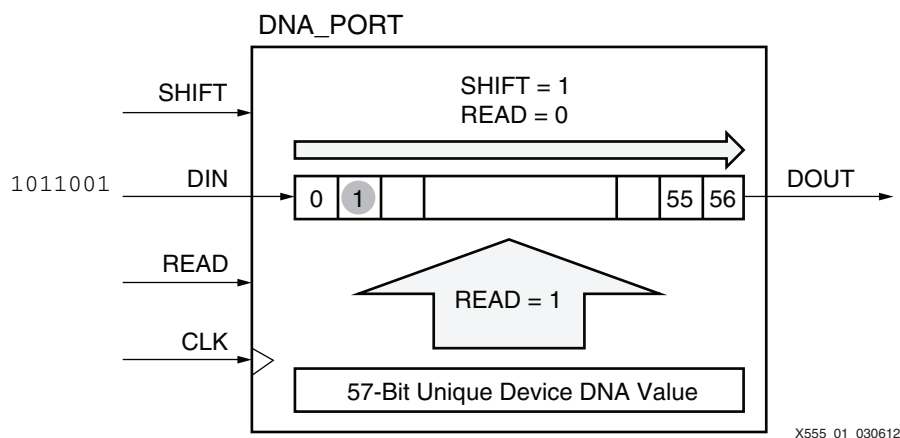


図 1 : Device DNA から電圧識別ビットを抽出

図 1 に、VID ビットの抽出を示します。Device DNA から VID ビットを抽出するプロセスは次のとおりです。

1. シフトレジスタに DNA 値をロードします。
2. 既知の 7 ビットパターン (例: 1011001) を挿入して、出力に現れたビットをキャプチャしながらシフトします。
3. 64 ビットの読み出し後、最後の 7 ビットが挿入した既知のパターンと一致しているかを検証します。
4. 読み出しプロセスの検証結果に問題がなければ、このキャプチャした DNA 値を使用します。Device DNA のビット 1 が VID ビットです。

V_{CCINT} を 0.9V まで低減

VID ビットが 0 の場合、デバイスは公称値の 1.0V の V_{CCINT} で動作する必要があります。VID ビットが 1 の場合は、V_{CCINT} を 0.9V まで下げることができます。デバイスは 1.0V 動作を続けますが、可能な場合に V_{CCINT} を 0.9V まで下げることによって、スタティック消費電力やダイナミック消費電力を抑えることができます。最も重要な点として、コマーシャル温度範囲の -1C スピード仕様で定義されたすべてのパフォーマンス仕様がそのまま満たされます。

電圧識別テクニックを使用するには、0.9V または 1.0V の V_{CCINT} を供給する方法が必要です。すべての -1C デバイスが 0.9V 動作に対応するわけではないため、両電圧がサポートされることが条件です。一部のボード デザインには、電圧レベルを設定できる電源があります。この機能は製造段階で使用されることがあり、各電源レールを通常動作に必要な電圧レベルに設定します。しかし、固定の出力電源のみを使用する場合は、別の V_{CCINT} 供給ソリューションを考える必要があります。

0.9V または 1.0V のいずれかに設定するかに関係なく、電圧識別は次の 2 つの基本的な方法で使用できます。

- プロダクション テスト方法
- 適応型電圧制御 (AVS)

プロダクション テスト方法

工場で実施されるデバイスのプロダクション テスト中に各デバイスに VID ビットが設定され、これは変更できません。VID ビットが 1 に設定されたデバイスは、常に 0.9V 動作が可能です。つまり、そのデバイスの V_{CCINT} は 1.0V ではなく永久的に 0.9V に設定できます。この方法では、VID ビット値は確定的で、V_{CCINT} 値は各製品のエンド カスタマー プロダクション テストの一環として設定されます。Device DNA 値を読み出すために、最初は Virtex-7 デバイスへ 1.0V を供給する必要があります。この場合、XSC_DNA コマンドを使用して JTAG から Device DNA を読み出すか、またはテスト デザインをデバイスへロードすることが可能です。VID ビット値に従って、V_{CCINT} を適切に 0.9V または 1.0V にプログラムするか、適切な SOT (Select On Test) コンポーネントやリンクを挿入できます。

適応型電圧制御 (AVS)

適応型電圧制御 (AVS) は、デバイスへ供給される電圧を調整するために業界で使用されているテクニックです。各デバイスは、通常は電力消費 (熱) を制限範囲内に抑えることを目標として、各時点で要求されるパフォーマンスを達成します。たいいては閉ループ制御アルゴリズムを使用する AVS 電圧調整が継続的に実行される傾向があります。VID ビットの使用は一種の AVS であり、V_{CCINT} をデフォルトの 1.0V から 0.9V へ一度だけ低減します。この方法は、比較的簡単にインプリメントでき、また開ループプロセスでも可能です。ここで重要となるのは電源の制御ですが、一般的な AVS の使用では難しいことはありません。このアプリケーション ノートのリファレンス デザインでは、Texas Instruments 社製 UCD9248 コントローラーを備える 7 シリーズ FPGA 評価キットの電源が、エリア効率の良い PicoBlaze™ コントローラーを使用し PMBus (電圧管理バス) を介してどのように制御されるかを示します。もう 1 つの電力供給方法として、Virtex-7 FPGA から直接出力された VID ビットを使用して V_{CCINT} を 0.9V に切り替えることができます (たとえば、VID ビットを使用して、別の電源の固定出力電源のセンス入力へフィードバックする電圧を調整)。

電圧識別テクニックの利点

電圧識別テクニックは AVS を単純化したものであり、ASIC デバイスへ AVS を適用する場合と同様に、最終的に消費電力が削減されます。しかし、ASIC と FPGA は基本的な違いがあり、FPGA で AVS を使用する理由はまったく異なります。電圧識別の利点は、コマーシャル温度範囲の -1C スピード仕様 Virtex-7 FPGA へ適用した場合に顕著です。このテクニックは、いくつかある省電力オプションの 1 つで、純粋なシリコンの電源機能に焦点を当てています。デザイン ツールには、最終的なシステムの電力プロパティをさらに向上させるさまざまな省電力オプションがあります。

シリコン デバイスが製造される際、製造プロセス変数 (P) があります。この変数に基づいてデバイスの性能や消費電力が変化します。さらにデバイスの性能や消費電力は、動作電圧 (V) や温度 (T) によっても変化します。これらの影響は一般的に PVT 変動と呼ばれています。電圧識別テクニックの効果を十分理解するには、これらのパラメーターを個別に考慮する必要があります。

電圧識別テクニックに最も影響力があるのは P です。Virtex-7 デバイスは、28nm の高性能低消費電力 (HPL) プロセスを採用し、性能および消費電力の両面で優れた効果を発揮していますが、電圧識別はそのプロセスにおけるばらつきに着目します。図 2 は、正確な分布曲線とは多少異なりますが、-1C デバイスの VID ビットに焦点を当てた場合のわかりやすい基準サンプルとして平均化した分布曲線です。

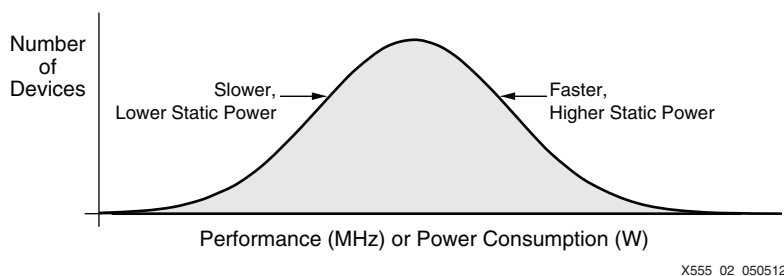


図 2：製造プロセスに起因するデバイス間のばらつき

図 2 の曲線は、複数のウェハーで製造された多数のデバイスにおけるパフォーマンスのばらつきを示しています。大部分のデバイスは中央部分に位置します。一般的に、デバイスのパフォーマンスが高いほど、スタティック消費電力が大きくなります。-1C デバイスの範囲は、この曲線上に該当します。低速デバイスには 1.0V が必要ですが、高速デバイスは 0.9V で動作して同じパフォーマンスを達成できます。

ザイリンクスはプロダクション テストの段階で、0.9V 動作で -1 仕様のパフォーマンスを十分に満たすことができる -1C デバイスを判断します。そして、0.9V 動作で -1 仕様をすべて満たすことができるデバイスには、Device DNA の不揮発性 VID ビットに 1 をプログラムします。低電圧でデバイスを動作させた場合、より低い電圧でデバイスが低速動作するため、基本的に曲線は左へシフトします。

電圧識別テクニックは、電圧を下げて消費電力を抑えるだけでなく、コストへの影響も最小限に抑えます。VID ビットは、表 1 に記載されたすべての -1C デバイスに備えられた標準機能です。この VID を使用するにあたって、別の注文コードや在庫および注文に関わるコストは不要です。さらに、電圧識別テクニックは単純な AVS であるため (V_{CCINT} を 1.0V から 0.9V へ 1 回切り替えるだけ)、最終製品の設計負荷およびコストを最小限に抑えることができます。また、インダストリアル温度範囲デバイスのような低消費電力向けスクリーニング済みの低電力仕様デバイスあるいは -2L デバイスを購入するよりも安価です。より低いスタティック消費電力向けにスクリーニング評価されたデバイスの詳細は、『28nm プロセスを採用した 7 シリーズ FPGA で消費電力を削減』(WP389) を参照してください。

-1C デバイスの VID ビットに関わる直接的なコストを最小限に抑えることで、最終製品の総コストを削減できます。電源は、コンポーネントのワーストケースの消費電力に基づいて設計および実装する必要があります。電圧識別テクニックを用いて電源が供給するワーストケース電流を低減することで、デバイスのワーストケース消費電力が削減されます。このように、より低消費電力の電源を設計することで、大幅なコスト削減が可能になります。

製品の熱管理については、システム内の全コンポーネントのワーストケース消費電力に基づいて設計および実装する必要があるため、電圧識別テクニックを用いてワーストケース消費電力の削減に取り組んだ場合、結果的にコスト増につながるヒートシンクや冷却ファンなどを使用する必要がなくなります。

低パフォーマンス アプリケーションでさらに低い消費電力が求められる場合は、-2L デバイスを選択して 0.9V の V_{CCINT} で動作できます。消費電力をさらに抑えつつ、設計しやすさを求める場合は、-1C デバイスで電圧識別テクニックを使用する代わりに、-2L デバイスを選択できます。しかし、すべての -1C デバイスには追加料金なしで VID ビットが備えられているため、Virtex-7 デバイスを使用するデザインでは、電圧識別テクニックがワーストケースのスタティック消費電力を低コストで抑える有効なオプションです。

コスト削減

電圧識別テクニックは、消費電力とコストの両方に制限がある製品の設計に有用です。-1C デバイスはすでに比較的低コストですが、電圧識別テクニックを用いることで最終製品の総コストも削減できます。高コスト効率のデザインを考える場合、電圧識別テクニックの利点を取り入れるべきです。

XPE (XPower Estimator) または XPA (XPower Analyzer) を利用すると共に Virtex-7 データシート ([DS183](#)) を参照して正確な値を確認する必要がありますが、電圧識別テクニックはすべてのデバイスで V_{CCINT} に関連するワーストケース消費電力を最大 30% 削減します。 V_{CCINT} を 1.0V から 0.9V へ低減した場合、 V_{CCINT} の電流をワーストケースで 22.5% 削減することになります。電圧を下げることで、ダイナミック消費電力も削減します。

電圧識別テクニックを実装する主な利点は、FPGA へ伝播される V_{CCINT} のワーストケースのスタンディック電流が削減できることです。電源は、コンポーネントのワーストケース電流消費に基づいて設計および実装されます。消費電力が削減されることで、より低コストで小型の電源を指定できます。同じ電源をすべてのデバイスに使用できるため、コスト削減の効果は VID ビットが 1 のデバイスだけではなく、すべてのデバイスに対して適用されます。

電圧識別テクニックの 2 つ目の利点は、デバイスのワーストケース消費電力を削減することにより、放熱が抑えられることです。製品の熱管理は電源と同様に、ワーストケースの仕様に対応できるように設計する必要があります。すべてのデバイスに対してヒートシンクを追加しないようにすることや、低コストのコマーシャル温度範囲 (C) デバイスから拡張温度範囲 (E) またはインダストリアル温度範囲 (I) デバイスへアップグレードしないことでコストは抑えられます。電圧識別テクニックは、消費電力 (熱) とコストのバランスが常に求められ、閉ざされた環境で動作しなければならない民生製品の開発に有用なソリューションです。

電圧識別の直接的な利点ではありませんが、PicoBlaze コントローラーを使用して電圧識別プロセスを実行すると、製品動作中にそれによってその他の有効な機能を実行できます。詳細は、このアプリケーションのリファレンス デザインで説明しています。このデザインでは、PicoBlaze が PMBus プロトコルを採用して V_{CCINT} の電圧を制御し、その後ボード上のすべての電源をモニタリングします。

PicoBlaze コントローラーをオンチップ XADC プリミティブへ接続することで、内部電圧やダイ温度をモニタリングでき、さらに PMBus を使用しないデザインで V_{CCINT} をモニタリングしたり、冷却ファンを制御することが可能です。

注意事項

電圧識別の適用は簡単です。ただし、潜在的な問題が生じる可能性を考慮し、それらを事前に防ぐ必要があります。次の注意事項に従ってください。

- 電圧識別テクニックは、[表 1](#) に示す Virtex-7 ファミリの -1C デバイスにのみ適用します。
- VID ビットが 1 に設定されたデバイスのみ V_{CCINT} を 0.9V に低減できます。 V_{CCBRAM} は常に 1.0V にします。Virtex-7 デバイスを複数使用するデザインの場合、それぞれを適切な V_{CCINT} で動作させる必要があります。たとえば、ボード上にある 2 つの -1C デバイスへ電圧識別テクニックを適用した場合、これらは同じ 1.0V の V_{CCBRAM} を共有できますが、VID ビット値 (0 または 1) は異なる可能性があるため、 V_{CCINT} は個別に指定して制御する必要があります。
- VID 値が 0 の場合、デバイスは 1.0V の V_{CCINT} で動作する必要があります。VID ビットが 0 のデバイスに 0.9V を供給すると、デザインのパフォーマンス要件を達成できない場合があります。その大きな原因は、Device DNA 値の読み出しエラーです。これを回避するには、[2 ページの「ビットの読み出し」](#) で説明した推奨手順に従って、DNA 読み出しプロセスの一環として既知のパターンを挿入して検証してください。
- 電圧識別テクニックを利用して小型電源の仕様で動作させたり熱管理機能を除くには、VID = 1 のデバイスが 0.9V の V_{CCINT} で動作することが不可欠です。このデバイスが 1.0V 動作を続けると、予想を超える高い電流、電源への過剰な負荷、そして多くの放熱が生じます。前述と同様に、Device DNA から VID ビットを正しく抽出できないことが原因と考えられるため、正しい設計手順に従って問題を回避する必要があります。しかし、ごくわずかな可能性として、ボードや V_{CCINT} に関連してハードウェアまたは製造上の不具合が生じ、正しい電圧制御が妨げられる場合があります。最終製品のテスト項目に電源装置のチェックを追加することで、この問題は事前に防ぐことができます。PicoBlaze コントローラー コードなどの FPGA デザインを作成して、このテスト プロセスをサポートすることも可能です。
- 通常の電圧識別テクニックでは、製品へ電源投入後、VID ビットに基づいて V_{CCINT} が設定されます。 V_{CCINT} は 1.0V から開始する必要があり、Device DNA から VID ビットが抽出されて、その値が 1 である場合に 0.9V まで低減できます。つまり、VID ビットが 1 に設定されたデバイスが 1.0V 動作している間は、多くの電力を消費することになります。ただし、総消費電力はスタティック消費電力とダイナミック消費電力の合計であるため、0.9V へ切り替わる前にデザインがピークの消費電力ステートへ入ることはほとんどありません (大半のシステムでは、電源が投入されてから初期化を実行して起動するまでには時間がかかり、ダイナミック消費電力はゆっくりと増加する)。すぐに高いレベルの電力供給が求められる場合、それに相当する電流値は V_{CCINT} の容量を超える可能性があり、その場合はシステムがシャットダウンしてしまいます。そのような状況は回避する必要があります。解決方法の 1 つとして、 V_{CCINT} の動作レベルが確実になるまで最も電力を消費する部分の動作を停止します。たとえば、グローバル クロック バッファにある制御入力を利用して、高周波回路へのクロック分配をゲート制御します。通常のインプリメンテーションでは、1 秒以内に V_{CCINT} を 0.9V へ切り替えることができるため、このような短時間での 1.0V 動作時の高電圧による熱の影響は無視できます。

リファレンス
デザイン

このアプリケーション ノートのリファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=185933>

図 3 に、VC707 評価キットに含まれるリファレンス デザインの全体図を示します。

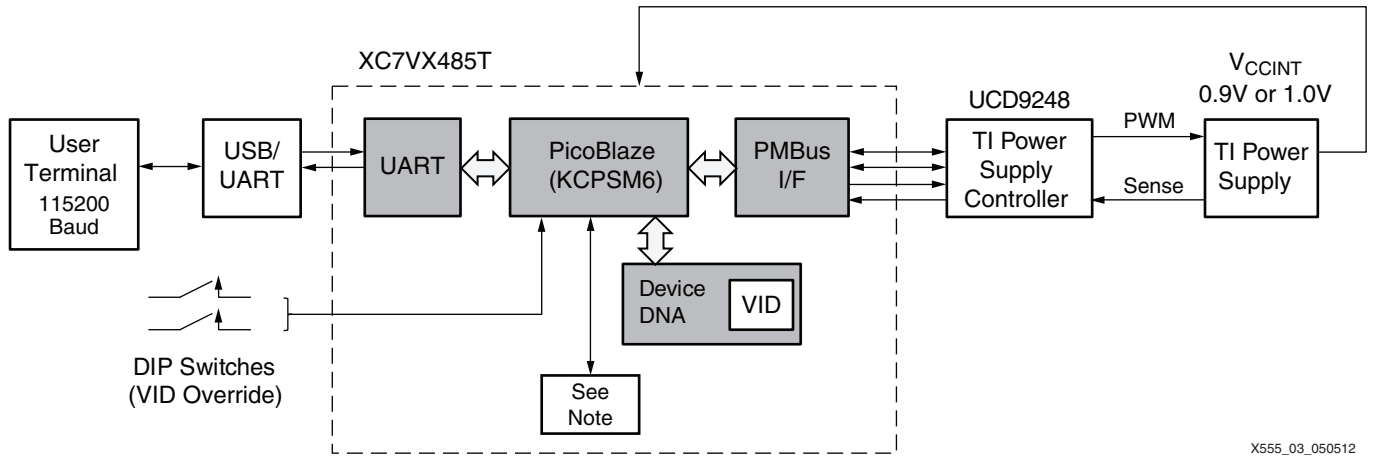


図 3 : VC707 ボードのリファレンス デザイン全体図

注記：図 3 にある See Note ボックスは、デザインが 0.9V または 1.0V 動作した状態で、テストの実行を可能にする参照回路です。これらの回路は、実際のアプリケーションを表すものであり、デバイスの大部分を占めます。これらの回路のアクティビティを調整して、ダイナミック消費電力の増減調整やデバイス パフォーマンスを検証できます。

「リファレンス デザイン」は、VC707 評価キットで使用できます。注目すべき点は、ユーザー製品に電圧識別テクニックを簡単に導入できるように、電圧識別に関連するデザイン セクションが提供されていることです。特に、最終製品のボードが VC707 評価キットの電源デザインと類似する場合には、ドロップイン ソリューションとしても利用できます。

電圧識別テクニックに関しては、PicoBlaze コントローラーを 1 つ使用して Device DNA を読み出し、その中から VID ビットを抽出して VCCINT を設定します。ソース コードを見るとわかるとおり、最も重要なタスクは、Texas Instruments 社製 UCD9248 電源コントローラーとの通信に必要な PMBus 信号およびコマンド プロトコルのインプリメンテーションです。このクラスのアプリケーションには、PicoBlaze コントローラーは理想的です。システムによっては、実際の電圧識別タスクが予想よりも大きくなる場合がありますが、PicoBlaze コントローラー KCPSM6 が使用するスライスは 26 のみで、必要なペリフェラル ロジックも最小限で済みます。電圧識別テクニックは、比較的複雑な PMBus 要件を踏まえた上でもオーバーヘッドが非常に小さいソリューションといえます。

リファレンス デザインには、電圧識別テクニックのインプリメンテーションのほかに、このテクニックの効果を確かめる機能、および VCCINT の供給電圧を 0.9V まで下げた場合にボード上のデバイスの消費電力削減を評価する機能が含まれています。また、デバイスのパフォーマンスの確認も可能です。ハイパー ターミナルに接続された USB/UART および PC 上の端末アプリケーションを使用して、それらの情報を表示できます。評価テストを行う場合には、メニュー機能から簡単に評価回路を制御できます。

すべてのソース コードには、評価テストの成果を最大限に活用して、デザイン内の再利用する部分を素早く判断できるようにサポートするコメントが多数含まれています。この評価テストの回路と機能は、リファレンス デザインの基本的な電圧識別制御の要素と比較すると、サイズが非常に大きくなっています。最初にリファレンス デザインを使用する際は、ソース コードに占める電圧識別の部分は非常に小さくてシンプルであり、これらすべてをデザインの見直しに使用できることを覚えておいてください。その他には、VC707 ボードのすべての電源レールにおける電圧、電流、消費電力をモニタリングおよび表示する機能があります。主な電圧識別タスクをすでに実行済みであるため、電源投入後すぐに PicoBlaze コントローラーによってもたらされる利点を判断できます。

電圧識別のエミュレーション機能

リファレンス デザインの重要な機能の 1 つは、ボード上の汎用 DIP スイッチを 2 つ使用する電圧識別のオーバーライドです。説明してきたように、表 1 に示す Virtex-7 FPGA には、工場でプログラムされたデバイス固有の Device DNA 値に 1 ビットの VID ビットが含まれており、各デバイスの特性を示します。したがって、評価ボード上のデバイスを対象とした電圧識別テクニックの結果は、常に同じとなります。これは正しい動作ですが、VID ビットが 1 でなければ、 V_{CCINT} は 0.9V へ自動的に切り替えられず、消費電力を削減できないことを意味します。VID ビットのオーバーライドによって、異なる VID 値をエミュレートできるようになり、ユーザーはボード上のデバイスでより多くの評価テストを行うことができます。VID ビットが 0 のデバイスは、 V_{CCINT} が 1.0V の場合に -1C 仕様のみを満たすことが保証されています。VID ビットが 0 のデバイスが 0.9V で動作すると、スピード仕様を満たすことができません。さらに、測定された電力削減値は、1.03V と 85°C 条件で動作するデバイス仕様のワーストケース値よりも高い、またはそれに満たない可能性もあります。

リファレンス デザインの使用

表 2 に、リファレンス デザインの詳細を示します。

表 2: リファレンス デザインの詳細

パラメーター	説明
一般情報	
開発元	ザイリンクス
ターゲット デバイス	表 1 参照。 コマーシャル温度範囲 -1C スピード仕様
ソース コードの提供	はい
ソース コードの形式	VHDL、PSM
既存のリファレンス デザイン、アプリケーション ノート、CORE Generator ツールからデザインへのコード/IP の使用	はい。PicoBlaze コントローラーを統合
シミュレーション	ハードウェア上で検証済み (外部電源を使用して相互関係および依存関係を検証)
機能シミュレーションの実施	
タイミング シミュレーションの実施	
機能およびタイミング シミュレーションでのテストベンチの利用	
テストベンチの形式	
使用したシミュレータ	
SPICE/IBIS シミュレーションの実施	
インプリメンテーション	
使用した合成ソフトウェア ツール	XST
使用したインプリメンテーション ソフトウェア ツール	ISE Design Suite 13.4
スタティック タイミング解析の実施	
ハードウェア検証	
ハードウェア検証の実施	はい (リファレンス デザインでさらなる検証が可能)
検証に使用したハードウェア プラットフォーム	Virtex-7 FPGA VC707 評価キット

まとめ

このアプリケーション ノートで説明した電源識別テクニックは、低コストで消費電力を削減する方法です。コマーシャル温度範囲 -1C スピード仕様の Virtex-7 FPGA を使用して電圧識別テクニックを適用することで、ワーストケース時の電流および消費電力が削減されます。システム全体の消費電力が削減されると、システム内の熱管理要件が緩和され、電源が小型化して全体的な製品の総コストを抑えることができます。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2012年5月10日	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。