



XAPP582 (v1.0) 2013 年 1 月 31 日

7 シリーズ FPGA の HR (High Range) I/O を用いたコンパクト カメラ ポート 2 Sub-LVDS

著者 : Brandon Day

概要

コンパクト カメラ ポート 2 (CCP2) プロトコルを用いてカメラ センサーとレシーバー間をインターフェイスします。信号処理方式には Sub-LVDS を使用します。図 1 に、ザイリンクス 7 シリーズ FPGA を組み込んだ CCP2 システムのトポロジの例を示します。

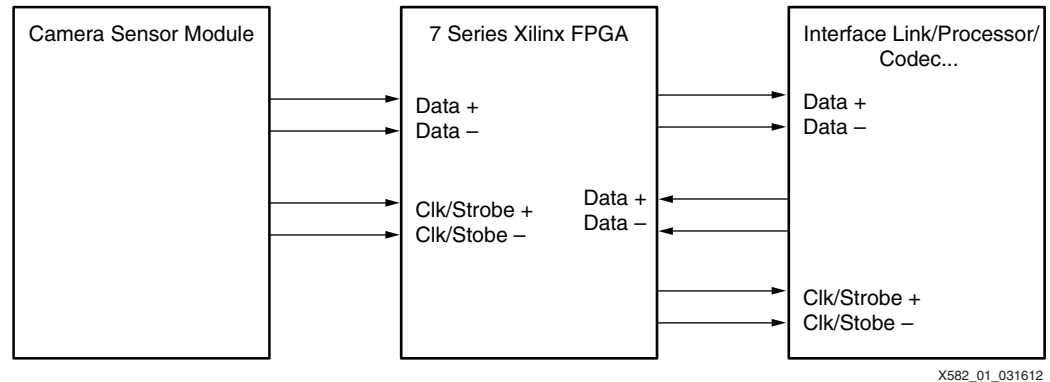


図 1 : カメラ センサーなどのコンポーネントにインターフェイスする 7 シリーズ FPGA のトポロジの例

このアプリケーション ノートでは、Sub-LVDS の電気的仕様について説明しています。また、Sub-LVDS トランスミッターの電気的特性をエミュレートする抵抗トポロジを実装するリファレンス デザインが含まれています。FPGA レシーバーについても説明します。

SubLVDS トランスミッター

SubLVDS は、IEEE 1596.3 標準 [参照 1] に規定された LVDS のサブセットの低電圧差動信号です。SubLVDS の動作電圧は 1.8V または 1.5V です。レシーバーには 1.8V V_{CCO} を使用します。表 1 に、SubLVDS の実装に必要なパラメーターを示します。

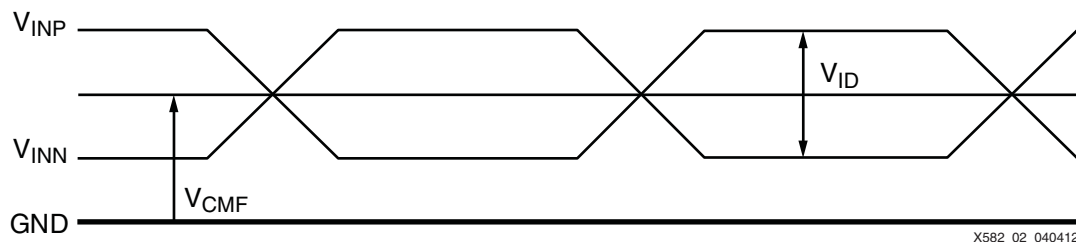
表 1 : SubLVDS トランスミッターの仕様

パラメーター	最小	公称	最大	単位
V_{CMF} 固定同相電圧	0.8	0.9	1.0	V
V_{OD} 差動電圧幅	100	150	200	mV
I_{OD} 駆動電流範囲	0.833	1.5	2	mA
駆動電流変動			15%	
R_o 出力インピーダンス	40		140	Ω

表 1 に示したパラメーターの測定方法を図 2 と図 3 に示します。

V_{CMF}

SubLVDS と LVDS の主な違いの 1 つは、固定同相電圧 V_{CMF} です。SubLVDS の公称同相電圧は 0.9V ですが、LVDS の公称同相電圧は 1.25V です。図 2 に、2 つのシングルエンド信号 V_{INP} と V_{INN} のトグルを示します。図の下側の太線は、グラウンド基準を示します。 V_{INP} と V_{INN} の平均は V_{CMF} です。

図 2: V_{CMFB} の測定の基準を示すシングルエンド シグナリング

V_{CMFB} は式 1 で定義されます。

$$V_{CMFB} = (V_{INP} + V_{INN}) / 2 \quad \text{式 1}$$

V_{OD}

SubLVDS と LVDS のもう 1 つの主な違いは、差動電圧幅 V_{OD} です。SubLVDS の最大差動振幅は 200mV です。図 3 に、SubLVDS の差動信号と使用される測定ポイントを示します。黒い太線はグラウンドを表します。この信号の電圧は、 V_{CMFB} ではなくグラウンドを中心として変動しているため、シングルエンド信号ではなく差動信号であることが明らかです。

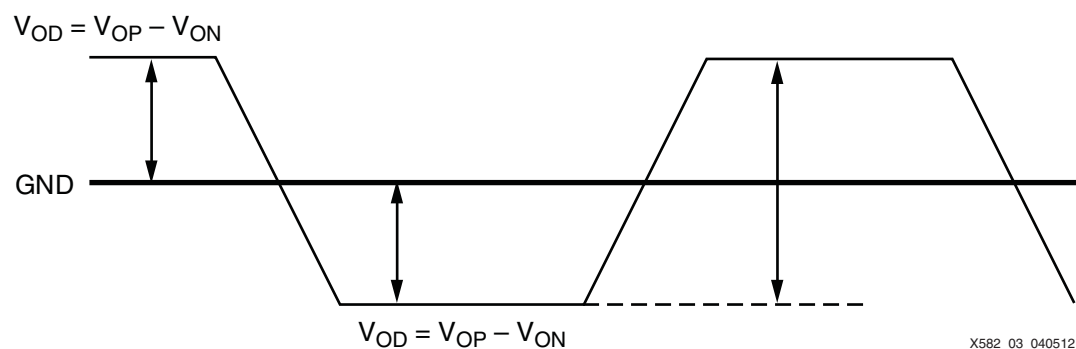


図 3: SubLVDS の差動信号

差動信号の V_{OD} は式 2 で定義されます。

$$V_{OD} = V_{OP} - V_{ON} \quad \text{式 2}$$

V_{OD} を測定するとき、 V_{OP} は信号のトップラインに等しく、 V_{ON} は信号のベースラインに等しくなります。

SubLVDS レシーバー

SubLVDS レシーバーは、差動自己バイアス レシーバーです。表 2 に SubLVDS レシーバーの仕様を示します。

表 2: SubLVDS レシーバーの仕様

パラメーター	最小	標準	最大	単位
入力電圧範囲	$(V_{CMFB}) - 0.4$	$V_{CMFB} (0.9V)$	$(V_{CMFB}) + 0.4$	V
レシーバー入力の高しきい値 V_{THH}			25	mV
レシーバー入力の低しきい値 V_{THL}	-25			mV
終端抵抗値	80	100	120	Ω

表 2 に 4 つのパラメーター (入力電圧範囲、 V_{THH} 、 V_{THL} 、および終端抵抗値) を示します。同相電圧の範囲は 0.5V ~ 1.3V であることから、入力電圧範囲は明白です。 V_{THH} と V_{THL} については、 V_{THH}

V_{THL} 、およびアイ幅」で詳しく説明します。終端抵抗値は、レシーバーの入力に配置される並列終端の値です。この終端抵抗値は、このアプリケーション ノートの後半で説明する直列抵抗値と混同しないでください。

V_{THH} 、 V_{THL} 、およびアイ幅

レシーバーのアイには V_{THL} と V_{THH} の 2 つのしきい値があり、表 2 に示すように V_{THL} は -25mV 、 V_{THH} は $+25\text{mV}$ です。これは 50mV 差動信号または $\pm 25\text{mV}$ です。図 4 では、黒い太線はグラウンドを表し、グラウンドの上下の破線は V_{THL} と V_{THH} の測定ポイントを示します。

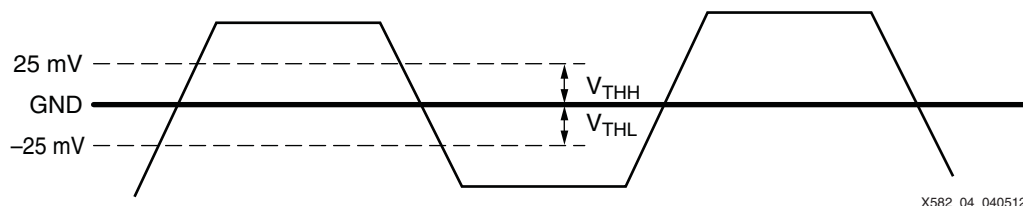


図 4：グラウンドを基準とする V_{THH} と V_{THL} の測定ポイントを示す差動信号

SubLVDS には厳密なアイ マスクはありません。したがって、図 5 のアイ ダイアグラムは、複数のマーカーで V_{THH} と V_{THL} に基づくアイ マスクを表しています。このアイ ダイアグラムは、グラウンド (GND) を表す黒い太線の上下に振幅する信号で表される差動信号です。アイのユニット インターバルは、総ユニット インターバルで表現されます。たとえば、インターフェイスが 200Mb/s で動作している場合、総ユニット インターバルは 5ns です。グラウンドよりも 25mV 高いポイントとグラウンドよりも 25mV 低いポイントで、信号がオープンまたはクロッシングが発生しない箇所にはボックスが描かれます。ボックス内の領域では、差動測定ユニット インターバルが定義されます。図 5 に、このアプリケーション ノートの SubLVDS レシーバー アイの定義を示します。

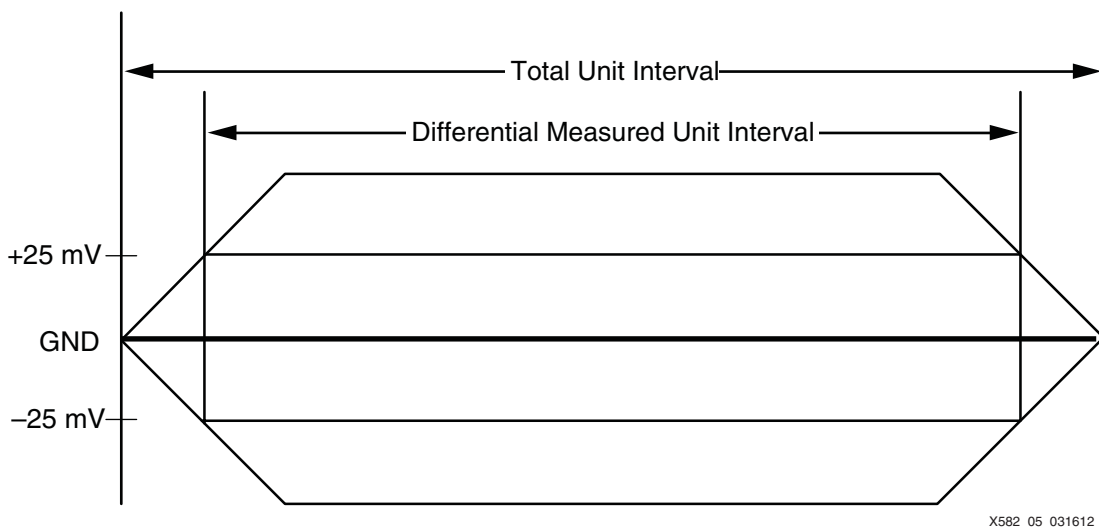


図 5：SubLVDS アイ マスクの例

SubLVDS トランスミッターへの DIFF_HSTL_II_F_18 の使用

DIFF_HSTL_II_F I/O 規格の公称同相電圧は 0.9V なので、SubLVDS トランスミッターにはこの規格を採用しました。DIFF_HSTL_II_F_18 は、SubLVDS 信号に使用するには振幅が大きすぎます。信号振幅を小さくし、同相電圧を適切な範囲に維持しながら SubLVDS 仕様を満たせるように、直列抵抗をインラインで配置します。図 6 に、このアプリケーション ノートで SubLVDS 回路の実装に使用したリファレンス デザインのトポロジを示します。

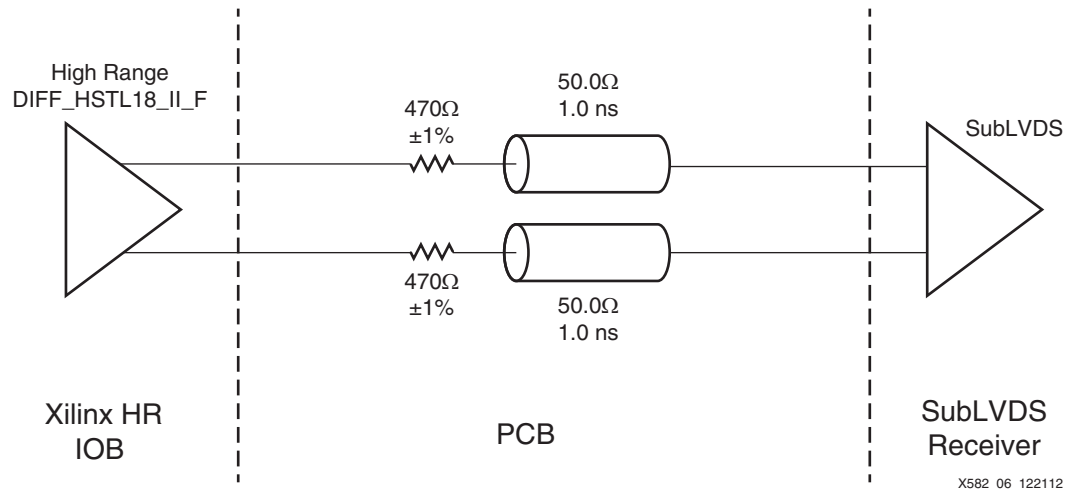


図 6 : SubLVDS の実装に使用した DIFF_HSTL18_II_F リファレンス デザインのトポロジ

リファレンス デザインのトポロジ

システムを設計する際は、ボードとシステムを実際に反映するモデルを選択することが重要です。ここでは、モデルを選ぶ際の一般的なガイドラインを説明します。

トランスミッター

図 6 の左側から説明します。リファレンス デザインに使用したトランスミッターは、ザイリンクスが提供する IBIS (Input/Output Buffer Information Specification) シミュレーション モデルです。IBIS モデルから使用される実際の I/O 規格は、DIFF_HSTL_II_F です。このモデルはシミュレーションのセットアップ時に選択します。

パッケージ容量

パッケージ容量はシミュレーションの一部です。このアプリケーション ノートでは、IBIS および SPICE モデルに付属のパッケージファイルを使用します。実際の例として、ピン AB20 を持つ FBG900_7K325T.pkg ファイルは、ベアダイ フリップチップ パッケージの一部です。その他のパッケージおよびピンも使用できますが、このピン、デバイス、およびパッケージを標準的オプションとして選択しました。

IO_L6N_T0_VREF_12 ピンの RLC は次のとおりです。

- $R = 0.173453\Omega$
- $L = 1.46861\text{nH}$
- $C = 1.39896\text{pF}$

直列抵抗

470Ω (許容誤差 1%) の直列抵抗を、ボード上のトランスミッターの近くに配置します。470Ω の抵抗を使用する理由は次のとおりです。

- 200mV の範囲よりも低い V_{OD} を得るのに十分な強さ
- 多くのメーカーから提供されている一般的な値
- 0204 および 0102 パッケージで利用可能
- 許容誤差 1% の製品を利用可能

CCP2 デザインでは、通常はパッケージの小型化が重要な要因となります。デザインは一定の範囲内の抵抗値で問題なく動作します。このアプリケーション ノートでは、これらの値を選択する際のガイドラインを示します。

ボードのトレース

CCP2 は、一般にインピーダンス 50Ω、6 インチ未満のトレースに使用されます。これらのシミュレーションには同じガイドラインが適用されてきました。ユーザーのボードが 6 インチより短い場合やインピーダンス プロファイルが異なる場合は、ボードのインピーダンス プロファイルを使用してシミュレーションを行います。

SubLVDS レシーバー

SubLVDS レシーバーは、ラインの終端に配置されます。ユーザーはここに特定の SubLVDS レシーバーを配置できます。

電氣的シミュレーションとリファレンス デザイン

シミュレーション ツール

ザイリンクスは、SelectIO™ テクノロジ シミュレーションの 2 つの手法 (IBIS と SPICE) を提供します。IBIS と SPICE の両方の例が、Mentor Graphics 社の HyperLynx シミュレーション法と Synopsis 社の HSPICE を使用して提供されています。その他のシミュレータもありますが、この 2 つが最も一般的なシミュレータです。

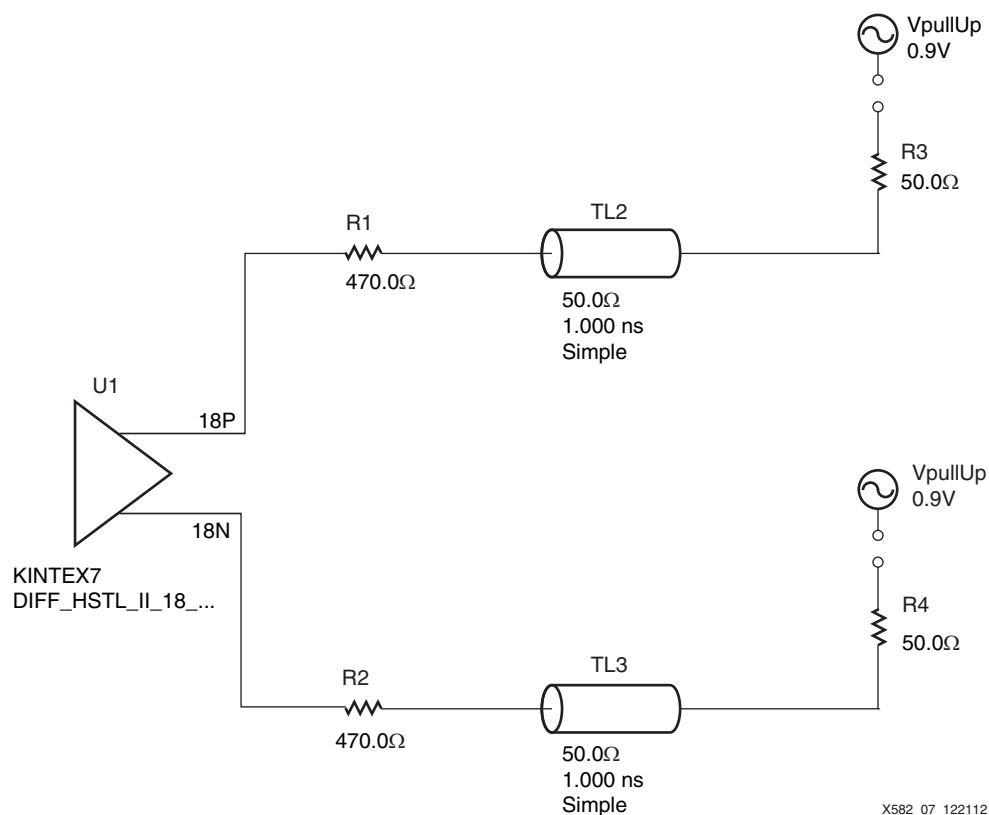
シミュレーション コーナー

ザイリンクスが提供する IBIS モデルは、SPICE モデルから生成される テキスト フォーマット モデルです。ザイリンクスの IBIS モデルは、MIN、MAX、および TYP の 3 つのコーナーから生成されます (表 3)。

表 3: IBIS シミュレーション モデルのコーナー

IBIS コーナーの状態 (HyperLynx)	シリコンプロセス コーナー	温度 (°C)	電圧
MIN (Slow-Weak)	Slow	85	-5%
TYP (Typical)	Typical	25	公称電圧
MAX (Fast-Strong)	Fast	0	+5%

図 7 に、HyperLynx シミュレーションのレイアウトを示します。IBIS ファイルには、AB20 ピンに適合するように IBIS モデルを手動で編集したパッケージが含まれています。SPICE モデルに合わせて、もう 1 つの IBIS モデルの代わりに 50Ω V_{TT} 終端を使用しています。

図 7 : 50Ω V_{TT} を使用した IBIS シミュレーション モデル

Mentor Graphics 社のツールで IBIS モデルを用いてプローブするときは、At PIN の代わりに At DIE を選択します。これにより良いシミュレーション結果が得られます。差動出力を使用してアイ開口を測定します。このシミュレーションでは、R4.1 と R3.1 に差動プローブを挿入しました。したがって、結果は差動方式になります。

ザイリンクスが提供する SPICE モデルは、回路設計から生成される暗号化されたトランジスタ モデルです。これらのモデルは 3 つのプロセス コーナーから生成されますが、各シミュレーションについて電圧と温度の設定が可能です。このアプリケーション ノートでは、表 4 に示す設定を使用しました。

表 4 : SPICE シミュレーション モデルのコーナー

SPICE コーナーの状態	シリコンプロセスコーナー	温度 (°C)	電圧
MIN	Slow	125	-5%
TYP	Typical	25	公称電圧
MAX	Fast	-40	+5%

図 8 に、リファレンス デザイン内で提供される SPICE デックの例で作成されるトポロジを示します。この SPICE デックの例には、IBIS モデルと同じ RLC パッケージ設定を使用しました。SPICE デック内では 50Ω V_{TT} 終端が使用されています。この SPICE デックは PTN3700 IBIS モデルを使用するようにセットアップされているため、コードを修正して、50Ω V_{TT} 終端の代わりにこの IBIS モデルを使用できます。

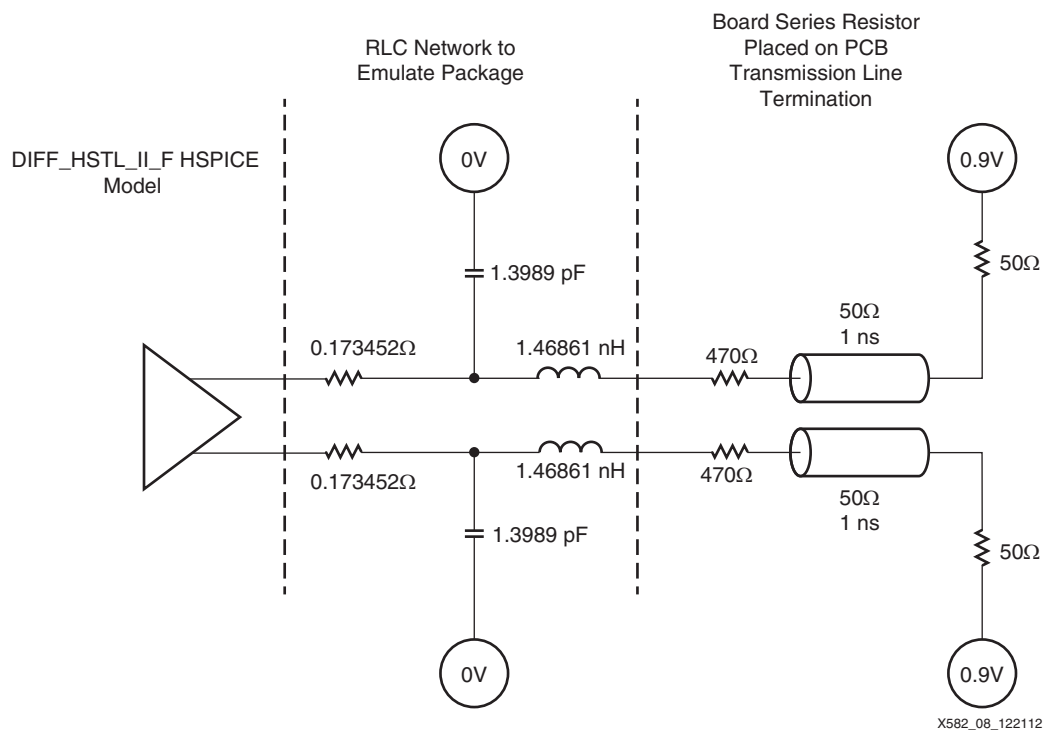


図 8：リファレンス デザインで提供される HSPICE デックのトポロジ

トランジット応答ファイル (.tr0) をプローブするときは、プローブ ポイント t_{right_p} および t_{right_n} をシングルエンド ポイントに使用します。アイ幅を測定するときは、 $t_{right_p} - t_{right_n}$ を使用します。これで差動方式の結果が得られます。

電氣的シミュレーションの結果

表 5 に電氣的シミュレーションの結果を示します。データには 2 つのヘッダーがあり、1 つは SubLVDS 仕様、もう 1 つはこのアプリケーション ノートで実装される DIFF_HSTL18_II_F のヘッダーです。各行のパラメーターを確認すると、この結果は電氣的仕様を満たしていることがわかります。

表 5：470Ω 終端を使用した DIFF_HSTL18_II_F_HR の結果

パラメーター	SubLVDS 仕様			このアプリケーション ノートで実装される DIFF_HSTL18_II_F			単位
	最小	公称	最大	最小	公称	最大	
V_{CMF} 固定同相電圧	0.8	0.9	1.0	0.8		1.0	V
V_{OD} 差動電圧幅	100	150	200	100		200	mV
I_{OD} 駆動電流範囲	0.833	1.5	2	0.833		2.0	mA
駆動電流変動			15%			15%	

差動測定アイ

SubLVDS のパフォーマンスの範囲は、図 8 で定義される、125°C、-5% 電圧の HSPICE Slow シミュレーションに適用される $\pm 25\text{mV}$ アパーチャまたはアイマスクのアイダイアグラムに基づいています。

図 9 は、1.66ns の可能な幅のうち 1.62ns、すなわち 0.978 UI 開口を示しています。レシーバーのパッケージの影響がシミュレーションに加味されると、アイ開口はより狭くなります。

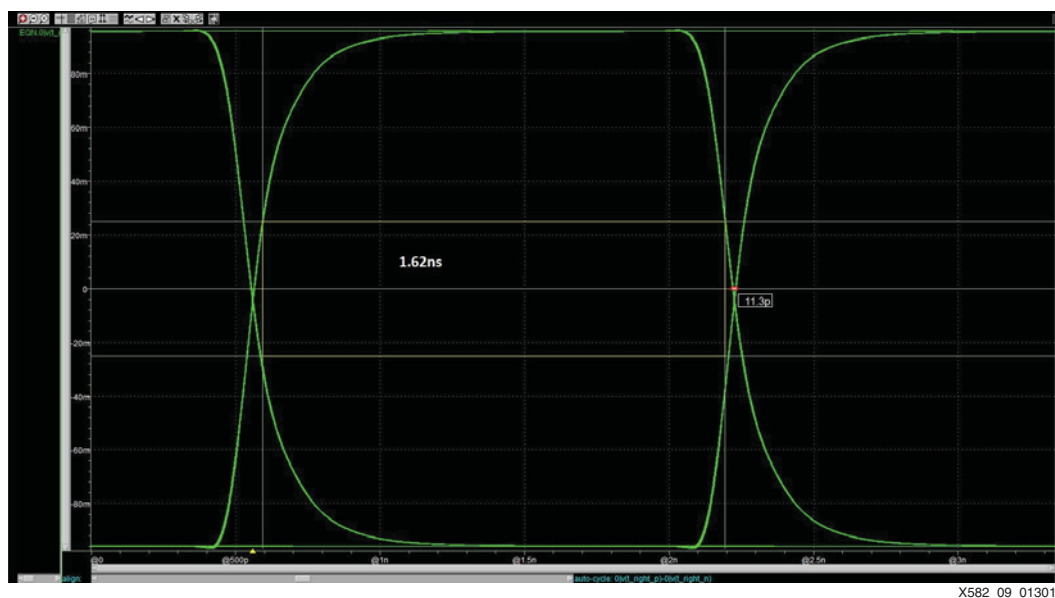


図 9 : M コーナーにおける図 8 の 600Mb/s 差動アイ測定

図 10 に、IBIS モデルの PRBS15 シミュレーション結果を示します。アイ測定は、約 25mV に置かれた 2 つのカーソルを用いて行いました。アイ幅は 1.66ns のうち 1.63ns、すなわち 0.98 UI 開口です。レシーバーのパッケージがシミュレーションに加味されると、アイ開口は狭くなります。

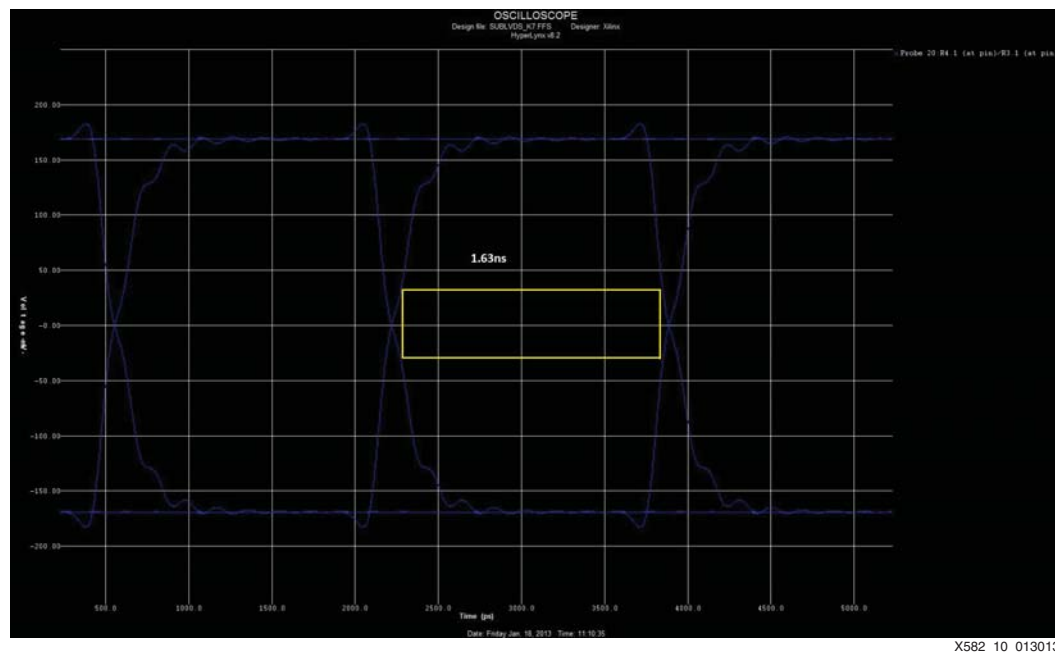


図 10 : Slow-Weak コーナーにおける図 7 の 600Mb/s 差動アイ シミュレーションの結果

IBIS および SPICE シミュレーションは、異なる温度の 2 種類のシミュレーション モデルをマージンの範囲内で追跡します。

パフォーマンス

0.70 UI の差動測定アイをガイドラインとして使用するすべてのボードおよびアプリケーションで、タイミングクロージャを実行する必要があります (表 6 を参照)。これは特定のシミュレーションのガイド

ラインにすぎません。特定のシステムのシミュレーションとタイミング クロージャの実行は、ユーザーの責任となります。

表 6 : DIFF_HSTL18_II_F を使用してザイリンクスが実装した SubLVDS のパフォーマンスのガイドライン

スピード グレード	パフォーマンス (Mb/s)
3	600
2/2L	600
1	600
-2L/0.9V	600

リファレンス デザイン

このアプリケーション ノートのリファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=202234>

表 7 に、リファレンス デザインの詳細を示します。

表 7 : リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Brandon Day
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	7 シリーズ FPGA
ソース コードの提供	あり
ソース コードの形式	SPICE デックおよびフリーフォーム回路図
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator ツール、サードパーティからデザインへのコード /IP の使用	なし
シミュレーション	
機能シミュレーションの実施	なし
タイミング シミュレーションの実施	なし
機能シミュレーションおよびタイミング シミュレーションでのテスト ベンチの使用	なし
テスト ベンチの形式	なし
使用したシミュレータ ツール/バージョン	HSPICE バージョン 2010.03-SP1、2010.12-SP1、2010.12-SP2、2011.09、2011.09-SP1、2011.09-SP2 HyperLynx v8.2 64-bit
SPICE/IBIS シミュレーションの実施	あり
インプリメンテーション	
使用した合成ツール/バージョン	なし
使用したインプリメンテーション ツール/バージョン	なし
スタティック タイミング解析の実施	なし
ハードウェア検証	
ハードウェア検証の実施	なし
検証に使用したハードウェア プラットフォーム	なし

表 8 に、デバイスのリソース使用率を示します。

表 8 : デバイスのリソース使用率

パラメーター	仕様/詳細	
最大周波数 (スピード グレード別)	-1	600Mb/s
	-2	600Mb/s
	-3	600Mb/s
テスト ベンチなしのデバイスのリソース使用率 (必須)	スライス	なし
	GCLK バッファー	なし
	IOB ピン	1 ペア当たり 2 本
バス幅		なし
I/O 規格		HSTL18_II_F
HDL 言語のサポート		なし
検証用のターゲット メモリ デバイス	シミュレーション	なし
		なし
	ハードウェア	なし
		なし

まとめ

DIFF_HSTL_18 I/O 規格と送信ソースとしての直列終端を用いて、高データ レートの 7 シリーズ FPGA HR (High-Range) I/O ブロック内で SubLVDS I/O 規格を使用できます。FPGA を SubLVDS のレシーバーとして使用する場合は、ボード上の 100Ω 並列抵抗を利用して、LVDS_25 または DIFF_HSTL_II_18 をレシーバーとして使用できます。これらのアプリケーションでは、ユーザーが独自のシステム検証を行い、タイミング クロージャを実施することを強く推奨します。

参考資料

このアプリケーション ノートでは、次の参考資料が使用されています。

1. IEEE Std.1596.3-1996 : 『IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)』、IEEE Standard <http://standards.ieee.org/findstds/standard/1596.3-1996.html>

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013年1月31日	1.0	初版リリース

Notice of
Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive
Applications
Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。