



XAPP585 (v1.0) 2012 年 6 月 27 日

通信させたクロックを使用する LVDS ソース同期の 7:1 シリアライズおよびデシリアライズ

著者 : Nick Sawyer

概要

ザイリンクスの 7 シリーズ FPGA は、ISERDES および OSERDES プリミティブを備えているため、シリアライズ回路およびデシリアライズ回路の設計が容易になり、ビットごとのスキュー調整を行った場合にラインあたり 415Mb/s ~ 1,200Mb/s の高速動作 (使用するデバイス ファミリーおよびスピード グレードによって異なる) が可能です。低速動作の場合は静的データ アライメントを使用します。このアプリケーション ノートでは、低電圧差動信号 (LVDS) データ伝送を使用して 7:1 データ送受信を行うために ISERDES および OSERDES 回路を MMCM (ミックスド モード クロック マネージャー) または PLL (位相ロック ループ) と効率的に併用し、ビットごとのスキュー調整を実行してラインあたり 415Mb/s ~ 1,200Mb/s の動作を達成する方法を説明します。動作速度は、使用するデバイス ファミリーおよびスピード グレードによって異なります。

レシーバーの概要

図 1 に示すような通信されたクロックを必要とする 1:7 インターフェイス (図では 5 ライン) は、テレビやブルーレイ プレーヤーなどの民生機器においてデバイス間でデータを送受信する際のビデオ処理に幅広く使用されています。通常、1 つのビデオ チャンネルには 5 つの LVDS データ ラインと 1 つの LVDS クロック ラインがあります。最新型テレビでは、十分なビデオ帯域幅を確保するために複数のチャンネル (通常は 4 または 8 チャンネル) を使用できます。

このアプリケーション ノートでは、単一チャンネル デザインと複数チャンネル デザインの両方に対応するリファレンス デザインを提供します。複数チャンネル デザインの全チャンネルに対するピクセル クロック周波数が同じで、クロック通信回路は 1 つしか必要ないため、FPGA リソース使用率が抑えられ、ピン配置もシンプルになります。1 つまたは複数チャンネルをマクロとしてパラメーター指定でき、生成されるチャンネル数を設定する変数や、各チャンネルの LVDS データ ライン数を設定する変数があります。

これらのチャンネルは、7 シリーズ FPGA の同じ I/O バンク内にすべて含めることができますが、異なるバンクにまたがることも可能です。同じチャンネルのラインはすべて同じバンク内に含めることを推奨しますが、クロッキング エレメントを適切に選択すれば、異なるチャンネルを異なるバンクに含めることが可能です。

すべてのチャンネルの内部クロックを生成する入力クロックはチャンネル 0 へのクロック入力で、この信号ペアはクロック兼用 I/O ピンに割り当てる必要があります。その他のチャンネルのクロックは、フレーミングのみに使用されるため、必要に応じて通常の LVDS 入力に割り当てることができます。

7 シリーズ FPGA では、内蔵されている入力遅延 (IODELAYE2) を使用して、ピンごとにリアルタイムで入力データがスキュー調整されるため、設計者は PCB の配線スキュー要件を緩和してより厳しいタイミング マージンを与えることができます。

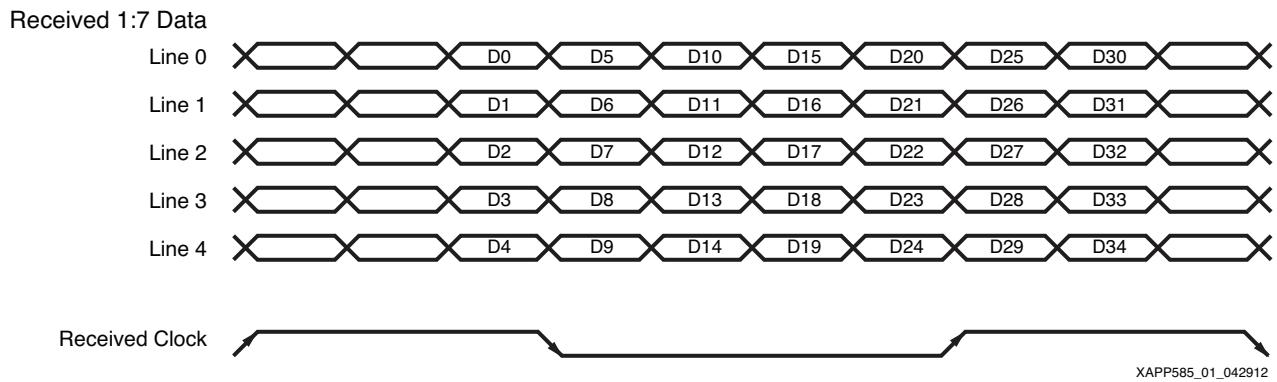


図 1: 低速な転送クロックを使用するデータ ストリーム (7:1 SerDes)

ISERDES および OSERDES のガイドライン

7 シリーズ FPGA の各 I/O ロジック タイルには、8 ビットの ISERDES と 8 ビットの OSERDES が 1 つずつあります。隣接する 2 つのブロック (マスターとスレーブ) にある ISERDES と OSERDES をカスケード接続すると、10 ビットまたは 14 ビットのブロックを構築できます。これにより、シングルデータレート (SDR) の場合には 1:2 ~ 1:8 (1:2 と 1:8 を含む)、1:10、および 1:14、ダブルデータレート (DDR) の場合は 1:2、1:4、1:6、1:8、1:10、1:14 の ISERDES 入力比が可能になります。OSERDES の出力レートについては、SDR の場合には 2:1 ~ 8:1 (2:1 と 8:1 を含む)、10:1、14:1 が可能で、DDR I/O クロックの場合には 2:1、4:1、6:1、8:1、10:1、14:1 が可能です。

差動信号規格は ISERDES および OSERDES レジスタに関連する 2 つの I/O ロジック タイル (マスター、スレーブ) を使用するため、この規格の信号を使用しているときは、ISERDES または OSERDES ブロックをカスケード接続しても問題ありません。このため、事実上 2 つの ISERDES または OSERDES の使用に関する制約はありません。差動信号は、フラットパネルやカメラなどの 7:1 アプリケーションで一般的に使用されている規格です。

指定したデバイスおよびスピード グレードのクロック ネットワークでサポートされる最大クロックよりも低いビット レートが必要な場合は、SDR テクニックを使用してください。最大値よりも高いビット レートが必要な場合は DDR テクニックを使用でき、達成可能な最大ビット レートは PLL または MMCM の最大出力周波数で制限されます。SDR テクニックを使用する利点は、ファブリック ロジックの使用が抑えられ、クロックにおけるデューティ サイクルのずれをデザインで考慮する必要がないことです。ISERDES および OSERDES では 7:1 DDR がネイティブ サポートされていないため、この機能を有効にするには分散 RAM ギアボックスを使用する必要があります。このギアボックスは、サンプリングクロックの 1/4 のクロック周波数で ISERDES から 4 ビット幅のデータを受信し、サンプリングクロックの 1/7 の周波数 (最初に受信したピクセルクロック) で 7 ビット幅のデータを出力します。

クロッキングのガイドライン

MMCM は、BUFIO、BUFR、BUFH、および BUFG クロック ネットワークを駆動できます。PLL が駆動できるのは、BUFH および BUFG クロック ネットワークのみです。

表 1: 7 シリーズ FPGA のグローバル クロックと PLL/MMCM の仕様

FPGA	スピード グレード	グローバル クロック ネット ワークの最大値 (BUFG)	I/O クロック ネットワークの 最大値 (BUFIO)	リージョナル クロック ネットワークの 最大値 (BUFR)	水平クロック ネットワークの 最大値 (BUFH)
Artix™-7	-1	464MHz	600MHz	315MHz	464MHz
Artix-7	-2	550MHz	680MHz	375MHz	550MHz
Kintex™-7	-1	625MHz	710MHz	450MHz	625MHz
Kintex-7	-2	710MHz	800MHz	540MHz	710MHz

表 1: 7 シリーズ FPGA のグローバル クロックと PLL/MMCM の仕様 (続き)

FPGA	スピード グレード	グローバル クロック ネット ワークの最大値 (BUFG)	I/O クロック ネットワークの 最大値 (BUFIO)	リージョナル クロック ネットワークの 最大値 (BUFR)	水平クロック ネットワークの 最大値 (BUFH)
Virtex®-7	-1	625MHz	710MHz	450MHz	625MHz
Virtex-7	-2	710MHz	800MHz	540MHz	710MHz

表 1 に、7 シリーズ FPGA の各スピード グレードで利用できるクロック ネットワークの最大周波数を示します。これらの仕様の詳細は、『Artix-7 FPGA データシート』(DS181)、『Kintex-7 FPGA データシート』(DS182)、『Virtex-7 FPGA データシート』(DS183) の最新版を参照してください。ただし、この種のアプリケーションは通常コスト重視の製品に使用されるため、最も低いスピード グレードが必要になります。テストは現在、ラインあたり 1,200Mb/s に限定して実施されています。

表 2 および表 3 に、最大動作周波数をさまざまなデザインごとにまとめています。

表 2 および表 3 では、最も低いスピード グレード (-1) のみ示しています。

その他のスピード グレードの最大周波数は、各 7 シリーズ FPGA データシートで確認してください。SDR クロッキングでは 2 つのクロック バッファが、DDR クロッキングでは 3 つのクロック バッファが必要です。表にないクロック バッファの組み合わせは、シリコンでサポートされていないか推奨されていないソリューションです。

表 2: SDR のデザイン別最大ビットレート

CLK (x7) + CLKDIV (x1)	1 つのバンクの単一/複数インターフェイス (共通ピクセル クロック)	複数バンクの複数インターフェイス (共通ピクセル クロック)	PLL または MMCM
BUFG + BUFG	Artix-7 FPGA : 464Mb/s	Artix-7 FPGA : 464Mb/s	PLL/MMCM
	Kintex-7 FPGA : 625Mb/s	Kintex-7 FPGA : 625Mb/s	
	Virtex-7 FPGA : 625Mb/s	Virtex-7 FPGA : 625Mb/s	
BUFIO + BUFR	Artix-7 FPGA : 600Mb/s	不可	MMCM のみ
	Kintex-7 FPGA : 710Mb/s		
	Virtex-7 FPGA : 710Mb/s		
BUFH + BUFH	Artix-7 FPGA : 464Mb/s	不可	PLL/MMCM
	Kintex-7 FPGA : 625Mb/s		
	Virtex-7 FPGA : 625Mb/s		
BUFR + BUFR	Artix-7 FPGA : 315Mb/s	不可	MMCM のみ
	Kintex-7 FPGA : 450Mb/s		
	Virtex-7 FPGA : 450Mb/s		

表 3: DDR のデザイン別最大ビットレート

CLK (x7) + CLKDIV (x7/4) + PCLK (x1)	1 つのバンクの単一/複数インターフェイス (共通ピクセル クロック)	複数バンクの複数インターフェイス (共通ピクセル クロック)	PLL または MMCM
BUFG + BUFG + BUFG	Artix-7 FPGA : 928Mb/s	Artix-7 FPGA : 928Mb/s	PLL/MMCM
	Kintex-7 FPGA : 1,200Mb/s	Kintex-7 FPGA : 1,200Mb/s	
	Virtex-7 FPGA : 1,200Mb/s	Virtex-7 FPGA : 1,200Mb/s	
BUFIO + BUFR + BUFG	Artix-7 FPGA : 1,200Mb/s	不可	MMCM のみ
	Kintex-7 FPGA : 1,200Mb/s		
	Virtex-7 FPGA : 1,200Mb/s		

表 3 : DDR のデザイン別最大ビットレート (続き)

CLK (x7) + CLKDIV (x7/4) + PCLK (x1)	1つのバンクの単一/複数インターフェイス (共通ピクセル クロック)	複数バンクの複数インターフェイス (共通ピクセル クロック)	PLL または MMCM
BUFH + BUFH + BUFG	Artix-7 FPGA : 928Mb/s	不可	PLL/MMCM
	Kintex-7 FPGA : 1,200Mb/s		
	Virtex-7 FPGA : 1,200Mb/s		
BUFIO + BUFR + BUFR	Artix-7 FPGA : 1,200Mb/s	不可	MMCM のみ
	Kintex-7 FPGA : 1,200Mb/s		
	Virtex-7 FPGA : 1,200Mb/s		
BUFH + BUFH + BUFH	Artix-7 FPGA : 928Mb/s	不可	PLL/MMCM
	Kintex-7 FPGA : 1,200Mb/s		
	Virtex-7 FPGA : 1,200Mb/s		

1:7 デシリアライズとデータ受信

データ ストリームは入力クロック レートの倍数 (x7) で、クロック信号は受信データのフレーミング信号として使用されます。データ ラインのステートは、クロックの 1 周期間で 7 回変化します。代表的な例として、カメラ、フラットパネル、モニターなどで使用される 7:1 インターフェイスがあります。この例の場合、入力クロックは PLL または MMCM で 7 通倍され、生成された高速クロックがグローバルバッファ (BUFG)、I/O バッファ (BUFIO) または水平クロック バッファ (BUFH) を介して ISERDES ロジックへ渡されます。クロック バッファは、SDR または DDR モードで使用可能です。

入力データは、サンプル クロックに対して UI (ユニット インターバル) 遅延の 1/2 に極力近づくようにステート マシンで制御される IODELAYE2 エレメントを介して ISERDES へ送信されます。これは、入力クロックをトレーニングの基準クロックとして使用することで実現します。また、入力ピクセル クロックから取得したフレーミングデータを ISERDES の Bitflip 機能と併用することで、2 ページの図 1 に示すような元の送信データに対して正しいワード関係を持つパラレル データが生成されます。最終的に、デシリアライズされたパラレル データが元の入力クロック速度でファブリック ロジックに現れます。

ここでは、2 つのデザイン考察事項について説明します。サンプリング クロックが SDR の場合は、ISERDES が 1:7 モードで直接使用されます。ISERDES でサポートされるクロック エレメントの組み合わせは、2 つの BUFG、2 つの BUFH、または BUFIO と BUFR を 1 つずつです。BUFG を使用する場合は、デバイス全体をカバーするクロックでパラレル データを使用できることです。BUFR や BUFH を 1 つずつ使用する場合は、現クロック領域のみをカバーするクロックでデータが使用できます。同じピクセル クロック レートで動作する複数チャネルで受信を行う場合、それらを同じ I/O バンク内に配置するとすべてのクロック オプションが使用可能となりますが、異なるバンクに配置すると BUFG しか利用できません。

サンプリング クロックが DDR の場合は、ISERDES が 1:4 モードで使用され、分散 RAM ベースのギアボックスを用いてフルの 1:7 モードがエミュレートされます。この方法には、サンプリング クロック、4 分周したサンプリング クロック、そして 7 分周したサンプリング クロック (元の入力ピクセル クロックと同じ) の、3 つのクロック ドメインが必要です。表 3 に、これらのクロック エレメントを示します。SDR の場合と同様に、同じピクセル クロック レートで動作する複数チャネルで受信を行う場合、それらを同じ I/O バンク内に配置するとすべてのクロック オプションが使用可能となりますが、異なるバンクに配置すると BUFG しか利用できません。

いずれの場合でも、クロックの通倍に MMCM ではなく PLL が使用されると、PLL がアクセスできるバッファは BUFH と BUFG であるため、これら 2 つのクロッキングしか利用できません。

基本のデータ受信

このメカニズムは非常にシンプルです。必要に応じてレシーバー クロックを PLL または MMCM で通倍し、内部 SDR または DDR のレシーバー クロックを生成します。7:1 のビデオ アプリケーションの例では、入力ピクセル クロックが SDR デザインでは 7 で通倍、DDR デザインでは 3.5 で通倍されま

す。データ受信には、モードやトポロジによって異なるクロック ネットを選択できます。SDR または DDR デザインいずれの場合でも、すべての入力ピンが同じバンクに配置されている単一/複数チャネル デザインでは、SerDes 用クロックとして BUFIO や BUFR の使用が推奨されます。これらのクロック は、BUFH または BUFG を 2 つ使用するクロック ネットワークに置き換えることができます。入力が 複数バンクに及ぶ場合は、現在では BUFG を 2 つ使用するクロック ネットワークのみが有効なソリューションです。DDR データ受信では、もう 1 つ中間クロックとして、BUFH または BUFG クロック ネットワークのいずれかが必要です。これらの選択は、必要な受信クロックのファンアウトで決定します。

SDR データ受信 (ビットごとのスキュー調整なし)

スキュー調整なしの SDR デザインは、1:7 モードの ISERDES プリミティブを直接使用するため、各データ ラインで受信した 7 ビットは、選択したクロック ネットワーク (BUFR、BUFH、または BUFG) に同期して利用可能になります。図 2 では、入力クロックは前述のとおり PLL または MMCM へ配線され、ステート マシンで制御される IODELAYE2 エレメントへ配線された後、ISERDES プリミティブへ配線されます。入力データ ラインも IODELAYE2 エレメントへ配線された後、1:7 データ受信用にコンフィギュレーションされた ISERDES プリミティブへ配線されます。

クロック遅延は、現在のビット レートに対応するタップ数に相当する値が初期設定され、これはマクロに対して 16 ビット入力で設定されます。たとえば、0560 は 560Mb/s に相当します。プログラムされたビット レートに対応するため、マクロに対して 5 ビットの値 (01h ~ 1Fh) が内部生成されます。この 5 ビット値は、現在の UI 時間に相当するタップ数と等しくなります。たとえば、0560 入力は、17h (23d) x (標準のタップ遅延値 78ps) = 1,794ps = 557Mb/s となります。

レシーバー PLL または MMCM がロックを示すと、ステート マシンはクロック遅延を初期値から徐々にデクリメントし、受信した 7 ビットのクロック データが変化するまでこれを続けます。これは、クロック エッジの検出と同じであり、クロック遅延の現在値は、PLL または MMCM で逡倍されたクロックに対して遅延がデータ アイの中央に位置するように、現在の位置にしたがって 1/2 UI 分ずつ増加または減少します。この値は、関連するデータ ラインの遅延入力にも伝播されるため、データ ラインも中央でサンプルされます。

イベント シーケンスの例を次に示します。

1. クロック遅延を 17h に設定します。
2. クロック データ入力に変化するまでクロック遅延をデクリメントします。ここでは遅延値 05h で変化したと仮定します。
3. 遅延ラインに対して 1/2 ビット周期を追加または差し引きます。17h の半分に近い値は 0Bh です。05h - 0Bh は負の値となるため有効ではありません。したがって、クロック遅延ラインの最終値は 05h + 0Bh = 10h が使用されます。
4. 10h という値は、関連するチャネルのデータ入力の遅延ラインにも使用され、通常は各チャネルに 4 または 5 データ入力があります。データ入力の数は、マクロのパラメーターを使用して設定します。

最後に、クロック ラインからの入力データが既知のパターン (通常は 1100001 または 1100011) で検証され、受信したパラレル データが受信クロックに対して正しい関係であることを確認します (2 ページの図 1 参照)。受信パターンが一致しない場合は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471) で説明しているとおりに、Bitslip コマンドを発行して、すべての入力クロックとデータビットの位置を 1 つずつ移動させます。Bitslip コマンドは、正しいパターンが現れるまで最大 7 回まで発行され、パラレルの受信データが適切にフレーム化されます。

タイミング調整はこれで完了です。その後、正しいデータ受信が行われるように PLL または MMCM が電圧や温度の変動に対応してクロックを現在の位置に保持します。この方法により、PCB 上でチャネル内のクロックとデータ ラインが正しく揃えられます。タイミング解析の詳細は、「レシーバーのタイミングに関する留意事項」を参照してください。

マクロでは、さらなるチャネルの定義も可能です。チャネル数は、マクロのパラメーターで設定できません。これらの追加チャネルの入力クロックは、周波数の逡倍には使用されません。チャネル 0 からの逡

倍されたクロックが唯一使用されるレシーバークロックです。しかし、たとえば、チャンネル1の入力クロックは、チャンネル1用ステートマシンの入力として使用され、先述のとおり位相アライメントが行われます。また、この方法を利用する場合は、チャンネル内のクロックとデータラインの位相が正しく揃っていることが前提ですが、各チャンネルが互いに揃う必要はなく、同じ周波数で動作するだけで十分です。

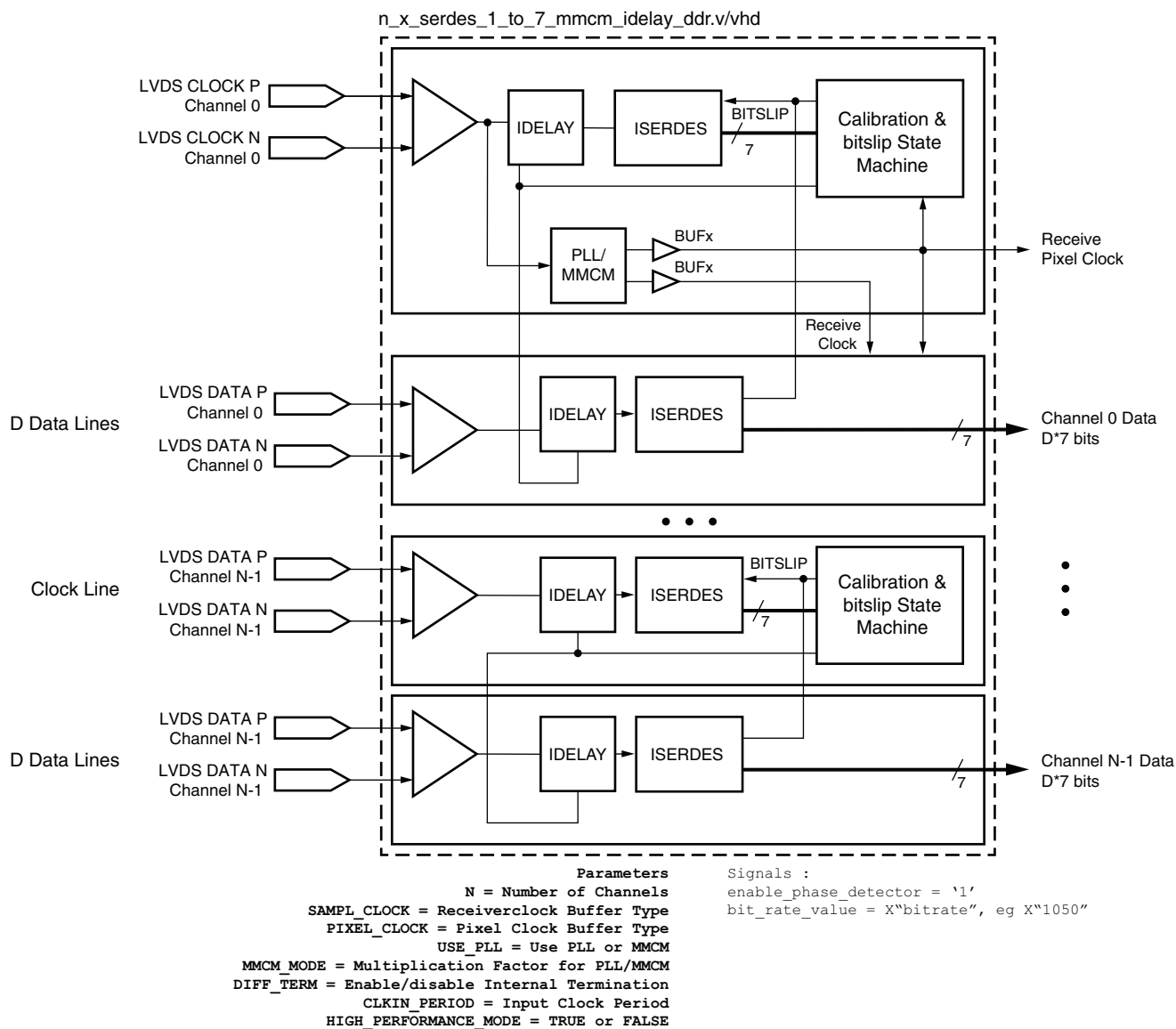


図 2 : SDR テクニックを使用するデータ受信 (ビットごとのスキュー調整なし)

DDR データ受信 (ビットごとのスキュー調整なし)

スキュー調整なしの DDR デザインは、1:4 モードの ISERDES プリミティブを使用した後、直接分散 RAM ベースのギアボックスを介して、4 分周されたクロック周波数で 4 ビット幅のデータがピクセルクロック周波数で 7 ビット幅のデータへと変換されます。各データラインで受信した 7 ビットのデータは、選択したクロック ネットワーク (BUFR、BUFH、または BUFG) に同期して利用可能になります。図 3 に、DDR レシーバーの図を示します。

ギアボックスが追加され、PLL または MMCM からのクロック信号が 1 つ追加される点を除き、DDR の動作は「SDR データ受信 (ビットごとのスキュー調整なし)」で説明した SDR の場合と同じです。

前述のとおり、複数の受信チャンネルが使用できますが、1 つのチャンネル内でデータとクロック ラインの位相が揃っていることが前提です。ただし、チャンネル間で位相を一致させる必要はありません。

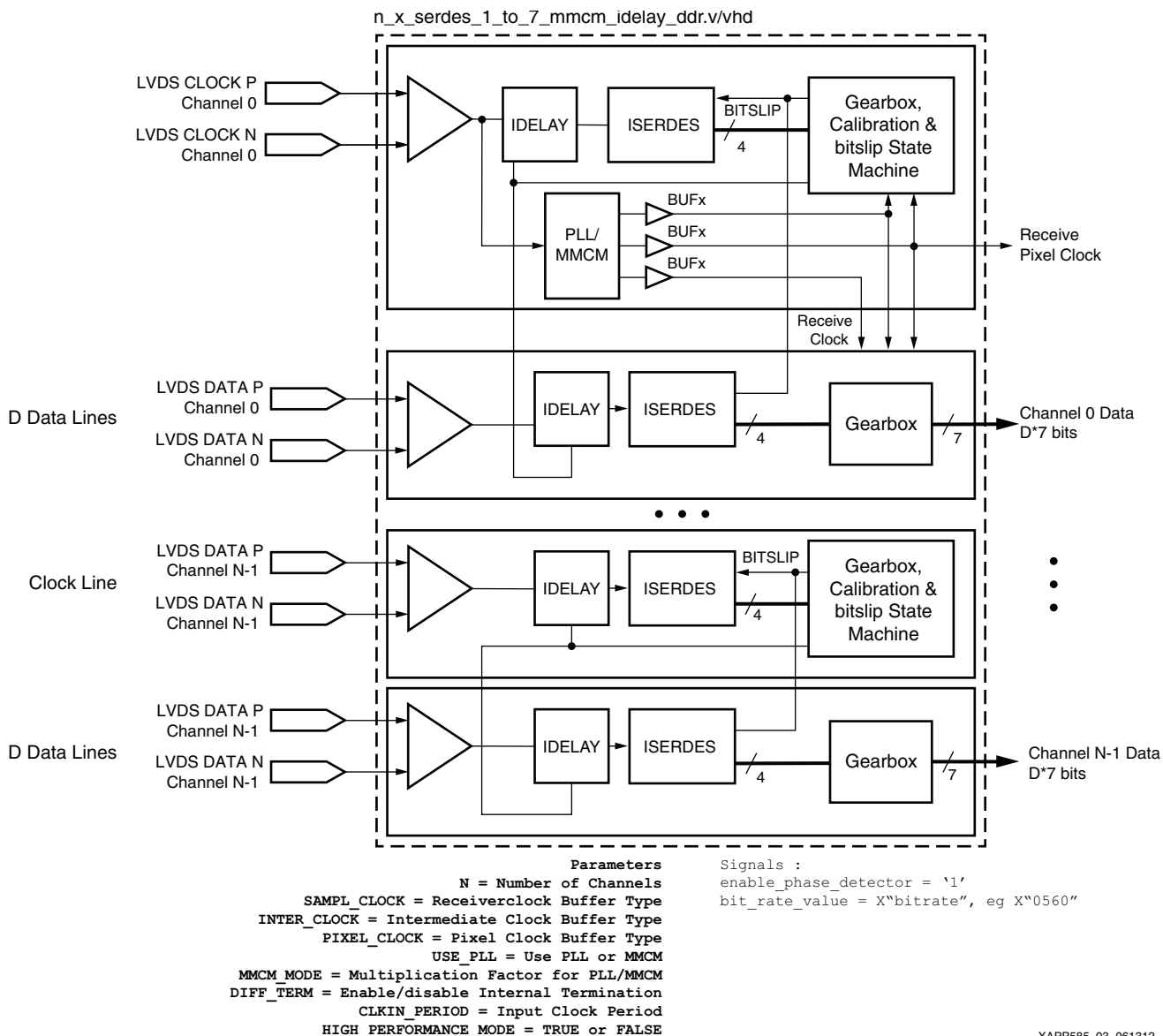


図 3 : DDR テクニックを使用するデータ受信 (ビットごとのスキュー調整なし)

SDR データ受信 (ビットごとのスキュー調整あり)

データ受信は、データラインで正しいクロック遅延が判断されて IODELAYE2 へ渡されるという点では標準の SDR 動作と同じです。入力データラインは、2 つ目の IODELAYE2 と 2 つ目の ISERDES プリミティブにも配線されます (図 6)。入力規格は、入力ピンを 2 つ使用する LVDS であるため、2 つ目の遅延エレメントと ISERDES エレメントは制約を受けません。

すでに説明したとおり、通常マスター データ遅延の初期遅延はアイの中央に設定されます。スレーブ遅延は、1/2 ビット周期分ずらして設定されます (前または後ろへ)。その結果、1/2 ビット周期分離した 2 つのサンプル値が入力データラインで取得されます。

その後、次のアルゴリズムを用いて正しいサンプリング遅延を判断します。1/2 ビット周期離れた (次の遷移の) 2 つのサンプル値が同じ場合は、サンプリング ポイントが遅すぎるため入力遅延を 1 タップ減らす必要があります (図 4)。(次の遷移の) 2 つのサンプル値が異なる場合は、サンプルポイントが早すぎるため入力遅延ラインを 1 タップ追加します。このメカニズムでは、入力データが変化することが条件です。データラインが固定 0 または固定 1 の場合、遅延は入力クロックに対してキャリブレーションで判断された初期値のままとなり、データラインの遷移が検出されるまで変わりません。

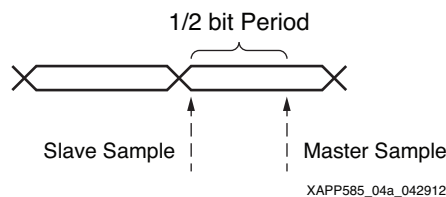


図 4 : データ サンプリング – 遅延が長すぎる

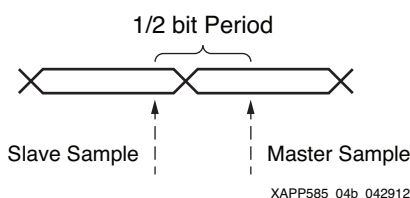


図 5 : データ サンプリング – 遅延が短すぎる

サンプリング クロックに同期するリアルタイムな比較は不可能なため、7 ビットのデータが平行で使用されます。つまり各入力ラインで 2 つの 7 ビット サンプルが必要です。

このアルゴリズムでは、不正 (パソロジカル) 動作が起こる場合が 2 つあります。遅延値が 0 へ向かってラップアラウンドされる場合と 0 から離れてラップアラウンドされる場合です。いずれの場合でも、1 つのビットが二度受信されたり、まったく受信されないといったデータの破損が生じます。データ破損を防ぐため、ファブリック ロジックには、これらの状況を検出して適切にパイプラインを追加するためのレジスタと乗算器が含まれています。

この方法の短所は、インプリメントに多数のファブリック ロジックを必要とすることです。長所は、正しいデータ受信が保証されると同時に各入力ラインを個別にリアルタイムでスキュー調整できることです。これにより、スキューの原因となる PCB 配線、ピン遅延、およびトランスミッター ピンのばらつきは、タイミング解析から除外されます。

スキュー調整アルゴリズムは、いずれかの方向でビット変動の程度に関係なく動作しますが、平行ワードが入力されるピクセル クロック パターンと同期する必要があるというビデオ インターフェイスの特性により、入力とクロックラインのスキューは、各チャネルで $\pm 1/4$ UI 以内となるようにすることを推奨します。この範囲を超えても回路は機能しますが、ワードのスキュー調整には、ユーザー ロジックがさらに必要になる場合があります。図 6 に、この場合のレシーバーのブロック図を示します。

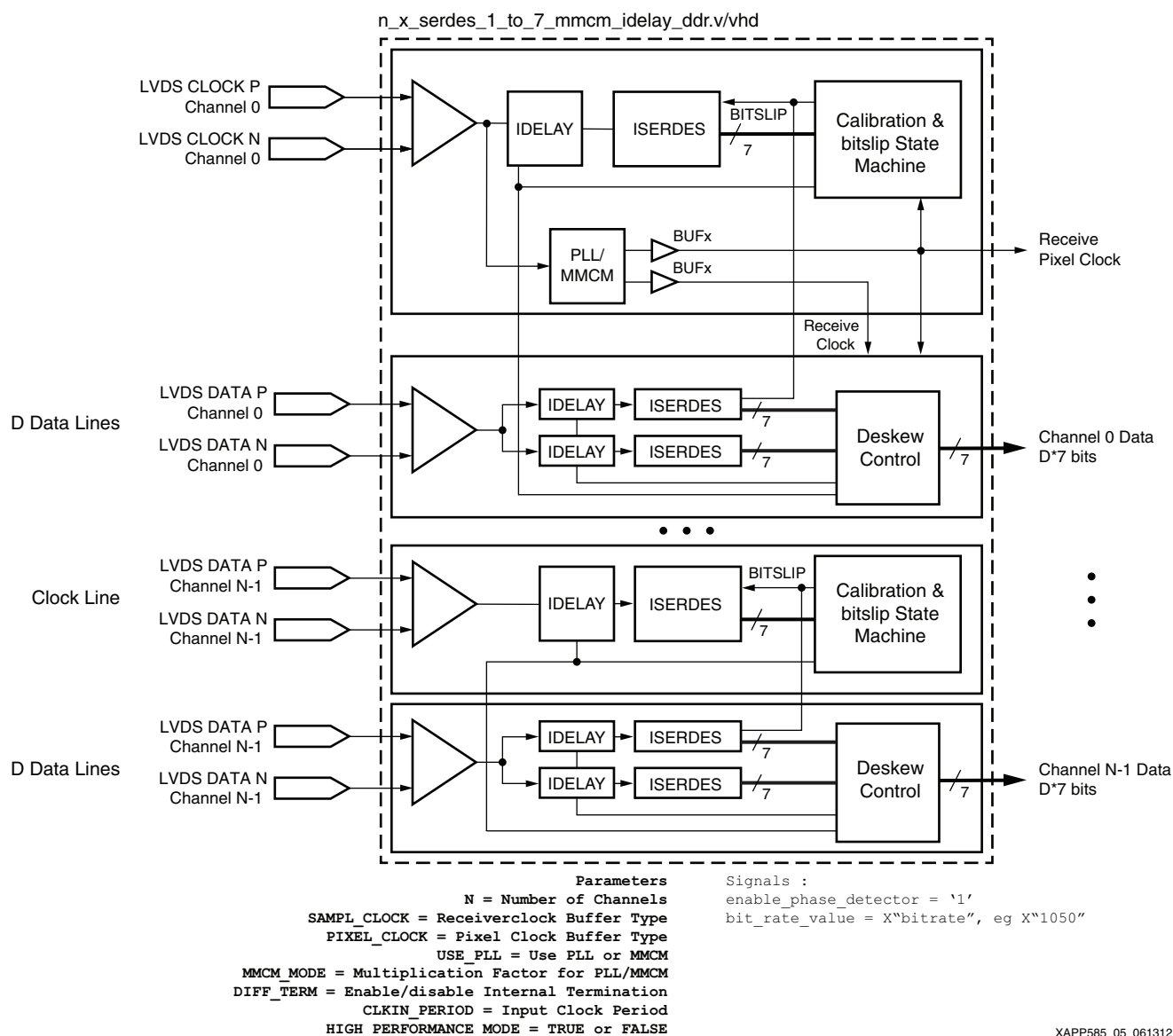


図 6 : SDR テクニックを使用するデータ受信 (ビットごとのスキュー調整あり)

DDR データ受信 (ビットごとのスキュー調整あり)

サポートされる最後のデータ受信例は、ビットごとにスキュー調整を行う DDR テクニックです。データは、1:4 ISERDES コンフィギュレーションおよびギアボックスと中間クロックを使用する、標準 DDR と同じように受信されますが、その他にスレーブ ISERDES も使用します。これも 1:4 としてコンフィギュレーションされ、各 ISERDES に 1 つずつの 2 つの IODELAYE2 は 1/2 ビット周期ずれた値が設定されています。

スキュー調整のメカニズムは、サンプル データがマスターおよびスレーブ ISERDES から直接取得した 4 ビット データである点を除いて、前述と同じです。結果となる出力は、4 ビット/7 ビットのギアボックスを使用してピクセルクロックドメインへ渡されます (図 7)。

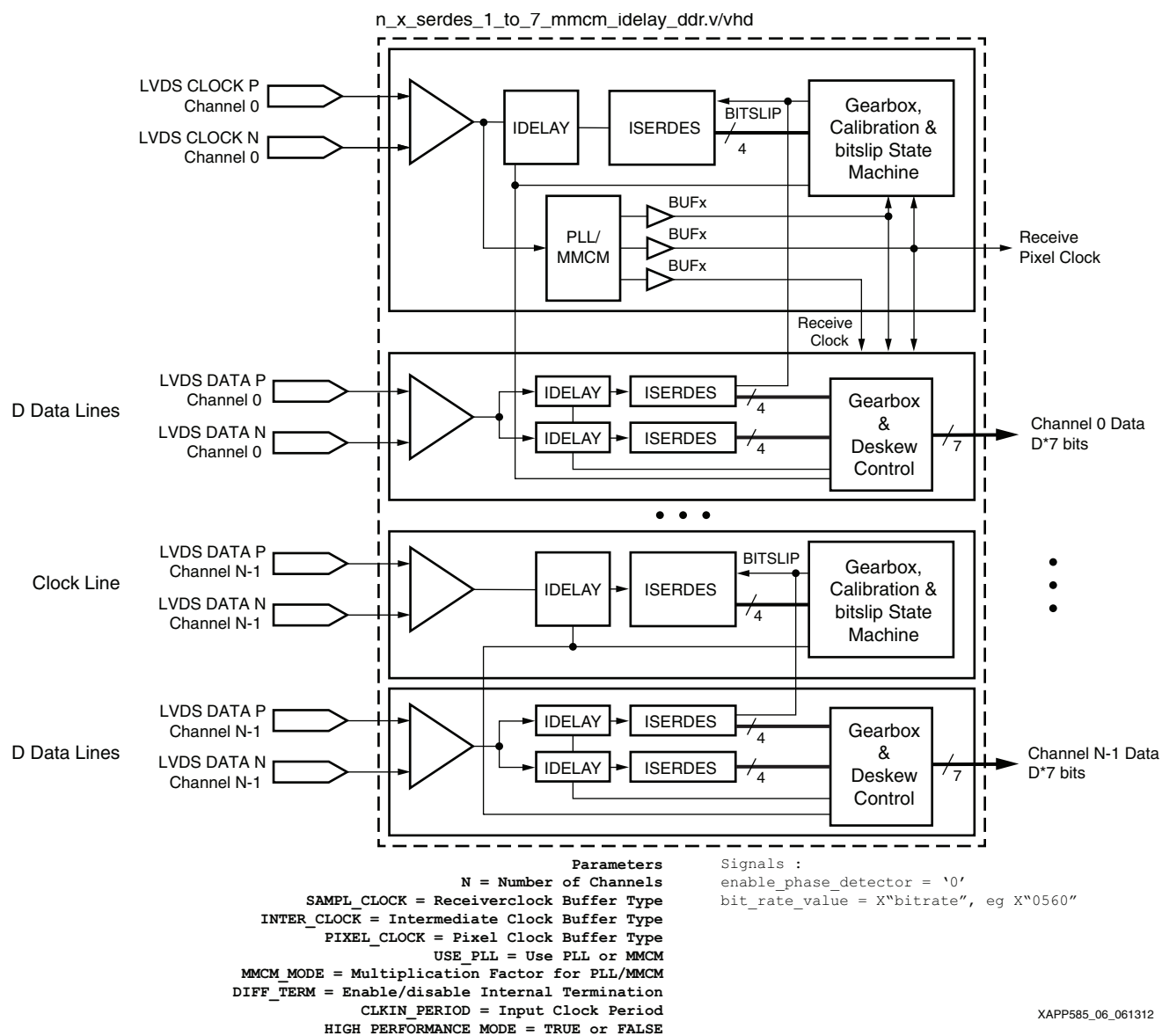


図 7 : DDR テクニックを使用するデータ受信 (ビットごとのスキュー調整あり)

最小データ レートの留意事項

データ取得のメカニズムは、IODELAYE2 ブロックに依存します。このブロックは、78ps (公称値) 単位の 31 遅延を許容可能なため、最小キャプチャ周波数は $78 \times 31 = 2,418\text{ps}$ 、つまり 415Mb/s となります。この値よりも低いビット レートの場合、1 回の遅延ラインにエッジが検出されず、最初のクロックキャリブレーションがエラーとなります (回路は継続的にループ)。したがって、415Mb/s (59.28MHz ピクセルクロック) よりも低いデータ受信では、自動的にビットごとのスキュー調整が無効 (有効に設定されている場合) になり、トレーニングに対して最良の推測を行う方法をとります。遅延ラインでエッジが検出された場合、最終的な遅延値は $\pm 10\text{h}$ タップに静的に設定されます。エッジが検出されない場合の遅延ラインは 10h タップに設定されます。いずれの場合でも、遅延は低いビット レートで許容可能な、アイのエッジから少なくとも 10h タップ離れて設定されます。

この最小データ レートの留意事項は、トレーニング パターンが不要なトランスミッター ロジックには適用されません。

シリアライズとデータ送信

必要な出力用の転送クロックとデータ ストリームは同じタイミングでステートを変更するため、同一の送信クロックから生成されます。この例には、カメラやフラット パネル TV、モニターで使用される 7:1 インターフェイスがあります (図 8)。

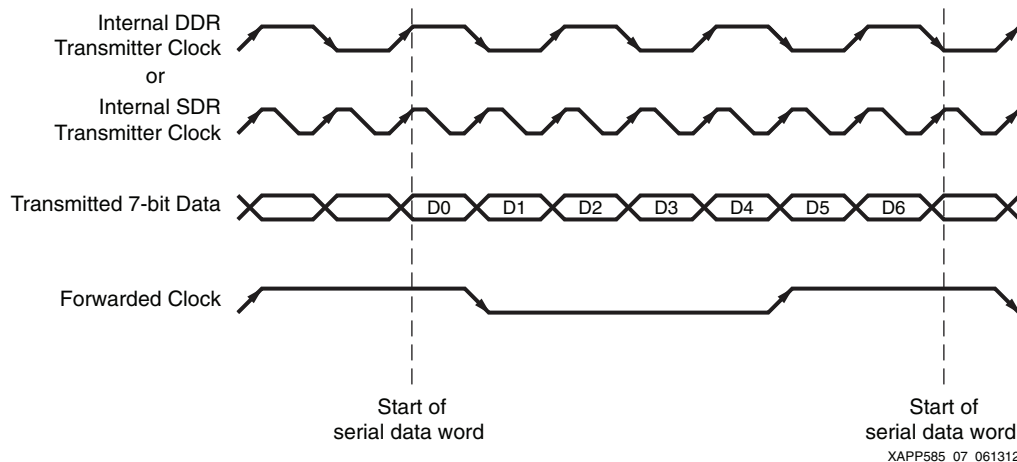


図 8 : 低速の転送クロックを使用する出力データ ストリーム (7:1 SerDes)

7 シリーズ FPGA のデータ送信

このメカニズムのトポロジは、非常にシンプルです。必要に応じてトランスミッターのソース クロックを PLL で逡倍し、内部 SDR または DDR レートのトランスミッター クロックを生成します。SDR の例では、内部ピクセル クロックが 7 逡倍されて、結果の VCO 周波数は **2 ページの表 1** に示す最大範囲内になります。たとえば DDR の場合、内部ピクセル クロックを 3.5 で逡倍します。

高速クロックおよび低速クロックには、PLL または MMCM からの 2 つのクロック出力が使用されます。これらのクロックは位相が揃っているため、すべての OSERDES がそれぞれの SR 入力の同期リセットで同期化された後、OSERDES で正しくシリアライズされます。適用されたパラレル データは、高速送信クロックを用いて出力用にシリアライズされます。転送クロック出力は、クロック ラインに関連する OSERDES へ一定値を送信することで同じように生成されます。7:1 のビデオ アプリケーションの転送クロックは、転送クロックとデータの関係が一般的な規格に準拠するように、1100001 または 1100011 が必要です。12 ページの図 9 に、SDR 送信クロックを使用する場合の回路と出力波形を示します。13 ページの図 10 では、OSERDES が 7:1 モードにコンフィギュレーションされ、OSERDES の CLKDIV ピンに同期して 7 ビット データ (またはクロックの定数データ) が適用されています。

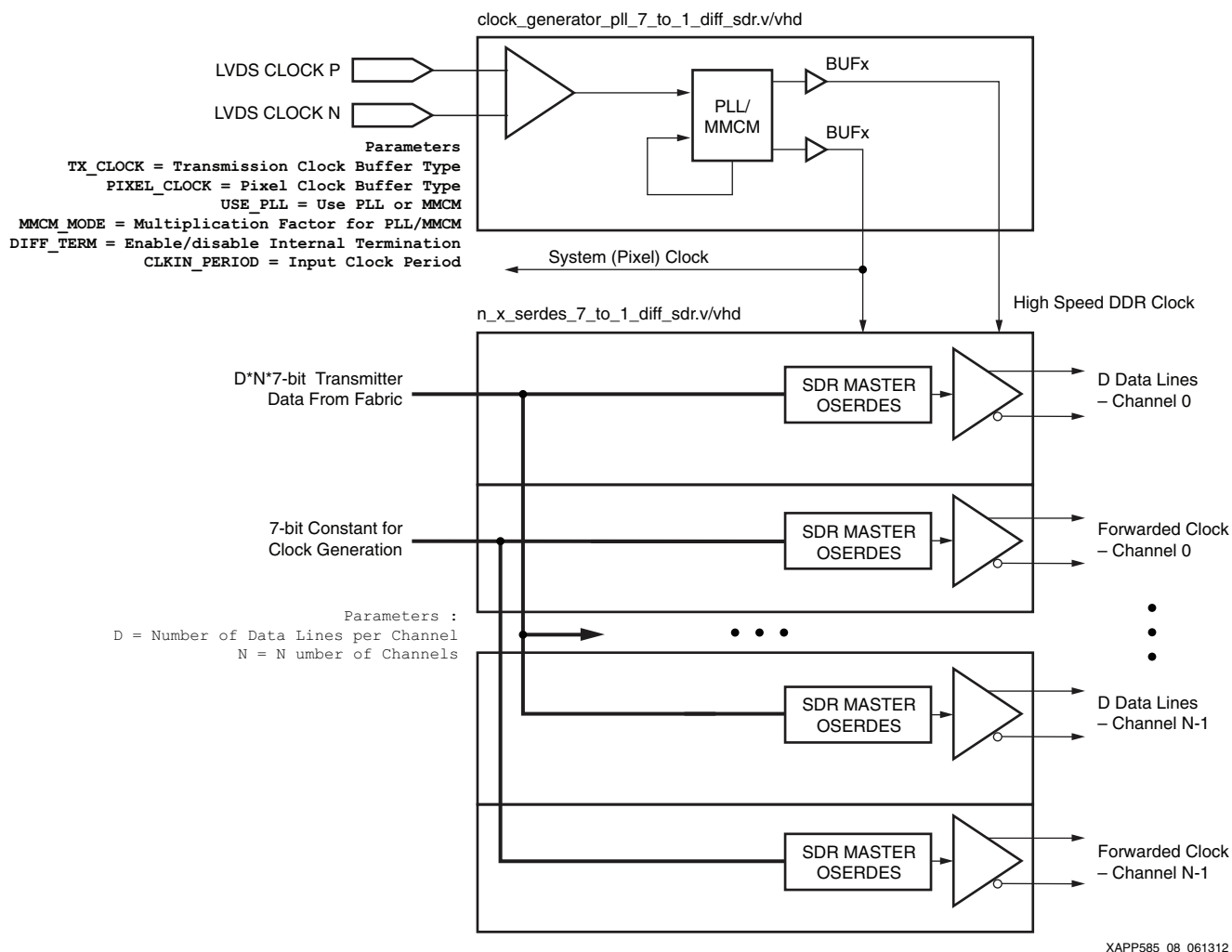


図 9 : SDR テクニックを使用するデータ送信

1 つの FPGA で 7:1 規格のデータ受信とデータ送信を実行している場合、送信と受信で PLL または MMCM を共有できます。したがって、同じ PLL とクロック ネットワークをデータ受信とデータ送信に使用できます。

DDR の留意事項

DDR メカニズムのトポロジは、SDR よりも多少複雑です。OSERDES は、DDR モードで 7:1 のシリアライズを実行できませんが、このモードで 14:1 (カスケード接続時) にコンフィギュレーションできます。トランスミッターのソース クロックは PLL/MMCM で 3.5 で通倍され、入力と同じ周波数の内部 DDR トランスミッター クロックとピクセルクロックを生成します。さらに、ピクセルクロック 1/2 の速度で動作する 3 つ目のクロックが必要です。このクロックは、OSERDES の CLKDIV 入力に使用され、高速送信クロックの 1/14 となります。この 3 つ目の低速クロックに同期して、一度に 14 ビットデータが OSERDES に現れる必要があります。

ピクセルクロック レートで動作する内部データは、単純なギアボックスを介してこの 3 つ目の低速クロックへ移動されます (図 10)。7 ビット幅のデータがピクセルクロック レートでギアボックスへ入力され、1/2 ピクセルクロック レートで 14 ビット幅のデータが出力されて、OSERDES へ直接接続されます (図 10)。

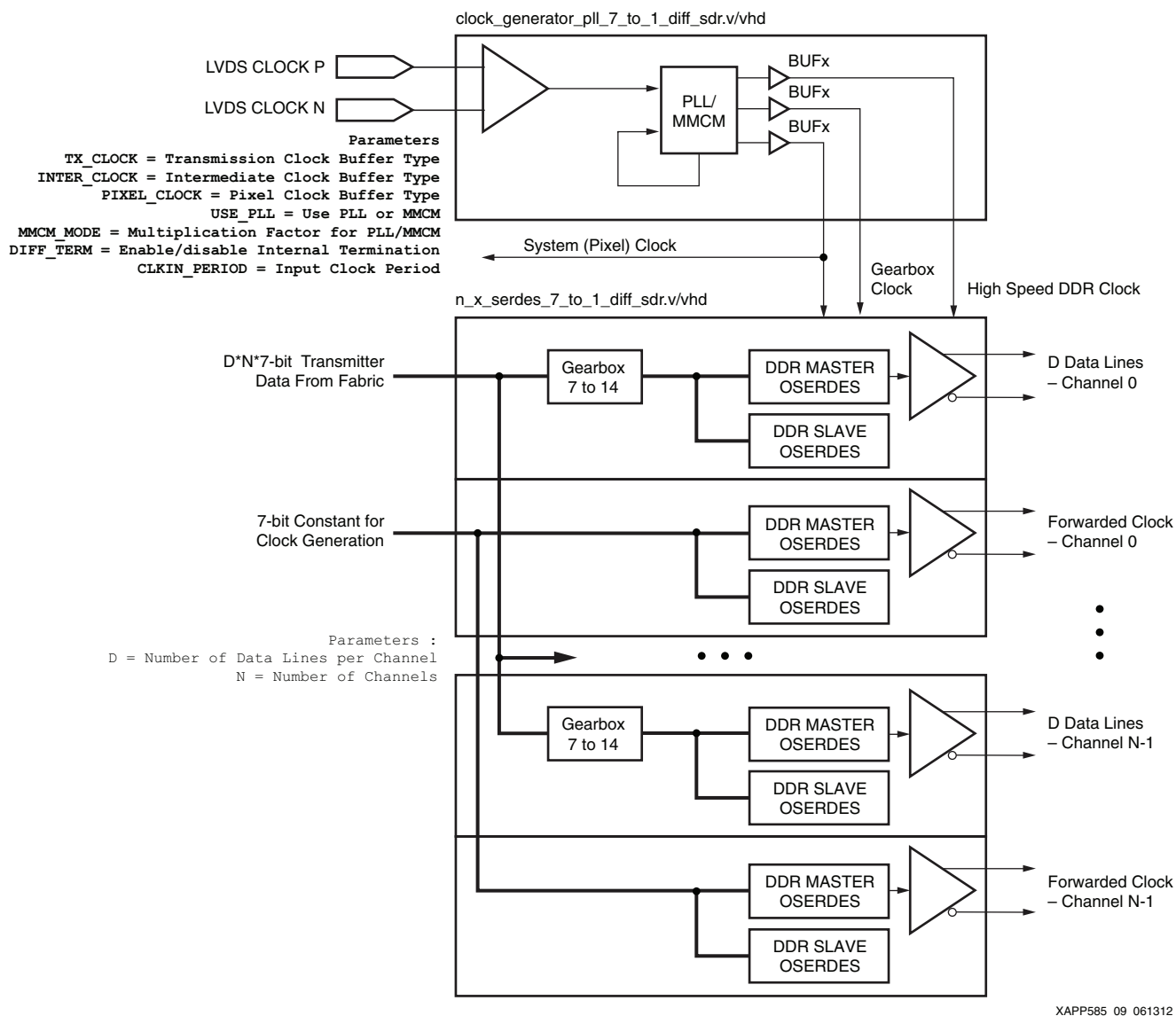


図 10 : DDR テクニックを使用するデータ送信

レシーバーのタイミングに関する留意事項

レシーバーでは、タイミングのばらつきの原因をいくつか考慮しなければなりません。これらをビット周期から差し引いた上でデザインが設計要件を満たすかどうかを判断する必要があります。デザイン ZIP ファイルに含まれている Excel スプレッドシートを利用すると、解析を迅速に行うことができます。図 11 に、スクリーンショットを示します。スプレッドシートの空欄セルにデザインのパラメーターを入力すると、計算された残りのレシーバー マージンとレシーバー スキュー マージン (RSKM) がマージンの正/負を示す緑色または赤色で表示されます。

ばらつきには次のような原因があります。

- PLL/MMCM ジッター。この値は、クロッキング ウィザードから取得できます。
- ビットごとのスキュー調整の精度。ビットごとのスキュー調整を使用する場合、この値は丸め込みエラーなどによる ± 2 遅延タップです。ビットごとのスキュー調整を実行しない場合、この値は IODELAYE2 エLEMENTの半分の長さになります。いずれの場合も、この値にはマスター IODELAYE2 とスレーブ IODELAYE2 エLEMENT間のすべてのクロック スキューとセットアップ およびホールド タイミングの差異が含まれます。IODELAYE2 エLEMENTが正常に動作するには、

200MHz または 300MHz の基準クロックが必要です。IODELAYE2 および関連する IDELAYCTRL 制御ブロックの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471) を参照してください。基準クロックの周波数を 300MHz に増加した場合はレシーバマージンが向上しますが、その代わりにビットごとのスキュー調整の最小動作ビット レートが 641Mb/s まで増加します。

- 遅延ラインのパターン依存ジッター。通常は 1 タップにつき 9ps ですが、IODELAYE2 エLEMENT の HIGH_PERFORMANCE モードを使用するとこれを 5ns まで削減可能です。使用されたタップ数は、スプレッドシートで計算されます。
- サンプリング クロックのデューティ サイクルのずれ。これは、DDR テクニックを使用する場合にのみ重要で、レシーバのサンプリング クロックに選択されたバッファの種類によって異なります。
- トランスミッター スキュー、pcb スキュー、パッケージ スキュー。ビットごとのスキュー調整デザインを使用する場合はすべて除外されますが、これを使用しない場合には含まれます。

Bit Period	1000 ps	User required bit period
Design Mode	DDR	User selectable
Delay Reference Clock	200 MHz	User selectable
IO Delay HIGH PERFORMANCE MODE (TRUE/FALSE)	TRUE	User selectable
MMCM/PLL Jitter (from Clocking Wizard)	93 ps	User selectable
Sample Clock (BUFIO, BUFG, BUFG)	BUFG	User selectable
MAX number of taps used (decimal)	13	If greater than 31 per-bit deskew will be automatically turned off in hardware
<u>Uncertainties when using per-bit deskew</u>		
Clock Jitter	93 ps	From Clocking Wizard
Per bit deskew accuracy	156 ps	Plus or Minus two delay line taps (including delay rounding)
Pattern Dependent Jitter in Delay line	64 ps	9 ps per tap default or 5 ps per tap in HIGH PERFORMANCE MODE
Sampling Clock Duty Cycle Distortion	100 ps	NOTE - Not Applicable for SDR designs
Transmitter skew, pcb skew, package skew	0 ps	Any data skew will be removed by the per-bit deskew logic
Remaining Window after Receiver Uncertainties	587 ps	
RSKM = Remaining Window/2	293 ps	
<u>Uncertainties when not using per-bit deskew</u>		
Clock Jitter	93 ps	From Clocking Wizard
Per bit deskew accuracy	1248 ps	Half max delay chain length
Pattern Dependent Jitter in Delay line	155 ps	9 ps per tap or 5 ps per tap in HIGH PERFORMANCE MODE (31 taps assumed)
Sampling Clock Duty Cycle Distortion	100 ps	NOTE - Not Applicable for SDR designs
Transmitter skew, pcb skew, package skew	100 ps	User number
Remaining Window after Receiver Uncertainties	-696 ps	
RSKM = Remaining Window/2	-348 ps	

XAPP585_11_060512

図 11 : XLS レシーバ マージンの計算のスクリーン ショット

リファレンス デザイン ファイル

このアプリケーション ノートのリファレンス デザインは、Verilog と VHDL の両方で提供されており、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=189138>

それぞれのファイル名は、ここで説明したメソッドロジの図中に記載されています。フラットパネル ディスプレイやカメラで利用される 7:1 インターフェイス用の最上位ファイルおよびタイミング制約のサンプルも含まれています。

SDR データの入力および出力モジュールでは、インターフェイス バス幅 (各インターフェイスの入力ピンまたは出力ピンの数) や共通クロッキングを使用するインターフェイスの数をそれぞれパラメーター指定できます。含まれるファイルを次に示します。

- clock_generator_pll_7_to_1_diff_sdr.v/vhd
- n_x_serdes_7_to_1_diff_sdr.v/vhd
- n_x_serdes_1_to_7_mmcm_idelay_sdr.v/vhd

DDR データの入力および出力モジュールでは、入力幅 (各インターフェイスの入力ピンまたは出力ピンの数) や共通クロッキングを使用するインターフェイスの数をそれぞれパラメーター指定できます。含まれるファイルを次に示します。

- clock_generator_pll_7_to_1_diff_ddr.v/vhd
- n_x_serdes_7_to_1_diff_ddr.v/vhd
- n_x_serdes_1_to_7_mmcm_idelay_ddr.v/vhd

表 4: リファレンス デザインの詳細

一般情報	
開発元	ザイリンクス
ターゲット デバイス	7 シリーズ FPGA
ソース コードの提供	はい
ソース コードの形式	Verilog、VHDL
既存のリファレンス デザイン、アプリケーション ノート、サード パーティ、CORE Generator ソフトウェアからデザインへのコード/IP の使用	いいえ
シミュレーション	
機能シミュレーションの実施	はい
タイミング シミュレーションの実施	いいえ
機能およびタイミング シミュレーションでのテストベンチの利用	いいえ
テストベンチの形式	Verilog、VHDL
使用したシミュレータ	ISIM
SPICE/IBIS シミュレーションの実施	いいえ
インプリメンテーション	
使用した合成ソフトウェア ツール	XST 13.4
使用したインプリメンテーションソフトウェア ツール	ISE® Design Suite 13.4
スタティック タイミング解析の実施	はい
ハードウェア検証	
ハードウェア検証の実施	はい
検証に使用したハードウェア プラットフォーム	FMC-X107 搭載の KC705 または VC707

表 5: デバイス使用率

デザイン ファイル	PLL または MMCM	クロック バッファ	スライス	ISERDES	OSERDES
clock_generator_pll_7_to_1_diff_sdr.v/vhd	1	2	0	0	0
n_x_serdes_7_to_1_diff_sdr.v/vhd	0	0	12	0	ラインあたり 1
clock_generator_pll_7_to_1_diff_ddr.v/vhd	1	3	0	0	0
n_x_serdes_7_to_1_diff_ddr.v/vhd	0	0	12	0	ラインあたり 2
n_x_serdes_1_to_7_mmcm_idelay_sdr.v/vhd ビットごとのスキュー調整は無効	1	2	ラインあたり 最大 8	ラインあたり 1	0
n_x_serdes_1_to_7_mmcm_idelay_ddr.v/vhd ビットごとのスキュー調整は無効	1	3	ラインあたり 最大 17	ラインあたり 2	0
n_x_serdes_1_to_7_mmcm_idelay_sdr.v/vhd ビットごとのスキュー調整は無効	1	2	ラインあたり 最大 36	ラインあたり 2	0
n_x_serdes_1_to_7_mmcm_idelay_ddr.v/vhd ビットごとのスキュー調整は無効	1	3	ラインあたり 最大 45	ラインあたり 2	0

まとめ

7 シリーズ FPGA は、ビットごとのスキュー調整を使用してラインあたり 415Mb/s ~ 1,200Mb/s で 7:1 のシリアライズおよびデシリアライズを必要とするさまざまなアプリケーションに対応します。対応速度は使用するデバイス ファミリアやスピード グレードによって異なります。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012 年 6 月 27 日	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not

designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。