



644-MHz SDR LVDS トランスミッタ/レシーバ

XAPP622 (v1.7) 2004 年 4 月 27 日

概要

このアプリケーション ノートでは、1 ペアのクロックと 16 ペアのデータ チャネルの合計17 ペアの低電圧差動信号伝送 (LVDS) を使用した、最大 644 MHz で動作するシングル データ レート (SDR) トランスミッタおよびレシーバについて説明します。このデザインは、Virtex-II および Virtex-II Pro にインプリメントできます。このアプリケーション ノートに関連する Virtex-II および Virtex-II Pro デバイスのデザイン情報および要件の詳細は、表 12 を参照してください。添付のリファレンス デザイン ファイルには、Virtex-II XC2V3000-FF1152 -5 スピード グレードのデバイスを対象にしたインプリメンテーションの例が含まれています。このリファレンス デザインには、エンベデッド ロケーション制約および配線制約を含む EDIF ネットリスト、Verilog シミュレーション、および合成テンプレート ファイルがインプリメントされています。

はじめに

SDR インターフェイスは、図 1 で示すように、データに対してクロックの立ち上がり/立ち下がり遷移が 1 回しかありません。このため、データ レートが 500 Mb/s の場合、クロック周波数は 500 MHz になります。SDR LVDS インターフェイスは、XSBI (10 ギガビット イーサネット システムで使用される 16 ビット インターフェイス) など、テレコムおよびデータコム市場におけるさまざまな標準製品に使用されています。

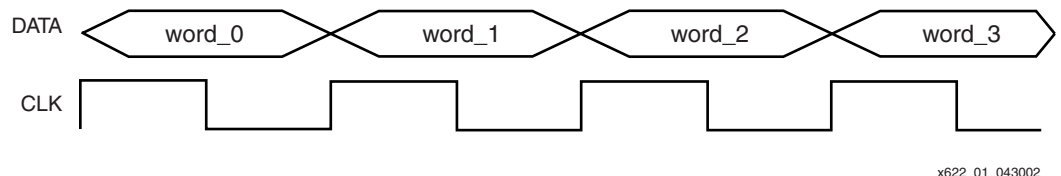


図 1 : SDR クロックおよびデータ インターフェイス

SDR クロック周波数が Virtex-II デジタル クロック マネージャ (DCM) の最大動作周波数 (420 MHz) より低い場合は、通常のデザイン手法でシングル データ レート デザインを容易にインプリメントできます。このアプリケーション ノートでは、Virtex-II デバイスの AC タイミング仕様を超えることなく、DCM の最大動作周波数以上の SDR インターフェイスをインプリメントする方法を説明します。

図 2 に、Virtex-II デバイスと SDR インターフェイスのデバイス間における送受信 SDR リンクを示します。Virtex-II デバイスは、トランスミッタ クロックを生成するために、SDR 周波数で動作する LVDS または LVPECL 差動出力のいずれかがあるリファレンス クロックが必要です。図 2 に、SDR 周波数で動作するクロック ソースを示します。一方のデバイスでクワッド データ レート (QDR) クロック周波数を受信し、もう一方の Virtex-II デバイスに SDR リファレンス クロックを送り返すシステムもあります。

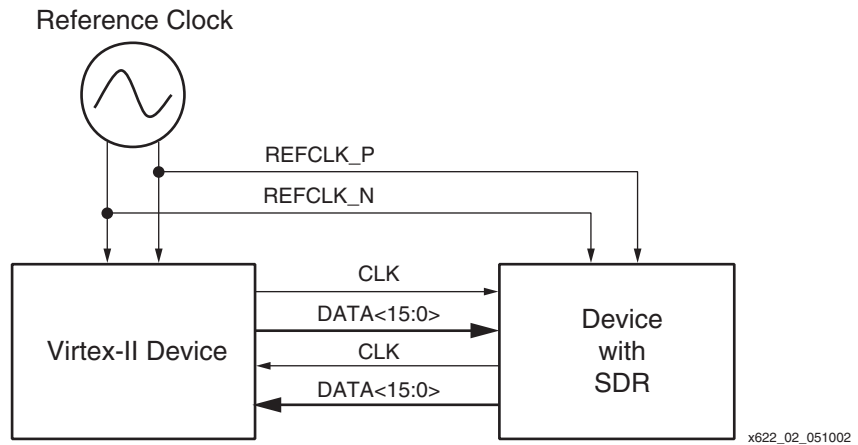


図 2 : 一般的な SDR リンク システム

Virtex-II インプリメンテーション

図 3 に、TX_CLOCK、TX_SDR_16D_4TO1、および RX_SDR_16D_4TO1 の3つのモジュールで構成されている Virtex-II デバイス SDR インターフェイスを示します。この章では、これらのモジュールについて説明します。

複数のトランスミッタおよびレシーバを同じ Virtex-II FPGA にインプリメントすることも可能です。複数のインスタンスが必要な場合、RX_SDR_16D_4TO1 および TX_SDR_16D_4TO1 モジュールのみを複製し、TX_CLOCK モジュールは複製せずに有効なグローバルクロックリソースを保存します。

TX_CLOCK モジュールには、アクティブ High SDR グローバルクロックが2つあるトランスミッタが含まれており、リファレンスクロック (REFCLK) およびシステムデータパスロジックのクワッドレート (QDR) グローバルクロックの立ち上がり/立ち下がりエッジの変化を示します。

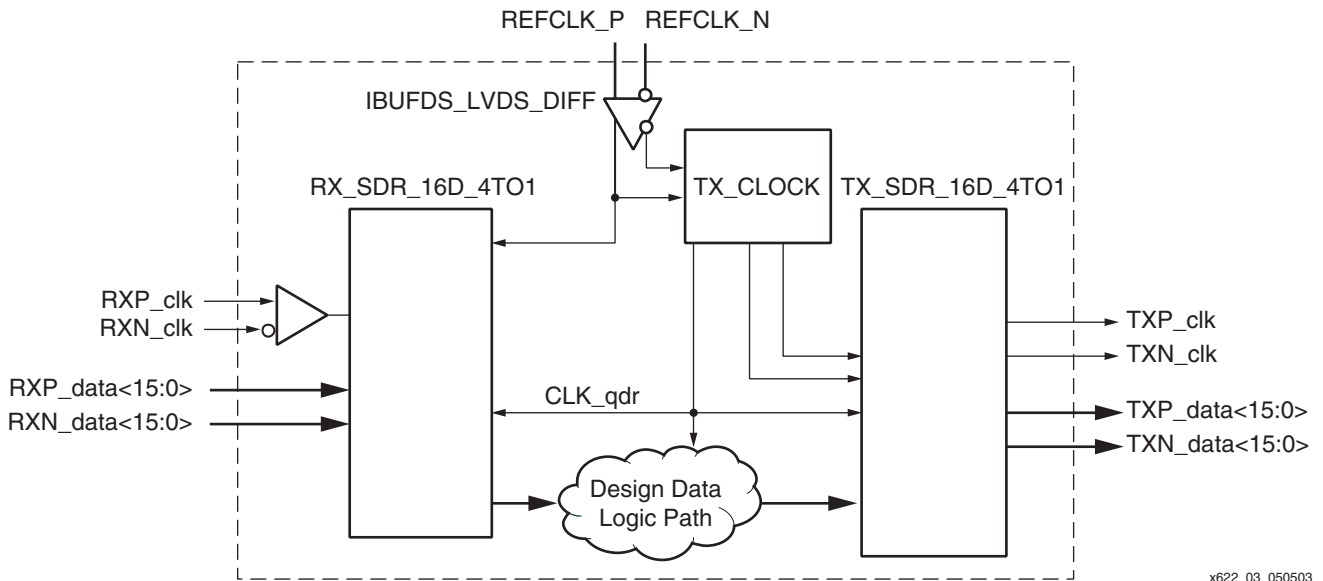


図 3 : Virtex-II SDR インターフェイス

トランスミッタ クロック

TX_CLOCK モジュールは、入力リファレンス クロックに対して、デューティ サイクルのずれを最低限に抑えるようにデザインされており、業界標準である $\pm 5\%$ 以内をクリアしています。これは、サイリンクス プリミティブ IBUFDS_DIFF_OUT (図 4) としてインプリメントされた差動出力を持つ差動入力クロックへバッファを使用することで実現します。このプリミティブは、リファレンス クロックが High 遷移中にアクティブ High エッジを生成し、また Low 遷移中も同様にアクティブ High エッジを生成します。このモジュールの出力は、2 つのグローバル バッファおよび DCM に接続しています (図 5)。このようにクロック ネットワークをインプリメントすると、デバイス通過時に伴う立ち上がりおよび立ち上がりのクロック スキュー差を削除できます。表 1 では、TX_CLOCK モジュールのピンについて説明します。

表 1: TX_CLOCK モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	REFCLK_P REFCLK_N	IBUFDS_F_DIFF から差動 SDR クロック入力
	RST	アクティブ High リセット信号
出力	CLK_sdr_p CLK_sdr_n	アクティブ High 立ち上がりエッジのグローバル SDR クロック アクティブ High 立ち下がりエッジのグローバル SDR クロック
	CLK_qdr	アクティブ High のグローバル QDR クロック

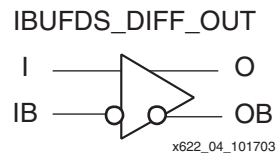


図 4: IBUFDS_DIFF_OUT プリミティブ

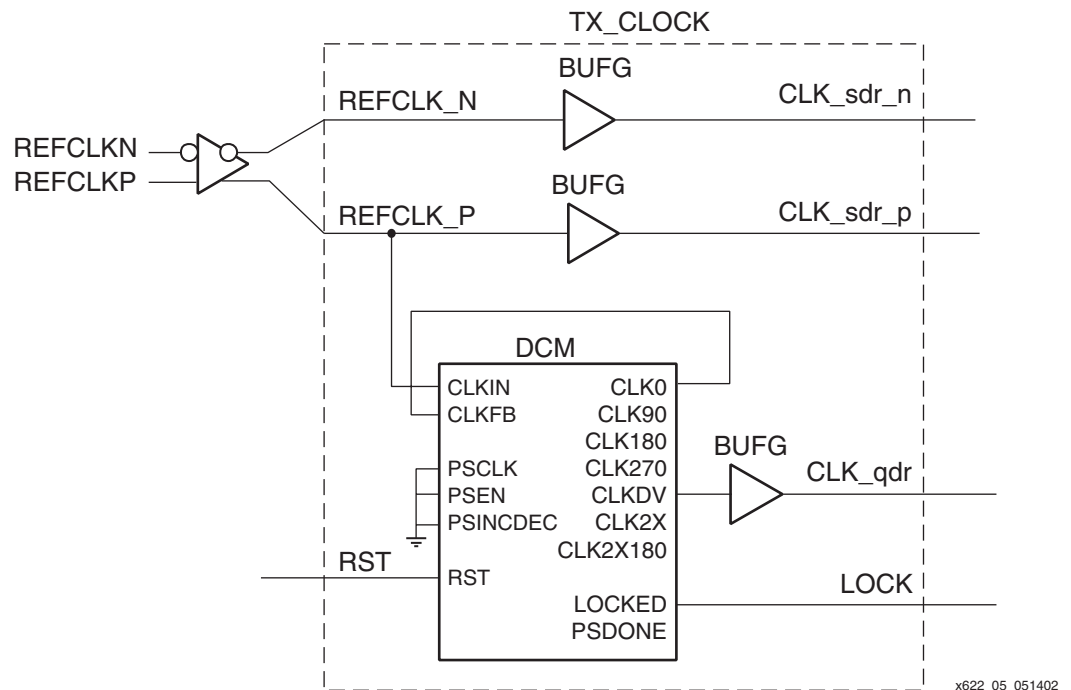
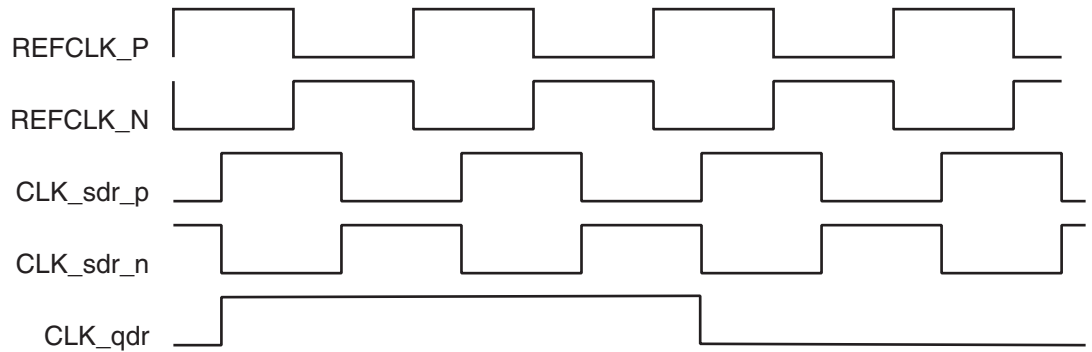


図 5: TX_CLOCK モジュール

2つのアクティブ High SDR グローバル クロックを使用する方法とは別に、DCM を使用して QDR グローバル クロックを生成する方法があります。Virtex-II DCM クロック入力ピン (CLKIN) の機能を使用すると、信号が DCM のデジタル遅延ラインに適用される前に、ジッタおよび遅延を増加せずに入力を二分周できます。この機能をイネーブルにするには、DCM セルで CLKIN_DIVIDE_BY_2 属性を TRUE に設定します。これにより、SDR 周波数の半分の周波数で、最大 AC タイミング仕様を超過することなく DCM を動作させることができます。図 6 に、すべてのクロック信号の波形を示します。



x622_06_051302

図 6：TX_CLOCK 出力波形

4.1 シリアライザ トランスミッタ (TX_SDR_16D_4TO1)

このトランスミッタ (TX_SDR_16D_4TO1) は、データ チャネル用の OUTSTAGE_DATA およびクロック出力用の OUTSTAGE_CLK という 2 種類の出力モジュールで構成されています。この章では、これらのモジュールについて説明します。表 2 に、TX_SDR_16D_4TO1 モジュールのピンについて説明します。

表 2：TX_SDR_16D_4TO1 モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	データ<63:0>	64 ビット データ入力バスのデータは、LSW から MSW の順にレシーバに転送される 例 : <15:0> <31:16> <47:32> <63:48>
	CLK_sdr_p CLK_sdr_n	アクティブ High 立ち上がりエッジのグローバル SDR クロック アクティブ High 立ち下がりエッジのグローバル SDR クロック
	CLK_qdr	アクティブ High のグローバル QDR クロック
	RST	アクティブ High リセット
出力	TXP_data<15:0> TXN_data<15:0>	これらの信号には、16 ビット送信バスを生成する差動ペアが含まれる。このバスを通過するすべてのデータ送信は、トランスミッタ クロックに同期する
	TXP_clk TXN_clk	TXP_clk および TXN_clk は、差動およびソース同期のクロック信号を生成する

図 7 に、トランスミッタのブロック図を示します。アクティブ High 立ち下がりエッジの SDR グローバル クロックを受信するモジュールは、OUTSTAGE_CLK のみです。データ チャネルおよびクロックの最終的なレジスタ ステージは IOB に配置され、CLK_sdr_p グローバル クロックを採用します。このため、チャネル間の スキューを最小限に抑えることができ、最高のパフォーマンスを得ることができます。CLK_sdr_n グローバル クロックは、トランスミッタ クロックの立ち下がりエッジを生成する場合にのみ使用され、オリジナルのリファレンス クロックに対してのデューティ サイクルのずれを最低限に抑えます。

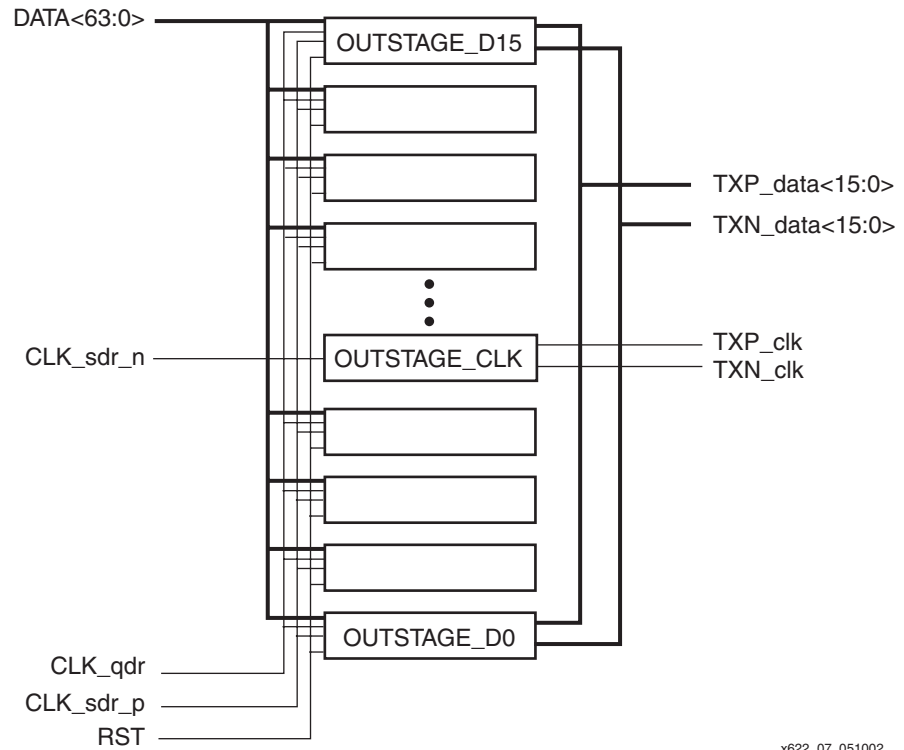


図 7: TX_SDR_16D_4TO1 ブロック図

トランスミッタ データ出力チャンネル (OUTSTAGE_DATA)

トランスミッタ データ出力チャンネル (OUTSTAGE_DATA) モジュール (図 8) は、4:1 シリアライザとして機能します。QDR グローバル クロック ドメインから出力される 4 ビット データは、タイミング クロージャを短時間で達成するために、一度パイプライン化され、送信される前に 4 ビット パラレル-シリアル コンバータを通過します。表 3 に、このモジュールのピンについて説明します。

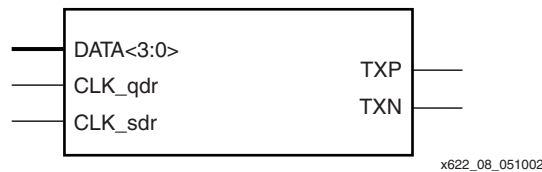


図 8: OUTSTAGE_DATA モジュール

表 3: OUTSTAGE_DATA モジュールのピンの説明

I/O の種類	モジュール ピン名	説明
入力	データ<3:0>	このトランスミッタのデータ スライス
	CLK_qdr	アクティブ High のグローバル QDR クロック
	CLK_sdr	アクティブ High 立ち上がりエッジのグローバル SDR クロック
出力	TXP、TXN	LVDS 出力データ (シングル チャンネル)

QDR から SDR グローバル クロック ドメインへのデータ書き込みは、各 OUTSTAGE_DATA モジュールのロード パルス回路により実行されます。このロード パルス回路は、2つのドメイン間でデータが転送されるための十分な時間が与えられるように構築されています。図 9 に、QDR ドメインおよび SDR ドメインの転送されたデータのタイミング波形を示します。

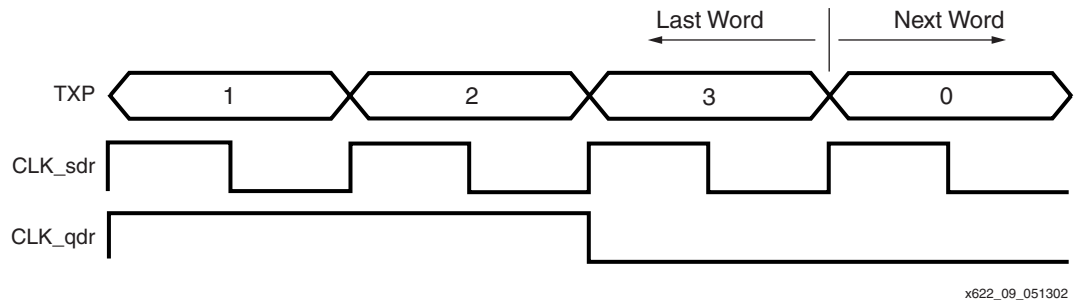


図 9 : OUTSTAGE_DATA 出力波形

このモジュールのタイミングは非常に重要なため、明示的に配置することが必要になります。このモジュールには指定配線制約が含まれており、デザインをインプリメントするごとに確実にタイミングが満たされます。そのため、必要な配置ロケーション制約は、各データチャンネルに RLOC_ORIGIN を与えるだけになります。

このアプリケーション ノートに関連するデザイン ファイルは、バンク 2 および 3 の右側をターゲットにしています。各 OUTSTAGE_DATA モジュールは、IOB に隣接した 2 つの CLB スライスを使用し、CLB スライス列番号および行番号よりも 3 つ小さい場所から RLOC_ORIGIN を設定します。次の例のように、配置制約がデザインの UCF ファイルに追加されます。

```

INST "U_tx/OUTSTAGE_D1" RLOC_ORIGIN = X108Y66 ;
NET "TXP_data<1>" LOC = U8;
NET "TXN_data<1>" LOC = U9;
INST "U_tx/OUTSTAGE_D2" RLOC_ORIGIN = X108Y68;
NET "TXP_data<2>" LOC = U6;
NET "TXN_data<2>" LOC = T6;
    
```

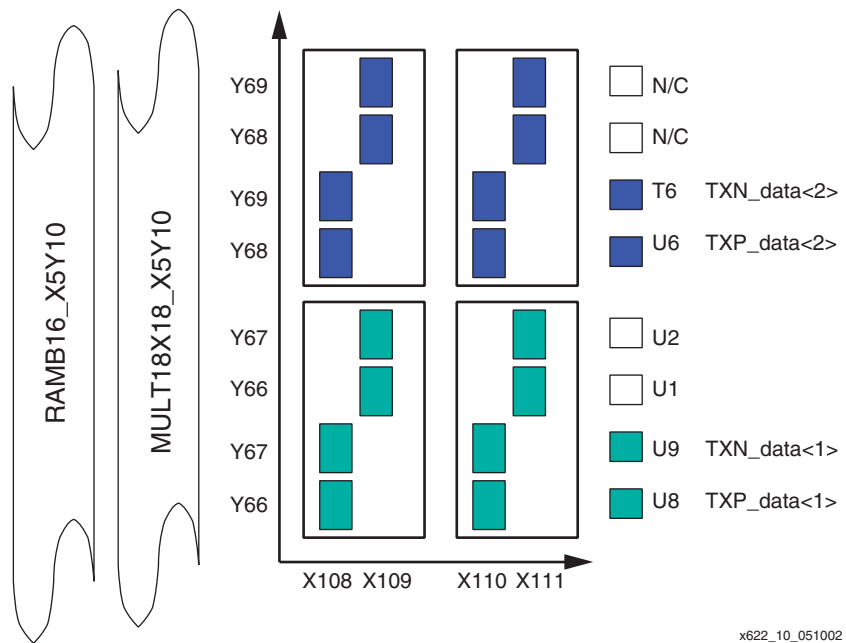


図 10 : OUTSTAGE_DATA フロアプラン

トランスミッタ クロック出力チャネル (OUTSTAGE_CLK)

トランスミッタ クロック出力チャネル (OUTSTAGE_CLK) モジュールは、データ チャネルに同期する SDR クロック波形を再生成します。このモジュール (図 11) は、D0 入力がロジック 1 に接続され、D1 入力がロジック 0 に接続された DDR 出力フリップフロップで構成されています。表 4 では、このモジュールのピンについて説明します。

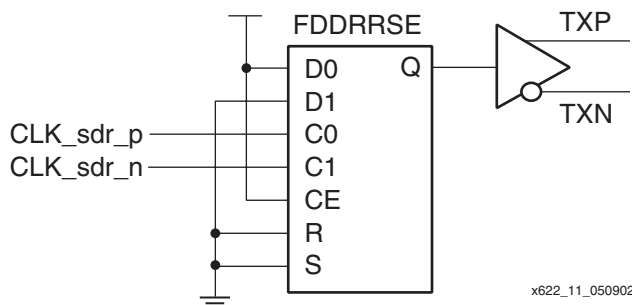


図 11： OUTSTAGE_CLK モジュール

表 4： OUTSTAGE_CLK モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	CLK_sdr_p	アクティブ High 立ち上がりエッジのグローバル SDR クロック
	CLK_sdr_n	アクティブ High 立ち下がりエッジのグローバル SDR クロック
出力	TXP、TXN	LVDS 出力クロック

4:1 シリアライザ レシーバ (RX_SDR_16D_4TO1)

このレシーバ (RX_SDR_16D_4TO1) モジュールには、高速レシーバ (HSRX_16D_4TO1)、および FIFO で構成されており、受信クロック ドメインと内部システム クロック ドメインの間のデータを処理します。この章では、これらのモジュールについて説明します。表 5 では、このモジュールのピンについて説明します。図 12 に、HSRX および FIFO モジュール間の接続を示します。

表 5：レシーバ モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	RXP_data<15:0> RXN_data<15:0>	これらの信号は、16 ビット レシーバ入力バスを生成する差動ペアで構成されている
	REFCLK	レシーバリファレンス SDR クロック
	RX_sync	レシーバ位相同期化入力
	SYSCLK	FIFO 読み出し用のシステム グローバル クロック
	RE	アクティブ High の FIFO 読み出しイネーブル
	RST	アクティブ High のレシーバリセット
出力	DATA<63:0>	SYSCLK に同期する、FIFO から出力される 64 ビット バスの受信データ
	BUFSTAT<3:0>	FIFO バッファがフルの状態
	READY	アクティブ High で、レシーバが有効なデータを受信できることを示す
	CLK_qdr	受信クロックの QDR (グローバル クロックではない)

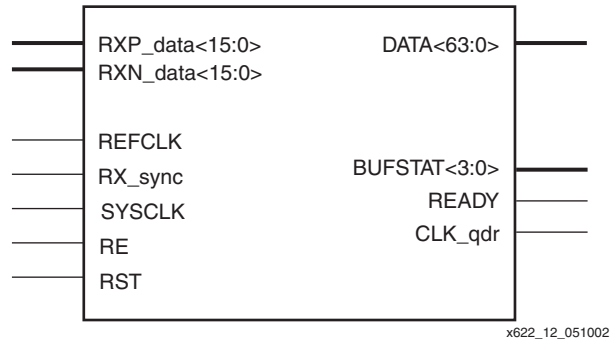


図 12: HSRX_16D_4TO1 モジュール

HSRX_16D_4TO1 モジュールは、DCM に動的位相トレーニング回路を含み、データ有効ウィンドウの中央に受信クロックを一致させることができます。この機能により、2つの異なるクロックを使用する手法が実現します。これは、HSRX_16D_4TO1 モジュールの REFCLK および RX_sync 入力を使用してインプリメントできます。図 13 に示すとおり、REFCLK 入力は、トランスミッタ インターフェイスに使用される入力と同じ差動入力に接続し、RX_sync 入力は、SDR インターフェイスの RXP_clk および RXN_clk ピンに接続します。これにより、オリジナル リファレンス クロックを DCM クロック入力のソースとして使用することができ、また、レシーバ SDR クロック入力ピンおよびレシーバ SDR データ チャネルを同じ場所に配置できます。この回路は、REFCLK およびレシーバ SDR クロック周波数が確実に一致している場合のみに使用できます。

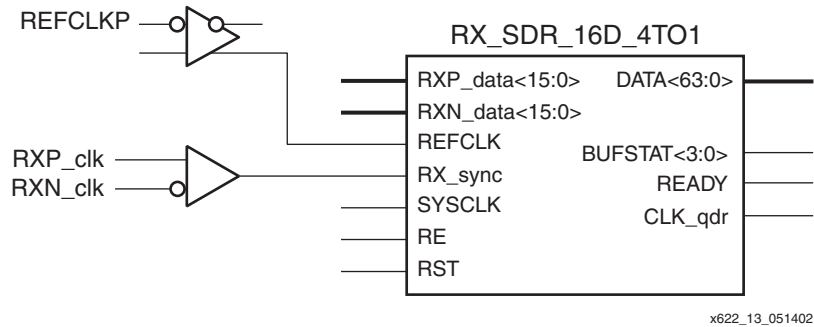


図 13: REFCLK を使用したレシーバ クロック手法

図 14 に示すとおり、REFCLK 入力および RX_sync 入力は、いずれも SDR インターフェイスの RXP_clk ピンおよび RXN_clk ピンに接続します。これにより、RX クロックを DCM クロック入力のソースとして使用することができ、レシーバ SDR クロック入力ピンおよびレシーバ SDR データ チャネルを同じ場所に配置しない場合の周波数のドリフトを懸念する必要がありません。

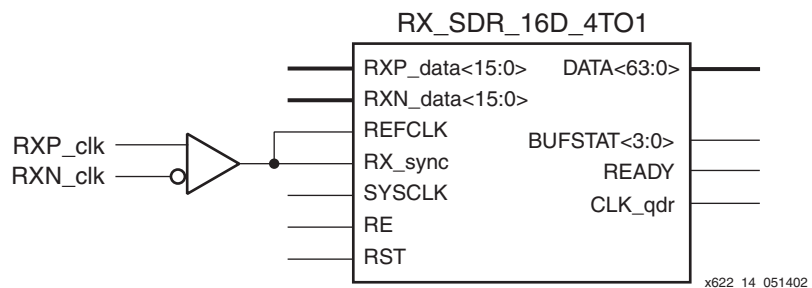


図 14: 受信クロックを使用したレシーバ クロック手法

図 15 に、レシーバのブロック図を示します。このレシーバは、2つのモジュールで構成されています。この章では、これらのモジュールについて説明します。データは左から右へと送信されるため、HSRX_16D_4TO1 モジュールが最初にデータを受信します。この HSRX_16D_4TO1 モジュールは、高

速 LVDS レシーバであり、アラインしていないデータを FIFO ブロックへ送信し、システム クロック ドメインへのキュー待ち (待ち行列) をします。

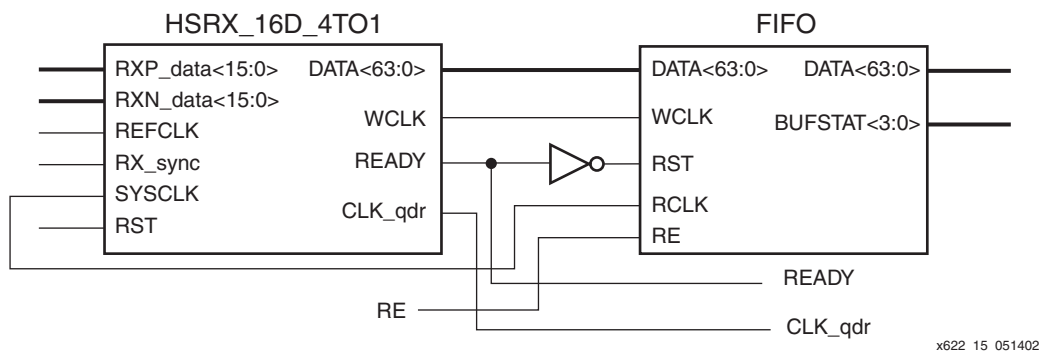


図 15 : レシーバ ブロック図

システム クロックとして使用するために **CLK_qdr** 出力がありますが、通常はあまり使用しません。**CLK_qdr** 出力を使用する場合は、追加ロジックへ信号を接続する前にグローバル クロック バッファ (BUFG) を挿入する必要があります。

FIFO インターフェイスの制御は、ユーザーが定義できます。一般的な制御システムは、バッファがほぼフルの状態 (例 : **BUFSTAT<3:0> = 1101**) になり、読み出しが開始できるようになるまで待機し、また、バッファがほぼ空の状態 (例 : **BUFSTAT<3:0> = 0010**) になるまで読み出しを続けます。**SYSCLK** 周波数が **CLK_qdr** 周波数と同一の場合は、読み出しが開始されてから、FIFO が空状態になることはありません。次の Verilog コードは、制御回路の例を示しています。

```
//
// RX FIFO control logic
//
always @ (posedge SYSCLK)
begin
    if (RST_i == 1'b1 || BUFSTAT < 4'b0010 )
        READ_ENABLE = 1'b0;
    else if (READY == 1'b1 && BUFSTAT == 4'b1101 )
        READ_ENABLE = 1'b1;
end
```

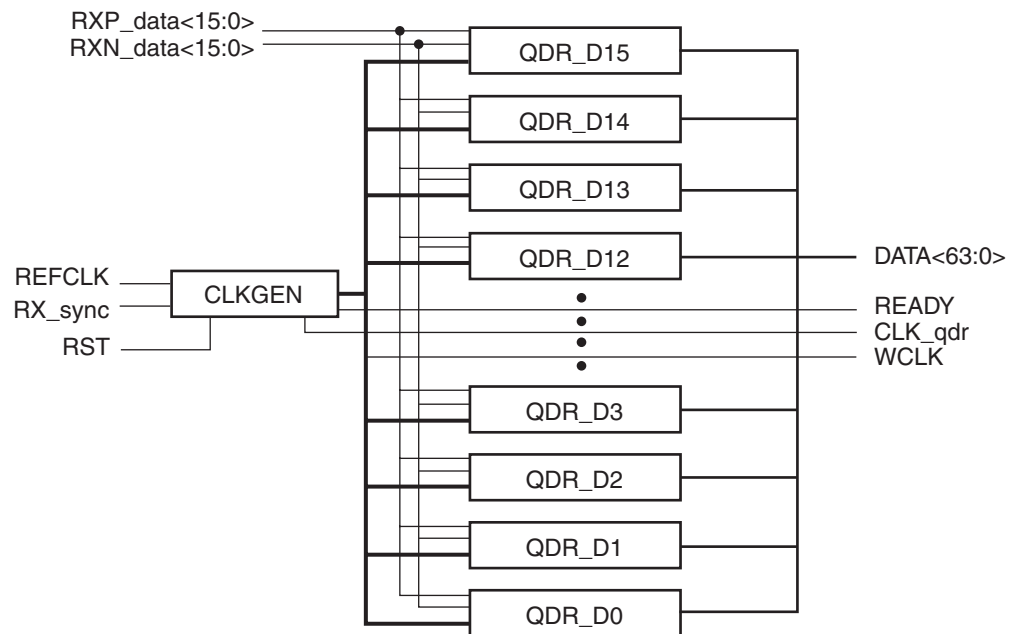
高速レシーバ (HSRX_16D_4TO1)

16 データ チャネル高速レシーバ (HSRX_16D_4TO1) は、16 個のデシリアライゼーション モジュール (QDR_REG) および 1 個のクロック位相シンクロナイゼーション モジュール (CLKGEN) で構成されています。この章では、これらのモジュールについて説明します。

表 6 では、モジュールのポートについて説明し、図 16 に、HSRX ブロック図を示します。

表 6 : HSRX モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	RXP_data<15:0> RXN_data<15:0>	LVDS データ ピン
	REFCLK	レシーバリファレンス SDR クロック
	RX_sync	レシーバ位相同期入力
	SYSCLK	システム クロック
出力	DATA<63:0>	アラインしていないデータ ビット
	WCLK	FIFO 書き込みクロックは、REFCLK から派生
	READY	アクティブ High の ready ステータス
	CLK_qdr	リファレンス クロックの QDR (グローバル クロックではない)



x622_16_051402

図 16 : HSRX_16D_4TO1ブロック図

クワッド データ レート レジスタ (QDR_REG)

クワッド データ レート レジスタは、IOB にある DDR 入力レジスタを含む DDR レジスタのツリーを使用して、入力 SDR データ用の 4:1 デシリアライゼーションを行います。各 DDR レジスタは、SDR の半分の周波数でグローバル クロック (CLK_dds) を使用しています。CLK_dds は、SDR リファレンス

クロックから派生しており、最高のパフォーマンスを得るために受信クロックと位相が一致しています。このモジュールのピンについては、図 17 および表 7 で示します。

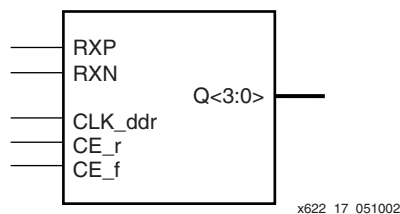


図 17: QDR_REG モジュール

表 7: QDR_REG モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	RXP RXN	LVDS データ
	CLK_dds	DDR グローバル クロック
	CE_r CE_f	立ち上がりエッジのクロック イネーブル 立ち下がりエッジのクロック イネーブル
出力	Q<3:0>	受信データ

このアプリケーション ノートに関連するレシーバ デザイン ファイルは、バンク 6 および 7 の中の左側をターゲットにしています。各 QDR_REG モジュールは、IOB に隣接する 2 個半の CLB リソースの半分を使用し、同じ列に 2 つのデータ チャネルを配置できます。最初の CLB ロケーションの列および行に RLOC_ORIGIN 属性を与える必要があります。図 18 に、XC2V3000-FF1152 デバイスに 2 つのデータ チャネルを配置した例を示します。この場合、配置制約は次のように UCF ファイルに追加されます。

```

INST    "U_rx/QDR_D8"          RLOC_ORIGIN = X0Y80;
NET     "RXP_data<8>"        LOC = N30;
NET     "RXN_data<8>"        LOC = P30;
INST    "U_rx/QDR_D9"          RLOC_ORIGIN = X0Y82;
NET     "RXP_data<9>"        LOC = R25;
NET     "RXN_data<9>"        LOC = P25;

```

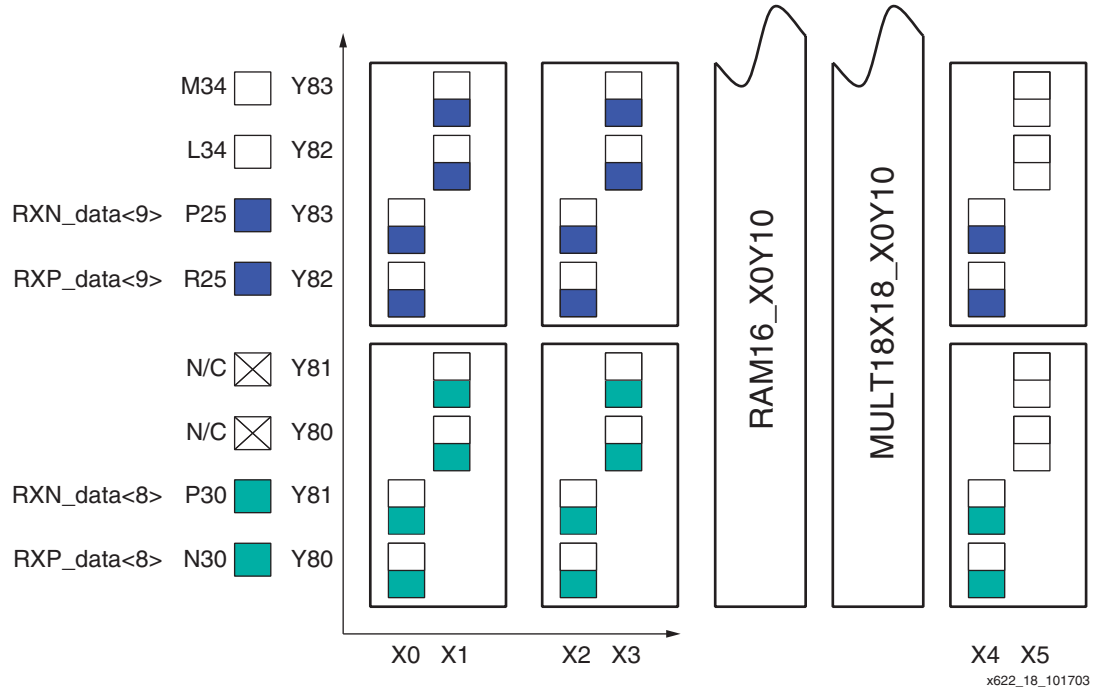


図 18：受信データ チャンネル フロアプラン

レシーバ クロック位相アライメント (CLKGEN)

レシーバ インターフェイスは、クロック位相アライメント回路をインプリメントしています。これにより、Virtex-II DCM の可変位相シフト機能を使用しながら、データ有効ウィンドウの中央にリファレンス クロックをアラインして最高のパフォーマンスを得ることができます。この CLKGEN モジュールのポートの詳細については、図 19 および表 8 を参照してください。

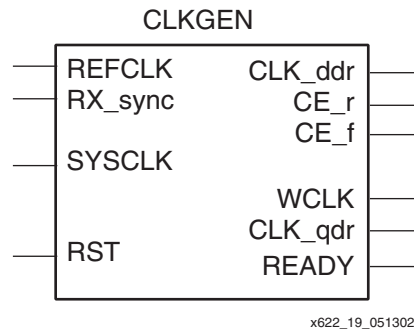


図 19：CLKGEN モジュール

表 8 : CLKGEN モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	REFCLK	リファレンス SDR クロック
	RX_sync	レシーバ位相シンクロナイゼーション入力
	RST	リセット
	SYSCLK	位相制御アライメントロジック用のシステム クロック
出力	CLK_dds	1/2 受信クロック
	CLK_qdr	1/4 受信クロック
	CE_r, CE_f	DDR クロック イネーブル信号
	WCLK	FIFO 書き込みクロック
	READY	アクティブ High クロック の ready ステータス

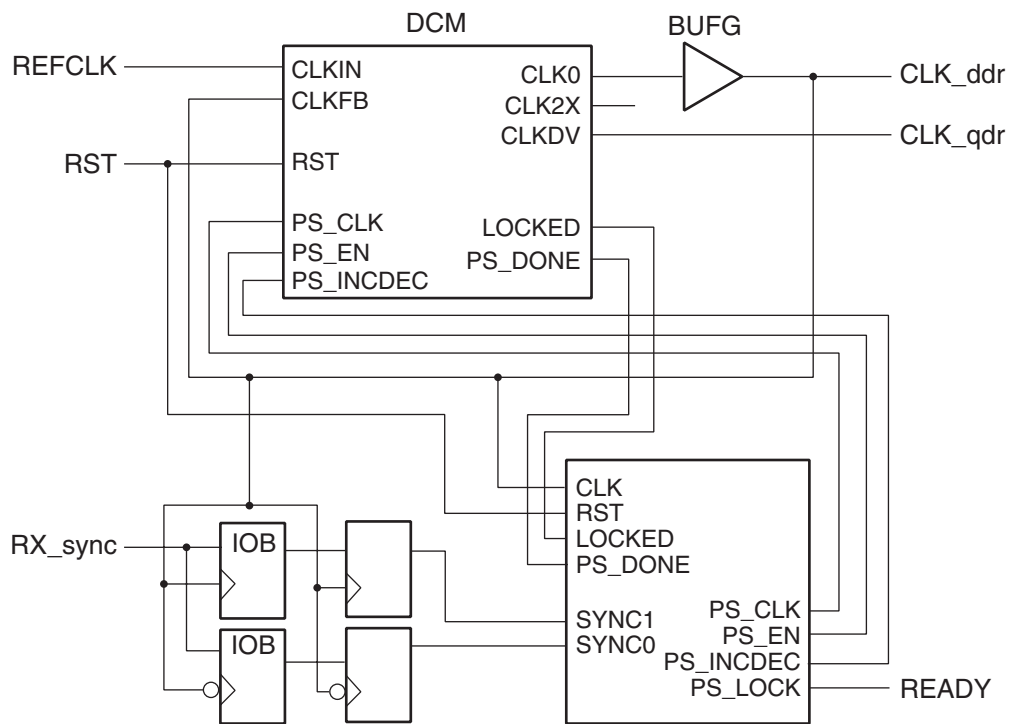
図 20 に、CLKGEN モジュールのブロック図を示します。このインスタンスの DCM は、CLKIN_DIVIDE_BY_2 属性を使用して、実際のクロック入力周波数をリファレンス SDR クロック周波数の半分になります。DCM (CLK0) の出力を BUFG に接続し、DDR グローバル クロックをレシーバデータチャンネルに与えます。RX_sync 入力は、IOB にある DDR レジスタのデータピンに接続され、CLK_dds グローバル クロックは、クロック入力に使用されます。この回路は、データと同一です。DDR 入力レジスタの出力は、位相同期化ロジックを通過する前にデバイスのレジスタに接続されています。

図 21 に、レシーバデータパターン、RX_sync、REFCLK、および 3 つの CLK_dds 信号のステートの波形を示します。実際に RX_sync は SDR クロック信号であるため、データチャンネルの 2 倍のクロック変遷があります。CLKGEN モジュールがリセットされると、DCM は REFCLK 信号をロックして位相のずれをゼロにする調整が開始します。

DCM がロックした後、RX_sync DDR レジスタが DDR レジスタの両方の出力から安定したロジック 0 を受け取るまで、位相調整ブロックは位相カウンタ (ps_count) をインクリメントします。位相カウンタは、値が 0 でなくなるまでインクリメントを続け、データ有効ウインドウの末尾 (zero_end) を示します。位相カウンタは、安定したロジック 1 が出力されるまでインクリメントを続け、データ有効ウインドウの開始 (ones_start) を示します。

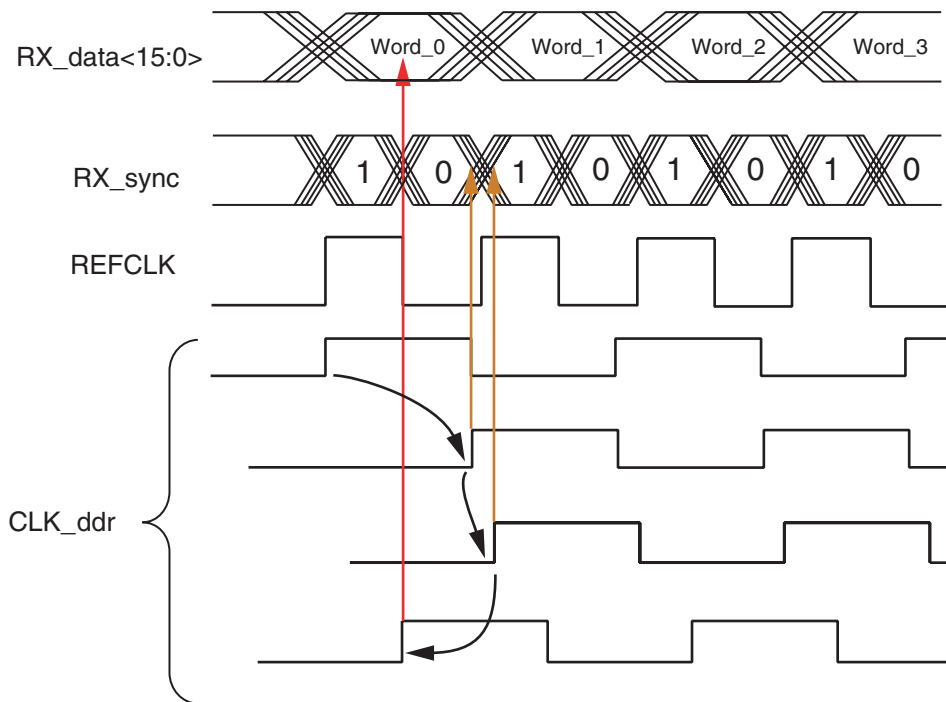
データ有効ウインドウ末尾の位相カウンタが 96 (SDR 周期の 75%) 以上の場合、有効ウインドウ (ps_compare) の中央は、論理式 $(zero_end + ones_start)/2 - 64$ で決定します。カウンタが 96 以下の場合は、次の安定した 0 ストリームの末尾が来るまで位相カウンタはインクリメントを続けます。データ有効ウインドウ (ps_compare) の中央は、論理式 $(ones_start + zero_end)/2$ で決定します。有効ウインド

ウ (ps_compare) の中央が決定すると、位相カウンタは ps_compare の値に達するまでデクリメントを続けます。



x622_20_051002

図 20 : CLKGEN ブロック図



x622_21_042403

図 21 : クロック位相の同期化

レシーバ FIFO (FIFO)

レシーバ クロック ドメインおよびシステム クロック ドメイン間のクロスには、512 x 64 ビット幅の FIFO を使用します。バッファ ステータス バス (BUFSTAT) は、FIFO の中に 16 x 64 ビット幅のブロックがいくつ残っているかを示します。

アクティブ High RST 信号は、読み出しおよび書き込みカウンタをリセットします。図 22 に、FIFO モジュールを示し、図 23 には、FIFO ブロック図を示します。また、表 10 では、このモジュールのピンについて説明しています。

FIFO インターフェイスの制御は、ユーザーが定義できます。一般的な制御システムは、バッファがほぼフル状態 (例 : BUFSTAT<3:0> = 1101) になり、読み出しを開始できるようになるまで待機し、バッファがほぼ空き状態 (例 : BUFSTAT<3:0> = 0010) になるまで読み出しを続けます。SYSCLK 周波数が CLK_qdr 周波数と同一の場合は、読み出しが開始された後に FIFO が空になることはありません。次の Verilog コードは、制御回路の例を示しています。

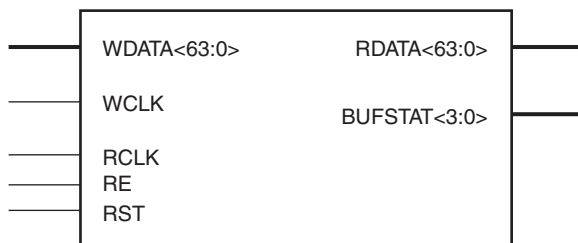
```
//
// RX FIFO control logic
//
always @ (posedge SYSCLK)
begin
  if (RST_i == 1'b1 || BUFSTAT < 4'b0010 )
    READ_ENABLE = 1'b0;
  else if (READY == 1'b1 && BUFSTAT == 4'b1101 )
    READ_ENABLE = 1'b1;
end
```

FIFO 書き込みデータは、1 つのブロック SelectRAM に 4 つのデータ チャネルがあり、次のようなマッピングになります。

```
RX_data<3:0>    FIFOBK0
RX_data<7:4>    FIFOBK1
RX_data<11:8>   FIFOBK2
RX_data<15:12> FIFOBK3
```

ブロック SelectRAM は、NCF ファイルの LOC 制約を使用して、IOB リングに最も隣接した場所に配置する必要があります。図 18 に、配置の例を示します。

```
INST U_fifo/FIFOBK1    LOC = RAMB16_X0Y10;
```



x622_22_050902

図 22 : FIFO モジュール

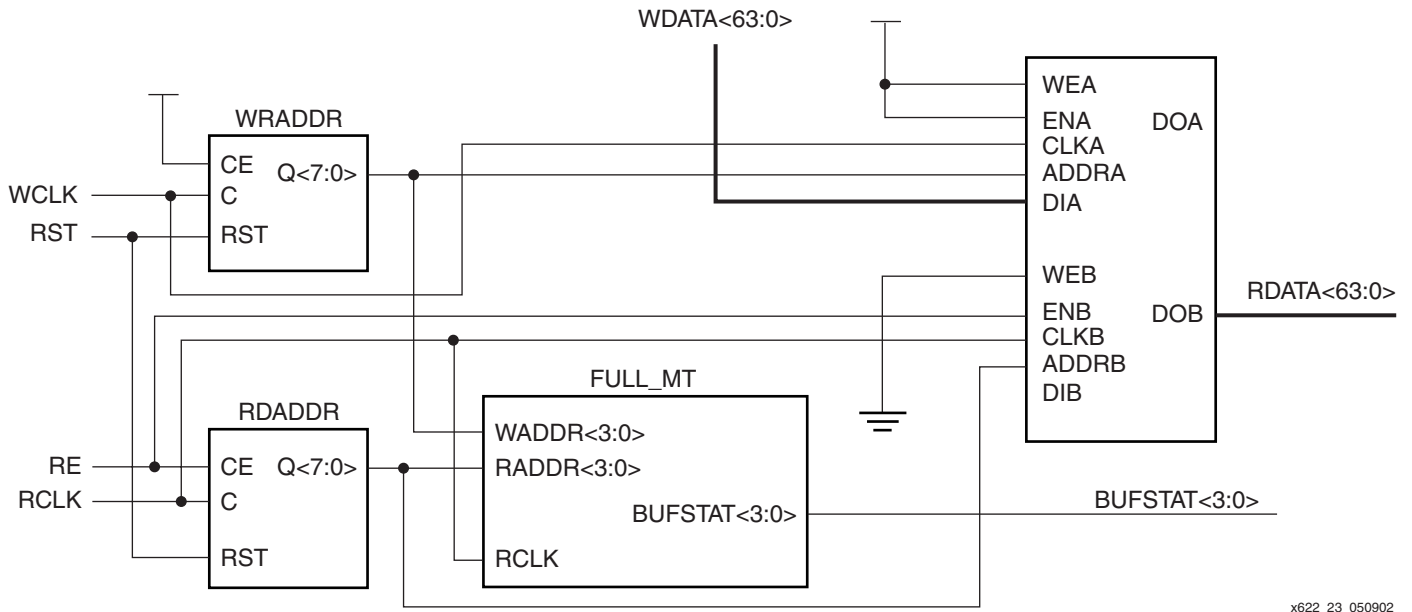


図 23 : FIFO ブロック図

表 9 : FIFO モジュールのピンの説明

I/O の種類	モジュールのピン名	説明
入力	WDATA<63:0>	書き込みデータ バス
	WCLK	書き込み CLK
	RCLK	読み出し CLK (システム クロック)
	RE	アクティブ High の読み出しイネーブル
	RST	アクティブ High の FIFO リセット
出力	RDATA<63:0>	読み出しデータ バス
	BUFSTAT<3:0>	バッファ ステータス

FULL_MT について

図 24 に、単に Full/Empty 状態を示すジェネレータの FULL_MT モジュールを示します。このモジュールは、書き込みアドレスを読み出しクロックドメインに同期させます。バッファ ステータスは、読み出しクロック (WCLK) に同期します。図 25 に、FULL_MT のブロック図を示します。表 10 では、このモジュールのピンについて説明しています。

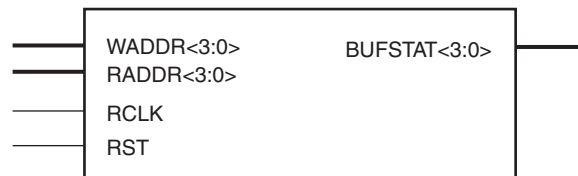
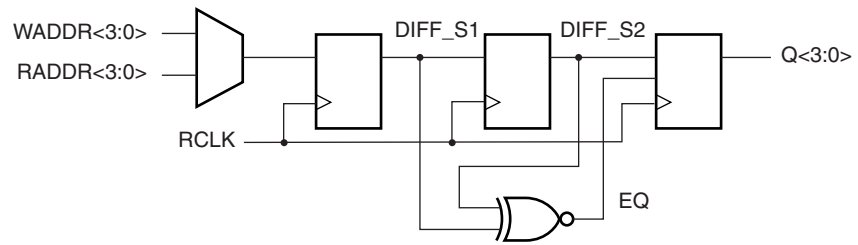


図 24 : FULL_MT モジュール



x622_25_061802

図 25 : FULL_MT のブロック図

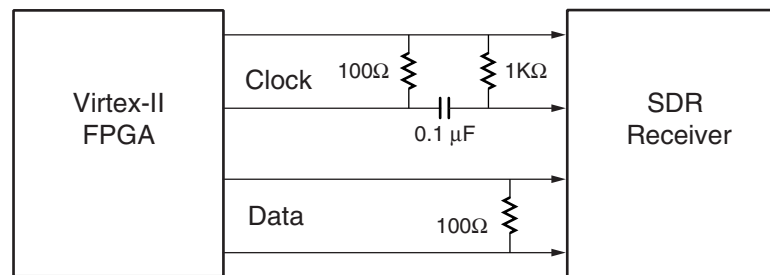
表 10 : FULL_MT モジュールのピンの説明

I/Oの種類	モジュールのピン名	説明
入力	WADDR<3:0>	書き込みアドレスバスの上位4ビット
	RADDR<3:0>	読み出しアドレスバスの上位4ビット
	RCLK	読み出しCLK
	RST	リセット
出力	BUFSTAT<3:0>	バッファステータス

PCB デザインの 考察

生成された差動データおよびクロック信号を PCB に配置するには注意が必要であり、トレース長も厳しく制限されます。すべての信号の遅延が同一であることが理想的です。クロックトレースで異なる遅延が生じる場合は、受信 DCM がこの遅延をある程度まで調整します。ただし、最良の回路動作を実現するには、すべてのデータおよびフレーム信号が、数ピコセカンド以内で一致する必要があります。トレースおよび PCB の物理的な特性については、[XAPP233](#) を参照してください。

差動クロック信号は、高速ではパルスが狭いため、500 MHz 以上でデューティサイクルが 2% 以上の差がある場合は、TXP および TXN 信号の電圧レベルを変えることができます。この変更は、[図 26](#) で示すように、0.1 μF キャパシタおよび 1 K Ω レジスタを使用して、AC 終端と DC バイアス回路を作成して容易に行うことができます。この回路または同等のものが PCB デザインに追加されないと、レシーバは有効な LVDS 入力レベルを受信できない可能性があります。



x622_26_051002

図 26 : AC 終端および DC バイアス回路

リファレンス デザイン

このアプリケーション ノートで示すインプリメンテーションの Verilog および EDIF デザインファイルは、次のザイリンクス FTP サイトからダウンロードできます。

<http://www.xilinx.co.jp/bvdocs/appnotes/xapp622.zip>

インプリメンテーションについての詳細は、readme.txt ファイルを参照してください。

まとめ

Virtex-II および Virtex-II Pro デバイスは、シングル データ レート 16 ビットの LVDS データ送信および受信をインプリメントできます。周波数はスピード グレードにより異なりますが、Virtex-II の場合は最大 644 MHz であり、Virtex-II Pro の場合は最大 700 MHz になります。さまざまなデバイスのパフォーマンスおよびデザイン要件などについては、表 12 を参照してください。

付録 A

差動クロック プリミティブの使用 (IBUFDS_DIFF_OUT)

クロック入力のために IBUFDS_DIFF_OUT プリミティブを効果的に使用するには、次の手順に従ってください。

- プリミティブをデザインの最上位層にインスタンスエートする。
- プリミティブにクロック入力ピン ロケーション制約を適用する。このピン ロケーション制約は、LVDS ポジティブ入力ピンである必要があります。表 11 に、このプリミティブを配置できる場所をパッケージごとに示します。
- プリミティブの 2 つの出力を、それぞれ 2 つのグローバル クロック (BUFG) に接続します。クロック ツリーへのスキューの少ない最適な配線を保証するため、ポジティブおよびネガティブ ターミナルを適切な BUFG へ接続する必要があります。

例

この例では、FF896 デバイスのバンク 4 の最上位 LVDS ペアにあるプリミティブを使用します。

Verilog コード

```
IBUFDS_DIFF_OUT IB_refclk
(.I( REFCLKP ), .IB( REFCLKN ), .O( REFCLK_in_p ), .OB(REFCLK_in_n ));
BUFG BG_sdr_p ( .I( REFCLK_in_p ), .O( CLK_sdr_p ) );
BUFG BG_sdr_n ( .I( REFCLK_in_n ), .O( CLK_sdr_n ) );
```

Verilog コードの場合、表 11 で示す制約された値の UCF ファイルは、次の行で記述される必要があります。

```
INST IB_refclk/IBUFDS LOC = AE15;
# This constraint uses input pins AE15 and AD15, where AE15 is + LVDS pin
INST BG_sdr_p LOC = BUFGMUX2P;
# This constraint is for the positive output of the primitive
INST BG_sdr_n LOC = BUFGMUX3S;
# This constraint is for the negative output of the primitive
```

表 11 : Virtex-II ファミリの入力制約

パッケージ タイプ	バンク番号	可能な入力位置 上位ペア : Pos*、Neg 下位ペア : Pos*、Neg	BUFGMUX の位置 (By Pin Pair) Pos*、Neg
FF896	Bank 0	G16*、H16	6S*、7P
		C16*、C17	4S*、5P
	Bank 1	C14*、C15	2S*、3P
		F14*、F15	0S*、1P
	Bank 4	AE15*、AD15	2P*、3S
		AH15*、AH14	0P*、1S
	Bank 5	AH17*、AH16	6P*、7S
		AD16*、AE16	4P*、5S

表 11 : Virtex-II ファミリの入力制約 (Continued)

パッケージ タイプ	バンク番号	可能な入力位置 上位ペア : Pos*, Neg 下位ペア : Pos*, Neg	BUFGMUX の位置 (By Pin Pair) Pos*, Neg
FF1152	Bank 0	J18*, K18	6S*, 7P
		E18*, E19	4S*, 5P
	Bank 1	E16*, E17	2S*, 3P
		H16*, H17	0S*, 1P
	Bank 4	AG17*, AF17	2P*, 3S
		AK17*, AK16	0P*, 1S
	Bank 5	AK19*, AK18	6P*, 7S
		AF18*, AG18	4P*, 5S
FF1517	Bank 0	J20*, H20	6S*, 7P
		D21*, C21	4S*, 5P
	Bank 1	F20*, F19	2S*, 3P
		H18*, H19	0S*, 1P
	Bank 4	AM20*, AL20	2P*, 3S
		AT19*, AU19	0P*, 1S
	Bank 5	AP20*, AP21	6P*, 7S
		AN22*, AN21	4P*, 5S
BF957	Bank 0	E16*, E17	6S*, 7P
		A17*, A18	4S*, 5P
	Bank 1	C15*, C16	2S*, 3P
		H15*, H16	0S*, 1P
	Bank 4	AL15*, AL14	2P*, 3S
		AJ15*, AH15	0P*, 1S
	Bank 5	AH17*, AJ16	6P*, 7S
		AD17*, AD16	4P*, 5S

メモ :

1. アスタリスク マーク (*) はポジティブ LVDS ピンを意味します。

SFI-4 および XSBI の互換性チェックリスト

Virtex-II および Virtex-II Pro デバイスは、SFI-4 Implementation Agreement revision 1.0 および IEEE P802.3ae draft 4.1 の XSBI 仕様に従っています。このアプリケーション ノートに関する Virtex-II および Virtex-II Pro デバイスの詳しいデザイン情報および要件については、表 12 を参照してください。

表 12: デバイスの互換性およびパフォーマンス

デバイス ファミリ	アレイ サイズ	スピード グレード	最大周波数
Virtex-II ファミリ	XC2V3000 まで	-5, -6	644 MHz
Virtex-II Pro ファミリ	XC2VP50 まで	-5	622 MHz
		-6	644 MHz
		-7	700 MHz

メモ:

1. テスト条件は、8.2pF の付加がついた 10 インチの FR4 で LVDSEXT を使用し、85 °C で低い電圧 (-5%) を使用しています。
2. テストされたすべての Virtex-II および Virtex-II Pro デバイスは、フリップ チップ技術を使用するパッケージです。ザイリンクスでは、高速 I/O を使用するアプリケーションには、フリップ チップ パッケージ デバイスの使用を推奨しています。

表 13 および表 14 に、Virtex-II デバイスに対する仕様の数値解析を示します。

表 13: Virtex-II デバイスにおける SFI-4 および LVDS SDR デザインの TX タイミング比較

内容	SFI-4 値	XSBI 値	Virtex-II デバイス値を使用した LVDS SDR デザイン
クロック周期	1/(622.08 MHz)	1/(644.53 MHz)	1/(622.08 MHz) for SFI-4 1/(644.53 MHz) for XSBI
デューティ サイクル = クロック周期で高い CLK パルス幅を分割	40/60	40/60	45/55
立ち上がり/立ち下がり時間 ¹ が 20%-80% 増加	100 - 250 ps	100 - 250 ps	400 ps
クロック エッジ ² に対するデータ無効ウインドウ	400 ps	400 ps	242 ps

メモ:

1. Virtex-II の立ち上がりおよび立ち下がり時間は、SFI-4 のドキュメントに記述されている範囲を超えますが、インターオペラビリティ (相互運用性) テストに基づき、Virtex-II デバイスは SFI-4 デバイスと互換性があります。
2. データ無効ウインドウには、システム ジッタ、クロック スキュー、およびパッケージ スキューの合計が示されます。

$$TX = (\text{Jitter} + T_{CKSSKEW} + T_{PKGSKEW})$$

表 14 : Virtex-II における SFI-4 および LVDS SDR デザインの RX タイミング比較

内容	SFI-4 値	XSBI 値	Virtex-II デバイス値を使用した LVDS SDR デザイン
クロック周期	1/(622.08 MHz)	1/(644.53 MHz)	1/(622.08 MHz) for SFI-4 1/(644.53 MHz) XSBI
デューティ サイクル = クロック周期で高い CLK パルス幅を分割	45/55	45/55	45/55
立ち上がり/立ち下がり時間 ¹ が 20%-80% 増加	100 - 300 ps	100 - 300 ps	400 ps
セットアップ時間およびホールド時間の合計。 クロック エッジ ² に対するデータ無効ウインドウ	Setup = 300 ps Hold = 300 ps データ有効ウインドウ = 600ps	データ有効ウインドウ = 600 ps	590 ps ²

メモ :

- Virtex-II の立ち上がりおよび立ち下がり時間は、SFI-4 のドキュメントに記述されている範囲を超えますが、インターオペラビリティ (相互運用性) テストに基づき、Virtex-II デバイスは SFI-4 デバイスと互換性があります。
- データ有効ウインドウには、サンプリング エラー、クロック スキュー、およびパッケージ スキューの合計が示されます。
 $RX = (T_{SAMP} + T_{CKSKEW} + T_{PKGSKEW})$
 T_{SAMP} は 500 ps です。(Virtex-II のデータシートで定義されています。) T_{CKSKEW} は、50 ps 以下です (SDR デザインのクロック分配の解析に基づいています)。この 2 つの値は固定です。慎重なピン配置、または PCB でのパッケージ スキューの低減を行うことにより、ピン間のスキューを 40 ps まで抑えることができます。

改訂履歴

次の表に、このアプリケーション ノートの改訂履歴を示します。

日付	バージョン	履歴
2002/05/17	1.0	初版リリース
2002/05/30	1.1	表 2 の改訂
2002/07/02	1.2	図 25 の改訂および「付録 A」の追加
2003/05/05	1.3	最新リファレンス デザインへの改訂
2003/08/05	1.4	IBUFDS_LVDS_DIFF を IBUFDS_DIFF_OUT に変更
2003/11/05	1.5	表 12 の追加および 図 18 の改訂
2004/02/02	1.6	表 12 の改訂
2004/04/27	1.7	表 11 のタイトル名の変更、および CS144、FG256、FG456、FG676、BG575、BG728 の削除。表 12 の脚注の変更。「Verilog コード」の INST IB_refclk/IBUFDS LOC 制約の変更。「まとめ」の変更。