



XAPP623 (v2.0) 2004 年 4 月 5 日

# 電力分配システム (PDS) のデザイン： バイパス キャパシタ / デカップリング キャパシタの使用

## 概要

このアプリケーション ノートでは、Virtex™ デバイス用の電力分配システムの設計方法について説明します。また、電力分配システムおよびバイパス キャパシタまたはデカップリング キャパシタの原理についても解説します。電力分配システムの設計方法および検証方法は手順ごとに説明し、最後のセクションでは、電源ノイズの発生原因とその解決方法について説明します。

## はじめに

FPGA で電力分配システム (PDS) を設計する場合、FPGA 独特の問題が発生します。ほとんどの大規模 IC (大規模なマイクロプロセッサなど) の場合は、バイパス キャパシタの条件が非常に限定されます。このようなデバイスは、特定の処理のみをインプリメントするようにハード シリコン内で設計されるため、電源条件が一定となり、変動は特定の範囲内に収まります。しかし、FPGA にはこのような特性がありません。FPGA では複数のクロック ドメインを使用し、任意の周波数でほぼ無限数のアプリケーションをインプリメントできるため、過渡電流の条件を予測することは非常に困難です。

新規の FPGA デザインで正確な過渡電流の動作を予測することは不可能であるため、FPGA PDS の最初のデザインを始める場合には、ワースト ケース デザインを使用することを推奨します。

デジタル デバイスの過渡電流は、高速デジタル デザインにおける問題点であるグラウンド バウンスの原因となります。ノイズが少ない場合または電力が大きい場合は、必要な過渡電流に合わせて電源デカップリング ネットワークを調整する必要があり、この調整を行わない場合には、グラウンド バウンスおよび電源ノイズがデバイスの制限を越えます。また、FPGA の過渡電流は、デザインごとに異なります。このアプリケーション ノートでは、それぞれの FPGA デザインの条件に適したバイパス ネットワークを設計する方法について説明します。

PDS デザインの最初の手順では、過渡電流の条件を決定するために FPGA の使用率を検証します。次に、この条件を満たすようにデカップリング ネットワークの概要を設計します。3 番目の手順では、シミュレーションを実行し、キャパシタ数および容量の修正を行って、デカップリング ネットワークを調整します。4 番目の手順では、完全なデザインを作成し、5 番目の手順でこのデザインのパフォーマンスを測定します。測定には、オシロスコープを使用しますが、電源ノイズを測定するためにスペクトラムアナライザを使用する場合もあります。測定結果によっては、特定のアプリケーションに適用するようにデバイス選択およびシミュレーションを繰り返して PDS を最適化する必要があります。6 番目の手順はオプションであり、完全に最適化された PDS が必要な場合のためのものです。

## デカップリング ネットワークの 基本原理

PDS のデザイン フローを開始する前に、関連する基本原理について理解することが重要です。ここでは、PDS の目的およびそのコンポーネントの特性について説明します。また、各キャパシタの配置とマウンティング、および推奨される PCB の形状とスタックアップについても説明します。

PDS の目的は、システム内のデバイスに電力を供給することです。システム内の各デバイスは、動作電力の条件だけでなく、電力変動の条件も異なります。すべてのザイリンクス FPGA を含むほとんどのデジタル デバイスには、すべての電源 ( $V_{CC}$ ) が標準値から上下に 5% 以上変動してはいけないという条件があります。このアプリケーション ノートでは、 $V_{CCINT}$ 、 $V_{CCO}$ 、 $V_{CCAUX}$ 、 $V_{REF}$  など、FPGA のすべての電源を表すために  $V_{CC}$  という記号を総称的に使用します。また、マルチ ギガビット トラン

© 2003-2004 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.com/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。  
保証否認の通知：Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けたくないことを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けたくないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。

シーバ (MGT) アナログ電源 ( $AV_{CCAUXTX}$ 、 $AV_{CCAUXRX}$ 、 $V_{TTX}$ 、 $V_{TRX}$ ) については記載していません。これらの電源に関する詳細は、『RocketIO™ トランシーバ ユーザー ガイド (参考文献 1)』を参照してください。

電源条件によって、電源ノイズの最大量 (多くの場合「リップル電圧」と呼ばれます) が規定されます。つまり、 $V_{CC}$  が標準値の  $\pm 5\%$  以内になければならないという条件のデバイスでは、ピーク間のリップル電圧が  $V_{CC}$  の標準値の  $10\%$  を越えてはいけません。ただし、これが成立するのは、 $V_{CC}$  の標準値がデータシートに記載されている値に正確に一致している場合であり、それ以外の場合は、標準値からのずれに合わせて  $V_{RIPPLE}$  の値を  $10\%$  未満に調整する必要があります。

すべての周波数範囲で、デジタル デバイスの消費電力は時間と共に変動し、その大きさも多様です。通常、消費電力変動の低周波成分は、デバイス全体またはデバイス内の大きい部分がイネーブルまたはディスエーブルになることによって生じます。この大きさは、アプリケーションによって数ミリ秒から数日の幅があります。また、消費電力変動の高周波成分はデバイス内でスイッチングが行われるごとに生じ、クロック周波数およびその初めのいくつかのクロック高調波で発生します。

デバイスの  $V_{CC}$  電圧レベルは一定であるため、電力変化条件は電流変化条件として示されます。PDS では、電源電圧の変化が最小限になるように電流変動を調整する必要があります。

デバイスの電流が変化した場合、電力分配システムがその変化に応答するまでには時間が必要になります。PDS が応答するまでの短時間に、デバイスの電圧が変化し、ここで電源ノイズが発生します。このように PDS が応答するまでに時間差が発生する原因は、PDS の 2 つの主なコンポーネントにあります。

PDS の主要なコンポーネントの 1 つは、電圧レギュレータです。電圧レギュレータは、出力電圧を確認し、電圧が一定に保たれるように供給する電流を調整します。一般的な電圧レギュレータは、この調整をミリ秒からマイクロ秒の範囲で行い、DC から数百キロヘルツの周波数範囲で出力電圧を維持できます (レギュレータによって異なります)。この範囲を越える周波数で発生する過渡状態では、新たに必要となった電圧レベルに対応するまでに遅延が生じます。たとえば、デバイス内の電流に対する要求がナノ秒単位で増加する場合には、電圧レギュレータによって必要なレベルの電流が供給されるまで、デバイスの電圧が低下します。この遅延は、マイクロ秒からミル秒の範囲で生じ、この間は電圧が低下します。

もう 1 つの主要なコンポーネントは、バイパス キャパシタまたはデカップリング キャパシタです。このアプリケーション ノートでは、「バイパス」および「デカップリング」という用語を同じ意味で使用します。キャパシタの役割は、エネルギーを局所的に貯蔵することです。キャパシタが貯蔵するエネルギーは少量であるため、DC 電力は供給できません (DC 電力は電圧レギュレータが供給します)。局所的にエネルギーを貯蔵することによって、電流条件の変化に対して非常に素早く応答できます。デカップリング キャパシタは、数百キロヘルツから数百メガヘルツの範囲にある周波数に対して、ミリ秒からナノ秒の単位で、電源電圧を維持できます。ただし、この範囲外では、デカップリング キャパシタは有効ではありません。たとえば、デバイス内の電流に対する要求がピコ秒単位で増加する場合には、デカップリング キャパシタが必要な電流をデバイスに供給できるまで、デバイスの電圧が低下します。デバイス内の電流に対する要求が変化し、その状態が数ミリ秒続く場合は、バイパス キャパシタと同時に機能している電圧レギュレータの出力が変化し、新しい電流を供給します。

図 1 に、PDS の主要なコンポーネントである電源、デカップリング キャパシタ、および電力が供給されるアクティブなデバイス (この場合は FPGA) を示します。

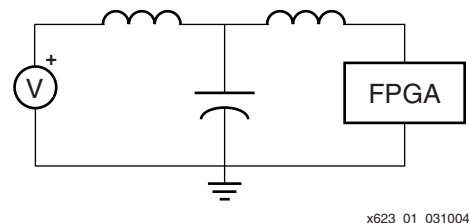


図 1: 単純化した PDS 回路

図 2 に、さらに単純化した PDS 回路を示します。この図には、周波数に依存する抵抗に分解したすべての無効成分を示しています。

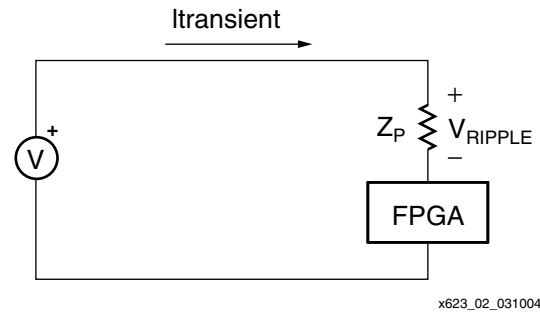


図 2： さらに単純化した PDS 回路

### インダクタンスの役割

キャパシタおよび PCB の電流バスには、電流の流れの変化を遅らせるという特性があります。このため、キャパシタは有効範囲を越える周波数で発生する変化や過渡電流に対して直ちには応答できません。この特性をインダクタンスと呼びます。

インダクタンスは、電荷の運動量と考えることができます。電荷がコンダクタをある速度で移動する場合に電流が発生し、電流レベルが変化すると、電荷は異なる速度で移動しなければなりません。この電荷には運動量(貯蔵された磁気エネルギー)があるため、電荷の速度が変化するまでに時間が必要となります。インダクタンスがより大きい場合は、変化に対する抵抗が大きくなり、電流レベルが対応するまでにより長い時間がかかります。

PDS の目的は、デバイスのどのような電流要求に対しても適応し、その変化に可能な限り迅速に応答することです。この要求を満たすことができない場合は、デバイス電源間の電圧が変化し、ノイズが発生します。インダクタンスは、変化する電流要求に対するバイパス キャパシタの応答速度が遅れる原因となるため、インダクタンスを最小限にする必要があります。

図 1 に、FPGA デバイスとキャパシタ間、およびキャパシタと電源レギュレータ間のインダクタンスを示します。これらのインダクタンスは、キャパシタ自体および PCB にあるすべての電流バスに対して寄生的に発生するため、各インダクタンスを最小限にすることが重要です。

### キャパシタの寄生インダクタンス

一般的に、最も重要なキャパシタの特性は容量値であると考えられますが、PCB PDS デザインでは、寄生インダクタンス(等価直列インダクタンス、ESL)がより重要です。

この寄生インダクタンスに最も影響を与える要素は、パッケージの寸法です。非常に簡潔で、物理的に小さいキャパシタは大きいキャパシタよりも寄生インダクタンスが小さくなります。短いワイヤは長いワイヤよりもインダクタンスが小さくなるのと同様に、短いキャパシタは長いキャパシタよりもインダクタンスが小さくなります。また、断面積が大きいワイヤは小さいワイヤよりもインダクタンスが小さくなるのと同様に、断面積が大きいキャパシタは断面積が小さいキャパシタよりもインダクタンスが小さくなります。

したがって、特定の容量値のデカップリング キャパシタを選択する場合は、最小のパッケージが適しています。同様に、パッケージサイズが決まっている場合は(インダクタンス値は一定)、そのパッケージで容量が最大のものを選択してください。

表面実装チップ キャパシタは最小のキャパシタであり、バイパス キャパシタに効率的です。通常、2.2  $\mu\text{F}$  以下で 0.001  $\mu\text{F}$  などの小さな値までの場合は、X7R または X5R タイプのキャパシタを使用します。このキャパシタは寄生インダクタンスが小さく、温度特性も条件を満たします。また、1000  $\mu\text{F}$  などの大きな値の場合には、タンタル キャパシタを使用します。このキャパシタは寄生インダクタンスが小さく、等価直列抵抗(ESR)が比較的大きいため、Q ファクタが小さくなり、非常に広範囲の周波数で有効で

す。さらに、このキャパシタは小さいパッケージ サイズの場合でも容量が比較的大きいため、ボード面積を節約できます。タンタル キャパシタを使用できない場合は、低インダクタンスの電解キャパシタを使用する方法や同様の特性を持った新しいテクノロジーを使用するという方法があります。

実際のキャパシタには、容量だけでなくインダクタンスおよび抵抗という特性があります。図 3 に、実際のキャパシタの寄生モデルを示します。実際のキャパシタは、RLC 回路として扱う必要があります。

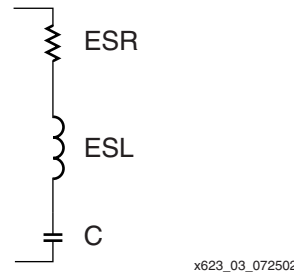


図 3：実際のキャパシタの寄生モデル

図 4 に、実際のキャパシタのインピーダンス特性を示します。この図には、キャパシタの容量および寄生インダクタンス (ESL) に対応する曲線も示します。この 2 つの曲線を組み合わせると、キャパシタの寄生容量によって形成される RLC 回路全体のインピーダンス特性が得られます。

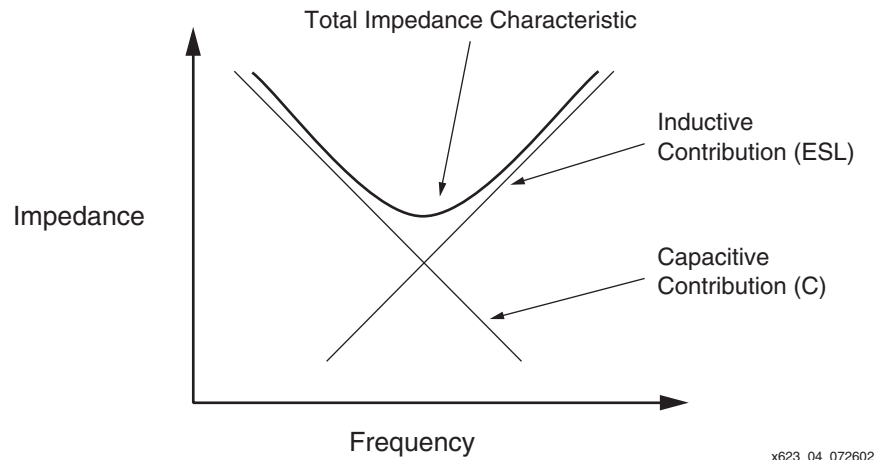


図 4：全体的なインピーダンス特性に対する寄生容量の影響

容量が大きくなると、容量曲線は左下に移動し、寄生インダクタンスが小さくなると、インダクタンス曲線は右下に移動します。同一パッケージの場合、キャパシタの寄生インダクタンスは一定であるため、インダクタンス曲線は固定されます。同一パッケージで異なる容量を選択する場合は、容量曲線は固定されたインダクタンス曲線に対して上下に移動します。したがって、パッケージが決定している場合、キャパシタで総インピーダンスを小さくする方法は、容量を大きくすることのみです。また、寄生インダクタンス曲線を下に移動し、総インピーダンス特性を小さくするためには、キャパシタを追加し、並列に接続する必要があります。

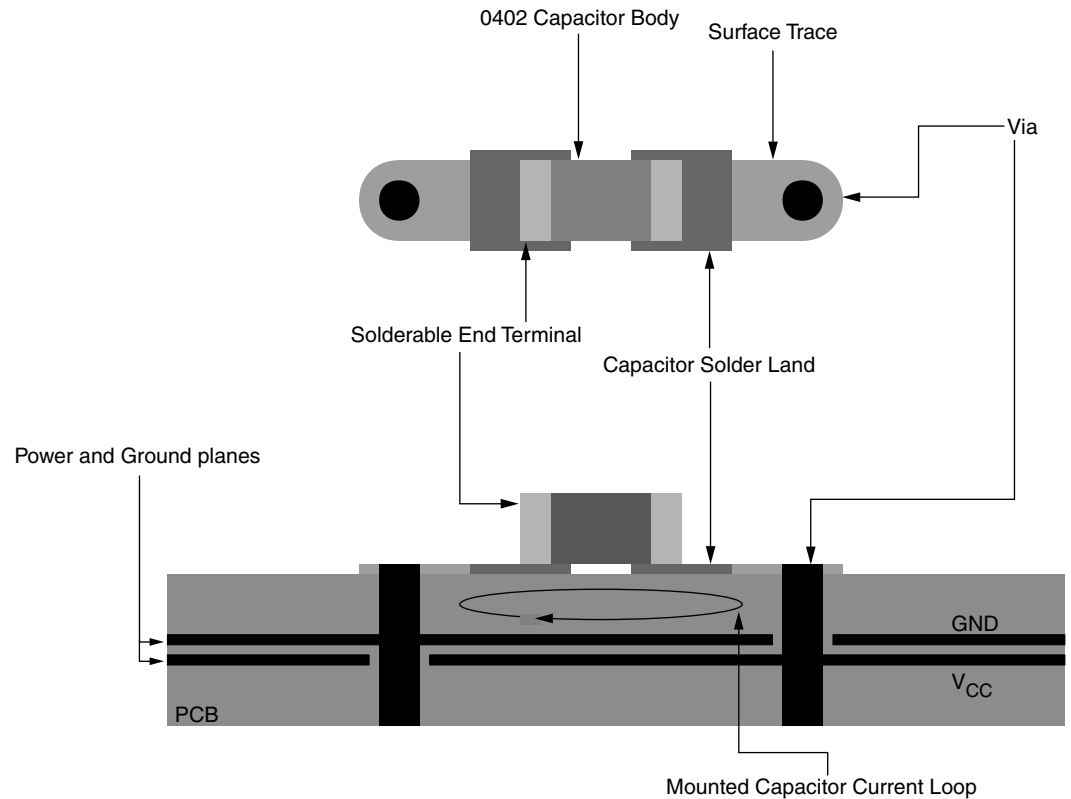
## PCB の電流パスにおけるインダクタンス

PCB の電流パスにおける寄生インダクタンスは、キャパシタのマウンティングおよび PCB の電源プレーンとグランド プレーンという 2 つの異なる部分で発生します。

### マウンティングのインダクタンス

このアプリケーション ノートでは、PCB 上でのキャパシタのはんだ付け (ランド)、ランドとビア間のトレース、ビア自体をマウンティングと呼びます。

マウンティングの形状によって異なりますが、ビア、トレース、およびパッドは 300 pH ~ 4 nH の範囲でインダクタンスに影響を与えます。電流パスのインダクタンスは電流が流れるループの面積に比例するため、この面積を最小にすることが重要です。図 5 に示すように、ループは、一方の電源プレーンから始まり、一方のビア、接続トレースからランド、キャパシタ、もう一方のランドと接続トレース、もう一方のビアを通り、もう一方のプレーンに至るまでのパスで形成されます。



X623\_05\_031204

図 5：キャパシタのマウンティングがある PCB の断面図

接続トレースを短縮することによって、ループ面積が小さくなり、インダクタンスが小さくなります。同様に、電流が流れるビアの長さを短縮することによってもループ面積が小さくなり、インダクタンスを小さくできます。

0402 Land Pattern, end vias, long traces, 4nH - BAD

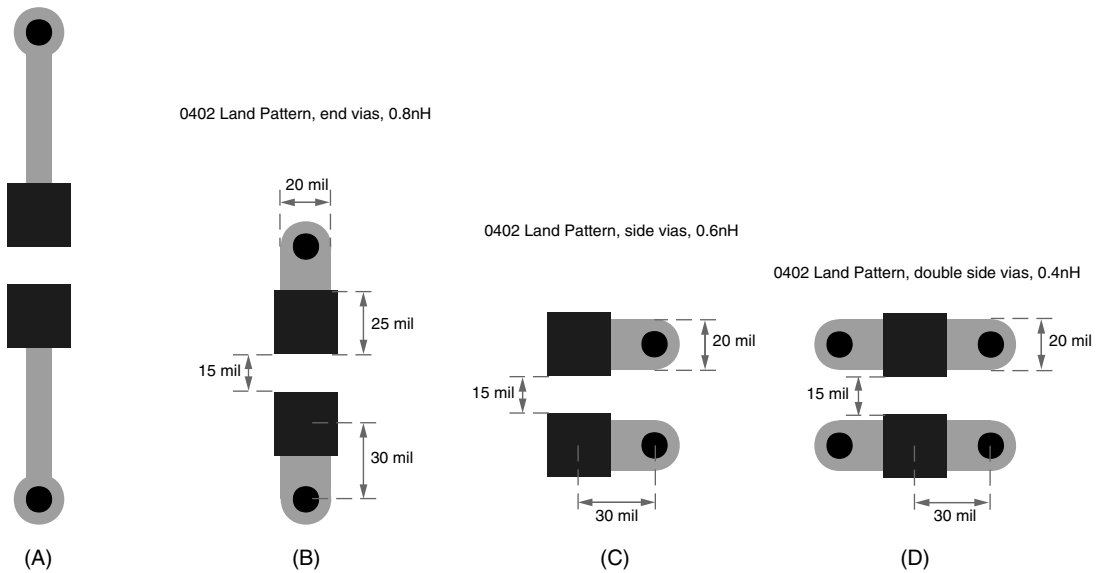


図 6：キャパシタのランドおよびマウンティングの形状例

接続トレースの存在および長さの両方またはいずれかは、マウンティングの寄生インダクタンスに大きな影響を与えます。可能な限り、図 6a のように接続トレースを使用せずに、図 6b のようにビアをランドに近づける必要があります。また、接続トレースはできるだけ広くしてください。図 6c のようにキャパシタのランドの横、または図 6d のようにビア数を倍にすることによっても、さらにインダクタンスを小さくできます。現在のところ、パッド内にビアを配置できる PCB 製造工程はほとんどありませんが、効果的なオプションの 1 つです。1 つのランドに対して複数のビアを使用する方法は、逆アスペクト比のキャパシタ (AVX の LICC) など、超低インダクタンスのキャパシタを使用する場合に重要です。

より多くのデバイスを小さなエリアで使用するために、1 つのビアに対して複数のキャパシタを接続するという方法もありますが、どのような場合においてもこの方法は使用しないでください。一般に、キャパシタのマウンティング (ランド、トレース、およびビア) には、キャパシタ自体の寄生インダクタンスと同量またはそれ以上のインダクタンスがあります。すでにキャパシタが接続されているビアに別のキャパシタを接続しても、PDS の特性はほとんど改善されません。キャパシタの総数を減らし、ランドとビアを 1 対 1 の割合で使用する場合の方がよい特性が得られます。

### プレーンのインダクタンス

PCB の電源プレーンおよびグランド プレーンにはインダクタンスがあり、この値は、プレーンの形状によって決定されます。

電源プレーンおよびグランド プレーンは平面的な構造であるため、電流は複数の方向に流れます。電流がある点から別の点に流れるときは、表皮効果と同じような特性に従って広がる傾向があります。このため、プレーンのインダクタンスは「拡散インダクタンス」として表され、単位は面積当たりのヘンリーです。インダクタンスは、プレーンのサイズではなく形状によって決定されるため、面積は重要ではありません。

拡散インダクタンスは、ほかのインダクタンスと同様に機能します。つまり、導体内の電流量の変化に抵抗を与えます。この場合の導体は、電源プレーンまたはグランド プレーンです。プレーン数が増加する場合、デバイス内の過渡電流に対するキャパシタの応答速度が遅くなるため、可能な限りプレーン数を減らす必要があります。通常、プレーンの XY 方向の形状はほとんど調整できないため、拡散インダクタンス値を調整します。この値は、主に電源プレーンおよびグランド プレーンを分割している誘電体の厚さによって決定されます。



このアプリケーション ノートで考察しているような高周波の電力分配システムでは、電源プレーンとグランド プレーンがペアとなって、デバイスが動作するため、それぞれに独立したインダクタンスはありません。電源プレーンおよびグランド プレーン ペアの拡散インダクタンスは、これらの間隔 (および材質の誘電率) によって決定されます。間隔に近いほど (誘電体が薄いほど)、拡散インダクタンスは小さくなります。表 1 に、厚さの異なる FR4 誘電体の拡散インダクタンス概算値を示します (参考文献 2)。

表 1: さまざまな厚さの FR4 電源 / グランド ペア サンドイッチの容量および拡散インダクタンス値

誘電体の厚さ (ミル、ミクロン)	インダクタンス (pH/面積)	容量 (pF/in <sup>2</sup> , pF/cm <sup>2</sup> )
4, 102	130	225, 35
2, 51	65	450, 70
1, 25	32	900, 140

このように、狭い間隔では拡散インダクタンスが小さくなるため、スタックアップ内の  $V_{CC}$  プレーンと GND プレーンは可能な限り隣接させてください。隣接した  $V_{CC}$  プレーンと GND プレーンは、「サンドイッチ」と呼ばれることがあります。 $V_{CC}$  と GND のサンドイッチは、従来の技術では必ずしも使用する必要はありませんでしたが、高速な大規模 IC で要求される速度および電力を実現するためには必要となっています。

電源とグランドのサンドイッチによって、電流パスのインダクタンスが小さくなるだけでなく、高周波デカップル容量が得られます。プレーンの面積が大きくなり電源プレーンとグランド プレーンの間隔が狭くなる場合、この容量値は大きくなります。同時に、この容量の寄生インダクタンスが小さくなるため、周波数の中心は変化せず有効な周波数帯域が広がります。表 1 に、平方インチ当たりの容量も示します。

通常、この容量だけでは電源とグランドのサンドイッチを使用する利点として十分ではありませんが、拡散インダクタンスが小さくなることに加えてこの容量も得られることを考えると、有効な利点であると言えます。

### PCB スタックアップおよびレイヤの順序

PCB スタックアップにおける  $V_{CC}$  プレーンおよびグランド プレーンの位置 (レイヤの順序によって決定) は、電流パスの寄生インダクタンスに大きな影響を与えます。このため、PCB の設計を行う場合は、早い段階でレイヤの順序を決定し、優先的に使用する電源をスタックアップの半分より上方で使用し、優先度の低い電源は下方で使用します。

電源の過渡電流が高い場合、その電源がある  $V_{CC}$  プレーンを PCB スタックアップの表面 (FPGA 側) 近くにし、電流が  $V_{CC}$  プレーンおよび GND プレーンに到達するまでに  $V_{CC}$  ビアおよび GND ビアを流れる垂直方向の距離を短縮してください。前述したように、拡散インダクタンスを小さくするために、すべての  $V_{CC}$  プレーンには同一スタック内で隣接する GND プレーンを配置する必要があります。高周波電流は表皮効果により強く連結され、 $V_{CC}$  プレーンに隣接したグランド プレーンには電流の多くが流れる傾向があります。このため、隣接した  $V_{CC}$  プレーンおよび GND プレーンはペアと考えられます。

一般に、PCB スタックアップは誘導体の厚さおよびプリントされた銅エリアを中心として対称的でないといけないという製造上の制約があるため、 $V_{CC}$  プレーンと GND プレーン ペアが PCB スタックアップの半分より上方にない場合もあります。PCB 設計者は、どの  $V_{CC}$  プレーンと GND プレーン ペアの優先度が高く、高周波電流を持つか、あるいはどのペアの優先度が低く、低周波電流を持つかを確定する必要があります。

### キャパシタの有効周波数

すべてのキャパシタには、デカップリング キャパシタとして最も有効になる狭い周波数帯域があり、この帯域外では、PDS に対してほとんど影響がありません。周波数帯域は、キャパシタによって異なります。キャパシタの ESR によってその Q ファクタ (Q) が決定し、有効な周波数帯域が決定します。たと

例えば、一般にタンタル キャパシタの有効帯域は非常に広く、X7R および X5R チップ キャパシタは ESR が低いために有効帯域が狭くなっています。

有効周波数帯域は、キャパシタの共振周波数に対応します。理想的なキャパシタには容量という特性しかありませんが、実際のキャパシタには寄生インダクタンス ESL および寄生抵抗 ESR も存在します。これらの寄生特性によって、図 3 に示すように RLC 回路が形成されます。この RLC 回路に関連する共振周波数が、キャパシタの共振周波数です。

RLC 回路の共振周波数を計算するためには、次の式を使用します。

$$F = \frac{1}{2\pi\sqrt{LC}} \quad \text{式 1}$$

共振周波数を求める別の方法として、回路の周波数について SPICE シミュレーションを実行できます。この場合、インピーダンス値が最小になる周波数が共振周波数です。

キャパシタの自己共振周波数とシステムの一部として実装した場合に有効な共振周波数を区別することは重要です。この違いは、キャパシタの寄生インダクタンスのみを考慮に入れるか、それに加えてキャパシタと FPGA 間にあるビア、プレーン、接続トレースのインダクタンスも考慮に入れるかということです。キャパシタの自己共振周波数  $F_{RSELF}$  の値 (キャパシタのデータシートに記載されています) は、システム内における実効共振周波数  $F_{RIS}$  よりも非常に高くなります。キャパシタを実装した場合のパフォーマンスが重要であるため、大きな PDS の一部としてキャパシタを評価する場合には実効共振周波数を使用します。

実装した場合の寄生インダクタンス値は、主にキャパシタ自体の寄生インダクタンス、PCB のランドと接続トレースのインダクタンス、ビアのインダクタンス、および電源プレーンのインダクタンスによって決定されます。通常、キャパシタがボードの裏面に取り付けられた場合、ビアはボードのスタックアップ全体を通ります。このようなビアの場合、最終的な厚さが 60 ミルのボード上でのインダクタンスは、300 pH ~ 1,500 pH の範囲になり、ボードが厚い方がインダクタンスは大きくなります。各キャパシタには直列に並んだパスが 2 つずつあるため、キャパシタの寄生インダクタンスにこの値の 2 倍を加える必要があります。キャパシタのマウンティングの寄生インダクタンス値を、 $L_{MOUNT}$  と表します。システム内のキャパシタの総寄生インダクタンス  $L_{IS}$  を計算するためには、キャパシタ自体の寄生インダクタンス  $L_{SELF}$  をマウンティングの寄生インダクタンス  $L_{MOUNT}$  に加えます。

$$L_{IS} = L_{SELF} + L_{MOUNT}$$

例

X7R セラミック チップ キャパシタ (AVX のキャパシタ データを使用)

$$C = 0.01 \mu\text{F}$$

$$L_{SELF} = 0.9 \text{ nH}$$

$$F_{RSELF} = 53 \text{ MHz}$$

$$L_{MOUNT} = 0.8 \text{ nH}$$

システム内の実効寄生インダクタンス ( $L_{IS}$ ) を計算するためには、ビアの寄生インダクタンスを加えます。

$$L_{IS} = L_{SELF} + L_{MOUNT} = 0.9 \text{ nH} + 0.8 \text{ nH} = 1.7 \text{ nH}$$

$$L_{IS} = 1.7 \text{ nH}$$

この値を使用すると、次のようになります。

$$F_{RIS} = \frac{1}{2\pi\sqrt{L_{IS}C}}$$



$$F_{RIS} = \frac{1}{2\pi\sqrt{(1.7 \times 10^{-12} \text{ H}) \cdot (1 \times 10^{-8} \text{ F})}} = 3.8 \times 10^7 \text{ Hz}$$

実装したキャパシタの共振周波数  $F_{RIS} = 38 \text{ MHz}$

デカップリング キャパシタは共振周波数周辺の狭い周波数帯域でのみ有効であるため、デカップリング ネットワークを構築するために複数のキャパシタを選択する場合は、共振周波数を考慮することが重要 です。

### キャパシタの反共振周波数

PDS 全体のインピーダンスにおける反共振スパイクは、FPGA の PDS で使用されるキャパシタに共通 した問題の 1 つです。これらのスパイクは、PDS 内のエネルギー貯蔵デバイス (たとえば、個々のキャ パシタ、寄生インダクタンス、電源プレーンおよびグランド プレーンなど) の不適切は組み合わせによっ て発生します。特に、電源プレーンおよびグランド プレーン内部のキャパシタに高周波成分のあるロー インピーダンスがある場合、高周波キャパシタとプレーン キャパシタ間のクロスオーバー ポイントが ハイ インピーダンスの反共振ピークを示す可能性があります。この周波数で、FPGA が多くの過渡電流 を必要とする場合は (スティミュラスのように動作します)、結果としてノイズ電圧が大きくなります。 PDS は、反共振スパイクのインピーダンスを小さくすることによってのみ改善できるため、この問題の 影響を少なくするためには、個々の高周波キャパシタの特性、または  $V_{CC}$  プレーンおよびグランド プレーンの特性を変更する必要があります。

### キャパシタの配置

デカップリング機能を有効にするためには、キャパシタをデバイスの近くに配置する必要があります。 これには、主に 2 つの理由があります。

1 つ目の理由は、デバイスとデカップリング キャパシタの間隔が大きい場合は、電源プレーンおよびグ ランド プレーンで電流が流れる距離が長くなり、デバイスとキャパシタ間の電流パスのインダクタンス が大きくなります。このパス (電流がキャパシタの  $V_{CC}$  側から FPGA の  $V_{CC}$  ピンに流れるときのルー プおよび FPGA の GND ピンからキャパシタの GND 側に流れるときのループ) のインダクタンスは ループの面積に比例するため、この面積を小さくすることによってのみ、インダクタンスを小さくでき ます。つまり、デバイスとデカップリング キャパシタ間の距離を短縮するとインダクタンスが小さくな り、過渡電流が流れやすくなります。ただし、PCB のサイズを考えると、キャパシタの配置に関しては 次の理由の方が重要になります。

2 つ目の理由は、FPGA のノイズ ソースとマウンティング キャパシタ間の位相関係に関連し、この関係 によって、キャパシタがどの程度有効であるかが決定されます。キャパシタが特定の周波数 (キャパシタ に最適な周波数など) で過渡電流を供給できるようにするためには、その周波数に対応する波長のある 比率内にキャパシタを配置する必要があります。キャパシタの配置によって、キャパシタと FPGA 間の 相互接続伝送ライン (この場合は、電源とグランド プレーン ペア) の長さが決定します。この相互接続 ラインで発生する伝搬遅延が、キャパシタ配置に重要な要素となります。

FPGA からのノイズは特定の周波数帯域に分かれ、デカップリング キャパシタが対応する周波数帯域は そのサイズによって異なります。このため、キャパシタの配置は、各キャパシタの実効周波数に基づい て決定されます。

FPGA で電流条件が変化すると、電源プレーンおよびグランド プレーンの PDS 電圧にわずかな乱れが 生じます。これをデカップリング キャパシタで打ち消すためには、まずキャパシタが電圧の変化を検出 する必要があります。FPGA の電源ピンで電圧が変化してからキャパシタがそれを検出するまでには有 限の時間がかかり、この遅延は、FPGA の電源ピンからキャパシタまでの距離を FR4 誘電体 (電源プ レーンが埋め込まれている PCB のサブストレート) を通る電流の伝搬速度で割った値に等しくなりま す。さらに、電流がキャパシタから FPGA に到達するまでの時間にも同じ値の遅延があります。

つまり、FPGA で過渡電流が発生すると、FPGA でその過渡状態が解消されるまでにキャパシタとの間を往復する遅延が生じます。配置間隔がある周波数における波長の 4 分の 1 より大きい場合、FPGA に伝送されるエネルギーはごくわずかになります。

一方、配置間隔が波長の 4 分の 1 より小さい場合には、FPGA に伝送されるエネルギーが大きくなり、距離が 0 の場合に 100% が伝送されます。キャパシタから FPGA へのエネルギー伝送が有効であるためには、FPGA の電源ピンから 4 分の 1 波長にキャパシタを配置しなければなりません。キャパシタは、その共振周波数をわずかに越える周波数でも有効であり、その場合は対応する波長が短くなるために、波長に対する比率は小さい値である必要があります。

実際のアプリケーションでは、4 分の 1 波長の 10 分の 1 が適当な目標です。つまり、デカップルしている電源ピンの波長の 40 分の 1 以内にキャパシタを配置することになります。この波長は、実装したキャパシタの共振周波数である  $F_{RIS}$  に対応します。

#### 例

0.001  $\mu$ F X7R セラミック チップ キャパシタ、0402 パッケージの場合

$$L_{IS} = 1.6 \text{ nH}$$

$$F_{RIS} = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{1.6 \times 10^{-9} \times 0.001 \times 10^{-6}}} = 125.8 \text{ MHz}$$

式 2 では、共振周波数に対応する時間である  $T_{RIS}$  を  $F_{RIS}$  から算出します。

$$T_{RIS} = \frac{1}{F_{RIS}} = \frac{1}{125.8 \times 10^6} = 7.95 \text{ ns} \quad \text{式 2}$$

式 3 では、 $T_{RIS}$  および FR4 誘電体の伝搬速度から波長を算出します。

$$\lambda = \text{Wavelength} = \frac{T_{RIS}}{V_{PROP}} \quad \text{式 3}$$

$$\text{ただし } V_{PROP} = 166 \times 10^{-12} \frac{\text{s}}{\text{inch}}$$

$$\lambda = \frac{T_{RIS}}{V_{PROP}} = \frac{7.95 \times 10^{-9}}{166 \times 10^{-12}} = 47.9 \text{ inches}$$

$$R_{PLACE} = \frac{\lambda}{40} \quad \text{式 4}$$

$$R_{PLACE} = \frac{\lambda}{40} = \frac{47.9 \text{ inches}}{40} = 1.20 \text{ inches}$$

この例では、実効周波数は共振周波数に等しく、式 1 を使用すると 125.8 MHz になります。式 2 を使用してこの値の逆数を計算すると、共振期間として 7.95 ns が得られます。また、式 3 で FR4 における電流の伝搬速度 (約 166 ps/インチ) を使用し、キャパシタに対応する波長を計算すると、約 48 インチという値が得られます。式 4 で計算したように、この値の 40 分の 1 は 1.2 インチであるため、このサイズのキャパシタの配置半径 ( $R_{PLACE}$ ) は、デカップルしている電源ピンおよびグランド ピンから 1.2 インチ (3.0 cm) 以内となります。

サイズが異なるキャパシタの場合も、同様に計算できます。1.2 インチという半径は、現在の PCB 技術ではそれほど困難ではなく、PCB の裏側でデバイスの下にキャパシタを配置する必要はありません。この半径内であれば、デバイスの周辺にキャパシタを実装できます。0.001  $\mu$ F のキャパシタは、デカップリング ネットワークの中で最も小さいものであるため、配置半径を 1 インチ未満にする必要はありません。

ん。容量が大きいキャパシタの場合は、共振周波数が小さくなり、配置半径が大きくなります。たとえば、4.7  $\mu\text{F}$  キャパシタの場合、目標とすべき半径は、ほとんどの PCB より大きい 98 インチ (1.56 MHz という共振周波数に対応) であるため、ボード上の任意の位置に配置できます。

#### キャパシタの配置例

図 7 に、キャパシタの配置を含む PCB 裏側の配置例を示します。黒く塗られている部分は銅メッキを示し、赤い部分はビア、青い部分はシルクスクリーン ラベル、そして紫はパッケージの輪郭を示します。FPGA のフットプリントは、図の中央上側に示されている規則的に配置された赤いビアの点として見ることができます。デバイスの中央を横切るようなビアがない部分は、表面のはんだ付けランドに関連したビアを避けるようにしていることを示します。

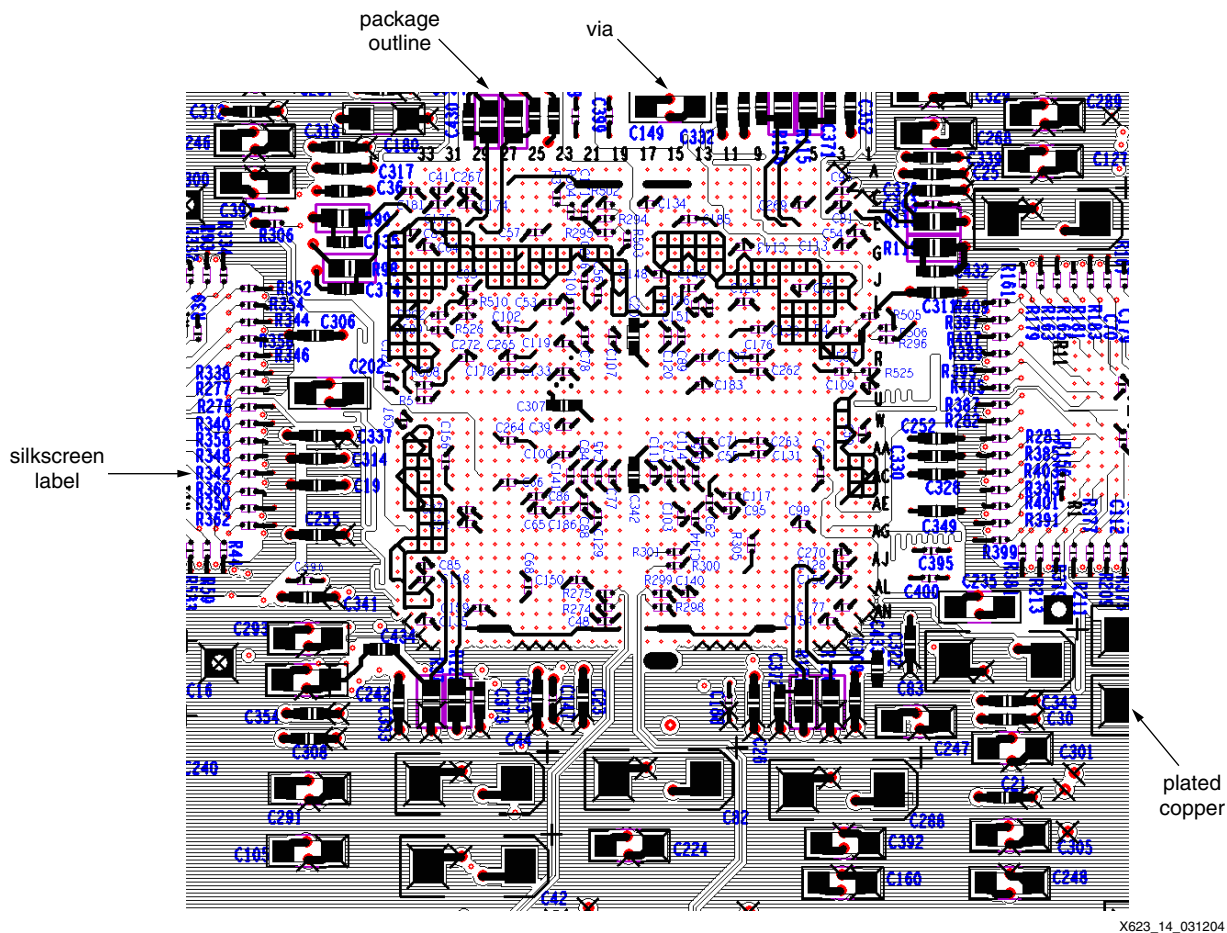


図 7: キャパシタ配置を示す PCB 裏側の配置例

この例で、高周波 0402 デカップリング キャパシタの多くは、ボードの反対側にある FPGA のフットプリント内に配置されています (C150、C117)。また、少数の 0603 デカップリング キャパシタおよび終端レジスタが使用されています (C307、R274)。より大きなキャパシタ (C247、C288) は FPGA から移動され、FPGA フットプリント外部に配置されています。

キャパシタ ランドをビアに接続するトレースは、可能な限り短くします。さらに、はんだ付けランド間の距離が広い、大きなパッケージ キャパシタ (C42、C224) では、ビアをはんだ付けランド間に使用し、マウンティングの寄生インダクタンスを小さくします。

必ずしも FPGA のフットプリント内に高周波キャパシタを配置する必要はありません。すべての  $V_{CC}$  プレーンとグランド プレーンが隣接し、厚さが 4 ミル以下の誘電体で分割されている場合には、すべてのキャパシタをデバイス周辺に配置できます。また、 $V_{CC}$  プレーンとグランド プレーン ペアがスタックアップの上半分にある場合 (デバイスにより隣接しています) は、キャパシタをボード表面の上部でデバイス周辺に配置することが効率的です。

多数の外部終端レジスタを使用する際には、これらのレジスタの配置をデカップリング キャパシタの配置よりも優先してください。デバイスからの同心円で考えると、終端レジスタが最もデバイスに近く、次に値の小さなデカップリング キャパシタ、そして値の大きなデカップリング キャパシタを配置します。

## PDS のデザイン および検証

電力分配システムの基本的な動作原理について説明したので、ここでは PDS のデザインおよび検証方法を手順ごとに説明します。

### 手順 1 : FPGA のクリティカルなパラメータの決定

デカップリング キャパシタ ネットワークのデザインにおける最初の基本的な目標は、デバイスで使用する各  $V_{CC}$  ピンごとに 1 つのキャパシタを使用することです。したがって、各電源に対して実際に有効な  $V_{CC}$  ピン数を決定する必要があります。

ほとんどのデザインでは、FPGA リソースを 100% 使用することはありません。FPGA パッケージおよび FPGA 内部の PDS は、過度に控えめにならずチップを 100% 使用する場合の条件を満たすように、非常に注意深くサイズが決定されています。各パッケージの  $V_{CC}$  ピンおよび GND ピンの数は、FPGA を 100% 使用する場合の条件に基づいて決定され、この決定要因は DC 電力の処理能力ではなく過渡電流のインピーダンスです。デカップリング キャパシタの場合も過渡電流のインピーダンスに基づいて決定されるため、条件は非常に類似します。したがって、各電源の  $V_{CC}$  ピンの数は、その電源に必要なキャパシタの数を決定するための指標となります。すべての電源、 $V_{CCINT}$ 、 $V_{CCAUX}$ 、 $V_{CCO}$  および  $V_{REF}$  を考慮してください。

すべてのピンを使用する場合にのみ、各  $V_{CC}$  ピンに対して 1 つのキャパシタが必要であり、 $V_{REF}$  として使用しない場合は、 $V_{REF}$  ピンをデカップルする必要はありません。逆に、 $V_{CCAUX}$  ピンおよび  $V_{CCINT}$  ピンは完全なデカップルである必要があります。つまり、必ず各ピンに 1 つずつキャパシタが必要です。 $V_{CCO}$  は、I/O 使用率に応じて指定できます。

#### $V_{CCO}$ ピンの指定

デバイスが使用する  $V_{CCO}$  ピンの数は、デバイス ドキュメント (データ シートおよびユーザー ガイド) に記載されている同時スイッチング出力 (SSO) の制限に基づいて決定できます。この制限によって、各バンクのピンの数が計算され、各バンクにおける I/O リソースの使用率によって使用されるピンの割合がわかります。この使用率は、事実上  $V_{CCO}$  ピンの使用率を表します。

#### 例 : XC2V3000 FF1152 を使用する場合

ここでは、単一バンクの例およびデバイス全体の例を示します。

##### 単一バンクの例

たとえば、バンク 0 に 80 個の出力があり、それぞれが高速モードで 12 mA の 3.3V LVCMOS ドライバとして設定されているデザインについて考えます。

データシートの SSO の表には、高速モードの 12 mA、3.3V LVCMOS ドライバの制限は  $V_{CC}/GND$  ペアごとに 10 であると記載されています。このデバイスには、各バンクごとに 13 本の  $V_{CCO}$  ピンがあるため、各バンクに対する I/O ドライバの制限は 130 です。

バンク 0 では 80 個の出力を使用するため、バンク全体における使用率は、次のようになります。

$$\text{バンク 0 の使用率} = \text{使用数/制限} = 80/130 = 62\%$$

### デバイス全体の例

この例におけるデバイスの I/O の使用率を表 2 に示し、『Virtex-II Platform FPGA ユーザー ガイド』(参考文献 3) に記載されている  $V_{CC}/GND$  ペア SSO 制限値から計算した各標準に対するバンクごとの SSO 制限を表 3 に示します。

表 2: デバイス全体を使用する例における各バンクの I/O 使用率

バンク数	電圧	I/O 使用率	I/O 標準
バンク 0	3.3V	80	LVC MOS_12F
バンク 7	3.3V	80	LVC MOS_12F
バンク 1	1.5V	16	LVDCI
バンク 6	1.5V	16	LVDCI
バンク 2	1.8V	32	HSTL_1
		45	LVC MOS_12F
バンク 3	1.8V	32	HSTL_1
		45	LVC MOS_12F
バンク 4	1.8V	32	HSTL_1
		45	LVC MOS_12F
バンク 5	1.8V	32	HSTL_1
		45	LVC MOS_12F

表 3: デバイス全体を使用する例における I/O 標準ごとの SSO 制限

I/O 標準	バンクごとの SSO 制限
3.3V LVC MOS_12F	130
1.5V LVDCI	130
1.8V HSTL_1	260
1.8V LVC MOS_12F	117

バンク 0、7、1、6 については、単一バンクの例と同様に計算します。しかし、バンク 2、3、4、5 には 2 種類の I/O 標準があるため、各標準について別々に計算し、2 つを組み合わせます。

バンク 2、3、4 および 5 の場合：

1.8V HSTL\_1:

$$\text{使用率} = \text{使用数} / \text{制限} = 32 / 260 = 13\%$$

1.8V LVC MOS\_12F:

$$\text{使用率} = \text{使用数} / \text{制限} = 45 / 117 = 39\%$$

各バンクの総使用率：

$$13\% + 39\% = 52\%$$

表 4 に、デバイスの各バンクの使用率を示します。

表 4: デバイス全体を使用する例における各バンクの使用率

バンク数	使用率
バンク 0	62%
バンク 7	62%
バンク 1	12%
バンク 6	12%
バンク 2	52%
バンク 3	52%
バンク 4	52%
バンク 5	52%

各バンクで使用する  $V_{CC0}$  ピンの数 (表 5) は、各バンクの  $V_{CC0}$  ピンの数に使用率を掛けることによって計算できます。

表 5: 使用する  $V_{CC0}$  ピンの数

バンク数	計算式	使用するピンの数
バンク 0	13 本 × 62%	8 本
バンク 7	13 本 × 62%	8 本
バンク 1	13 本 × 12%	2 本
バンク 6	13 本 × 12%	2 本
バンク 2	13 本 × 52%	7 本
バンク 3	13 本 × 52%	7 本
バンク 4	13 本 × 52%	7 本
バンク 5	13 本 × 52%	7 本

## 手順 2: 一般的なバイパス ネットワークのデザイン

成功した PDS デザインの傾向を調べるため、いくつかのザイリンクス テスト ボードおよびカスタマのデザインを解析しました。電源ノイズが最大許容値の約半分 ( $V_{RIPPLE}/2$ ) であり、リソースの 80 ~ 100% を使用するデザインでは、一般に PDS は各  $V_{CC}$  ピンごとに (デバイス上にある独立した電源ごとに) およそ 1 つのキャパシタを使用しています。一般的なバイパス ネットワークのデザインは、同程度の数のキャパシタを使用することを考慮して行い、指定された数の  $V_{CC0}$  ピンを使用します。

前述した方法で、必要なキャパシタの数を決定し、次に各キャパシタの容量を決定します。幅広い範囲の周波数に対応するためには、幅広い範囲の容量のキャパシタを使用する必要があり、高周波キャパシタと低周波キャパシタの比率が重要です。

容量の異なるキャパシタを並列に組み合わせ使用し、500 kHz ~ 500 MHz の周波数で電源のインピーダンスを低く、平らに維持します。大容量 (低周波) のキャパシタおよび小容量 (高周波) のキャパシタの両方を使用する必要があります。この場合、小容量のキャパシタはインピーダンスに与える影響が小さいため、大容量のキャパシタよりも多く使用します。

インピーダンスのプロファイルをなめらかにし、反共振スパイクが発生しないようにするためには、少なくとも容量が 10 倍または 10 分の 1 になるごとに 1 つのキャパシタを使用してください。一般的なセラミック キャパシタの容量範囲は 0.001  $\mu\text{F}$  から 4.7  $\mu\text{F}$  ですが、このキャパシタの正確な値は重要ではありません。この範囲にあるすべての容量のキャパシタを使用することが重要であり、より多くの容量



のキャパシタを使用することによって、より安定したインピーダンスのプロファイルを得ることができます。

インピーダンスを比較的平らにするためには、容量が 10 分の 1 になるごとにキャパシタの数を 2 倍にします。たとえば、ネットワークで 1.0  $\mu\text{F}$ 、0.1  $\mu\text{F}$ 、0.01  $\mu\text{F}$  という 3 つのキャパシタを使用する場合、1.0  $\mu\text{F}$  キャパシタを 2 個、0.1  $\mu\text{F}$  キャパシタを 4 個、0.01  $\mu\text{F}$  キャパシタを 8 個にします。

さらに、低周波のタンタル キャパシタ、OS-CON キャパシタ、または電解キャパシタを使用する必要があります。通常、これらの大容量キャパシタの ESR はセラミック チップ キャパシタの場合よりも大きいいため、より広範囲の周波数で有効であり、反共振スパイクを引き起こしにくくなります。したがって、必ずしもキャパシタの容量が 10 倍または 10 分の 1 になるごとに 1 つのキャパシタを使用するという規則に従う必要はありません。一般に、470  $\mu\text{F}$  ~ 1000  $\mu\text{F}$  の範囲に 1 つの値で十分です。

表 6 に、キャパシタの総数に基づいて容量ごとの個数を計算する場合に有用な比率を示します。

表 6: デカップリング ネットワークのバランスをとるためのキャパシタ比率

容量	個数の比率	キャパシタのタイプ
470 $\mu\text{F}$ ~ 1000 $\mu\text{F}$	4%	タンタル
1.0 ~ 4.7 $\mu\text{F}$	14%	X7R 0805
0.1 ~ 0.47 $\mu\text{F}$	27%	X7R 0603
0.01 ~ 0.047 $\mu\text{F}$	55%	X7R 0402

$V_{\text{REF}}$  以外のすべての電源でこの比率を維持してください。また、 $V_{\text{REF}}$  電源では、0.1  $\mu\text{F}$  ~ 0.47  $\mu\text{F}$  キャパシタと 0.01  $\mu\text{F}$  ~ 0.047  $\mu\text{F}$  キャパシタの比率を 50/50 にしてください。 $V_{\text{REF}}$  デカップリング キャパシタの基本的な役割は、 $V_{\text{REF}}$  ノードのインピーダンスを小さくし、クロストークを減少させることであるため、非常に小さい低周波エネルギーが必要になります。したがって、0.01  $\mu\text{F}$  ~ 0.47  $\mu\text{F}$  範囲のキャパシタのみを使用します。

### 1.5V 電源の例

この例では、Virtex-II デバイスの 1.5V 電源でバンク 1 および 6 の  $V_{\text{CCO}}$  と  $V_{\text{CCINT}}$  に電力を供給します。デバイスには 44 本の  $V_{\text{CCINT}}$  ピンがあります。前の手順で計算したように、バンク 1 および 6 ではそれぞれ 2 本のピンを使用します。44 本の  $V_{\text{CCINT}}$  ピンとバンク 1 および 6 の 4 本の  $V_{\text{CCO}}$  ピンを加算すると 48 本であり、1.5 V 電源では 48 個のキャパシタを使用することになります。表 7 に、それぞれの容量について使用するキャパシタの数を示します。

表 7: 1.5V 電源の例で使用するキャパシタ数の計算

容量	計算式	キャパシタの数
680 $\mu\text{F}$	48 本 x 4% = 1.92	2
2.2 $\mu\text{F}$	48 本 x 14% = 6.72	7
0.47 $\mu\text{F}$	48 本 x 27% = 12.6	13
0.047 $\mu\text{F}$	48 本 x 55% = 26.4	26

このように計算することによって、1.5V 電源に必要なキャパシタ数を推定できます。キャパシタの個数を変更し、異なる値に対応することや電源をより対称的に使用することもできます。たとえば、標準的な PCB 配置に合わせて 2.2  $\mu\text{F}$  キャパシタの数を 7 個ではなく 8 個に変更できます。また、デザインに特有な制約 (キャパシタの BOM があらかじめ存在しているなど) に従ってキャパシタの容量を変更できます。キャパシタを選択するプロセスは、各電源について繰り返してください。

### 手順 3: シミュレーション

シミュレーションでは、一般的なデカップリング ネットワークを検証し、必要に応じて調整します。この場合、最適な電源のインピーダンス プロファイルを実現するために、異なる容量のキャパシタまたは

異なるパッケージを使用してシミュレーションを実行できます。EDA ベンダーが提供するさまざまな PDS デザイン ツールについては、[付録 D : PDS のデザインおよびシミュレーションを行うための EDA ツール](#)を参照してください。

シミュレーション回路は、寄生要素のあるデカップリング キャパシタを並列に接続したものであり、シミュレータは、該当する周波数範囲におけるインピーダンスの合計を計算します。SPICE (SPICE デッキの例は[付録 C : SPICE シミュレーション例](#)を参照) または[付録 D : PDS のデザインおよびシミュレーションを行うための EDA ツール](#)に記載されたツールを使用し、等価回路の作成および検証を行うこともできます。制限はありますが、Microsoft Excel のようなスプレッドシートにインピーダンスのプロファイルを作成する方法も有効です。

RLC を一括して扱うタイプのシミュレーションでは、PCB スタックアップの  $V_{CC}$  プレーンとグランドプレーンにある個々の RLC プロパティは考慮しません。一般に、プレーンの平面構造の影響は 500 MHz で明らかになり、長さおよび幅などのプレーンの形状によって変化します。Speed2000、Siwave、Specctraquest Power Integrity などの分散型のモデルを使用せずに、あるいはフル メッシュ RLC SPICE シミュレーションを実行せずに、これらの影響を予測することは困難であるため、500 MHz 以上の場合には、RLC を一括して扱うシミュレーションの結果のみを使用しないでください。

これらのツールを使用してバイパス ネットワークのシミュレーションを行う場合は、正確な寄生値を使用することが重要であり、バイパス ベンダーからまたは内部テストによって正確な寄生値データを得る必要があります。また、バイパス キャパシタと FPGA 間のパスにあるマウンティングによる寄生要素も考慮してください。これらの寄生要素を直列に接続すると、実装したキャパシタの寄生抵抗および寄生インダクタンスが得られます。マウンティング モデルの詳細については、[マウンティングのインダクタンスのセクション](#)を参照し、ビアの寄生インダクタンスについては、[付録 B : ビアの インダクタンスの計算](#)を参照してください。特定の形状における正確なインダクタンス値を求める場合は、Ansoft の HFSS などのフィールド ソルバーを使用できます。次のシミュレーションでは、各キャパシタの自己寄生インダクタンスに 0.8nH ~ 0.9nH という値を加えて  $L_{IS}$  を計算しています。この値は、厚さが 60 ミル程度のボードにおける小さいキャパシタのマウンティング インダクタンスを表し、ボードのスタックアップが厚くなると、ビアのインダクタンスは大きくなります。

[図 8](#) に、並列に接続したキャパシタのシミュレーションから得られたインピーダンスを簡潔に示します。このシミュレーションでは、キャパシタの寄生要素および PCB のおおよその寄生要素を考慮しています。SPICE の等価ネットリストについては、[付録 C : SPICE シミュレーション例](#)を参照してください。また、[表 8](#) にシミュレーションで使用したキャパシタの数、容量、寄生特性を示します。ここでは、PCB の  $V_{CC}$  プレーンおよび GND プレーンにおける RLC 特性は考慮していません。

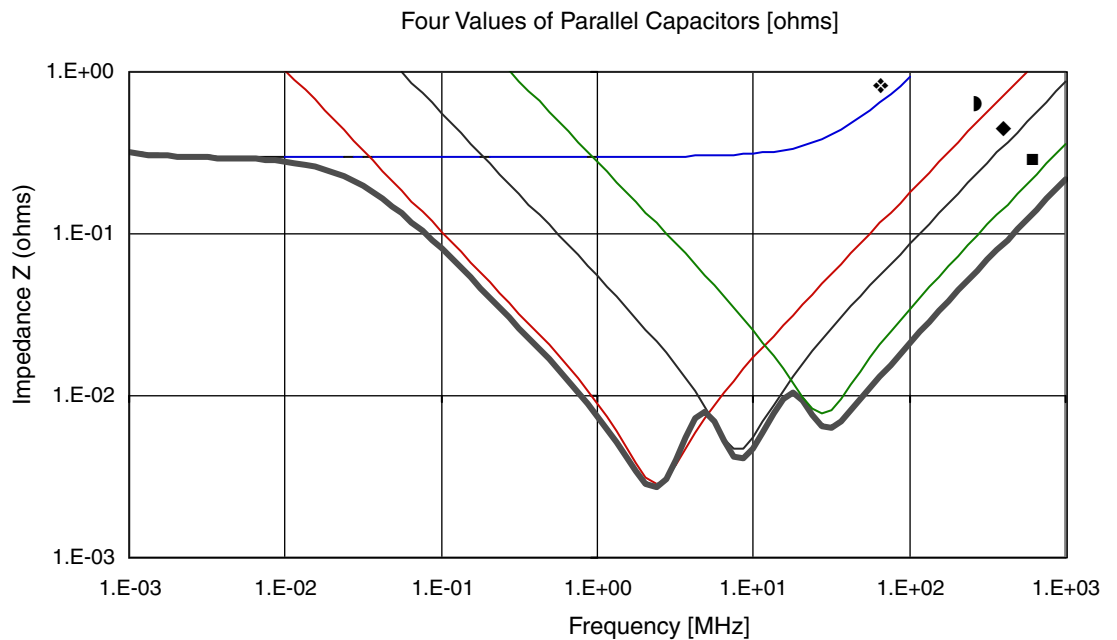


図 8 : PDS のインピーダンスと周波数の関係

表 8 : 図 8 に示すインピーダンスの計算に使用した値

個数	シンボル	パッケージ	容量 ( $\mu\text{F}$ )	寄生 インダクタンス (nH)	寄生 抵抗 ( $\Omega$ )
2	❖	E	680	2.8	0.57
7	◐	0805	2.2	2.0	0.02
13	◆	0603	0.22	1.8	0.06
26	■	0402	0.022	1.5	0.20

このキャパシタの組み合わせは、設計を始める場合のよい目安となります。インピーダンスは、周波数が 500 KHz ~ 150 MHz の場合は  $0.033 \Omega$  以下であり、500 MHz で  $0.11 \Omega$  に増加します。この範囲外では、特定の反共振のスパイクはありません。ここに示すキャパシタをボード デザインで使用します。

#### 手順 4 : デザインの作成

ここでは、シミュレーションで検証した最終的なキャパシタ ネットワークを使用して PCB の配置を行い、ボードを作成します。配置に関する詳細については、前述したキャパシタの配置およびランドの形状のセクションを参照してください。

#### 手順 5 : パフォーマンスの測定

パフォーマンスの測定では、PDS がデバイスに適しているかどうかを検証します。バイパス ネットワークが特定のデザインに適しているかどうかを決定するのは比較的容易です。測定は、高帯域のオシロス

コープ (最低でも 1 GHz のオシロスコープおよび 1GHz のプローブ) を使用し、現実的なテスト パターンで動作しているデザインで行います。

### ノイズの測定

測定は、デバイスの電源ピンで直接行うか、High および Low を出力するように設定された未使用 I/O ピン ペアで行います。また、 $V_{CCINT}$  および  $V_{CCAUX}$  は、PCB の裏側にあるビアでのみ測定できます。 $V_{CCO}$  も同様の方法で測定できますが、同一バンク内にある未使用 I/O を使用して固定された信号を測定する場合の方が、より正確な値を求められます。

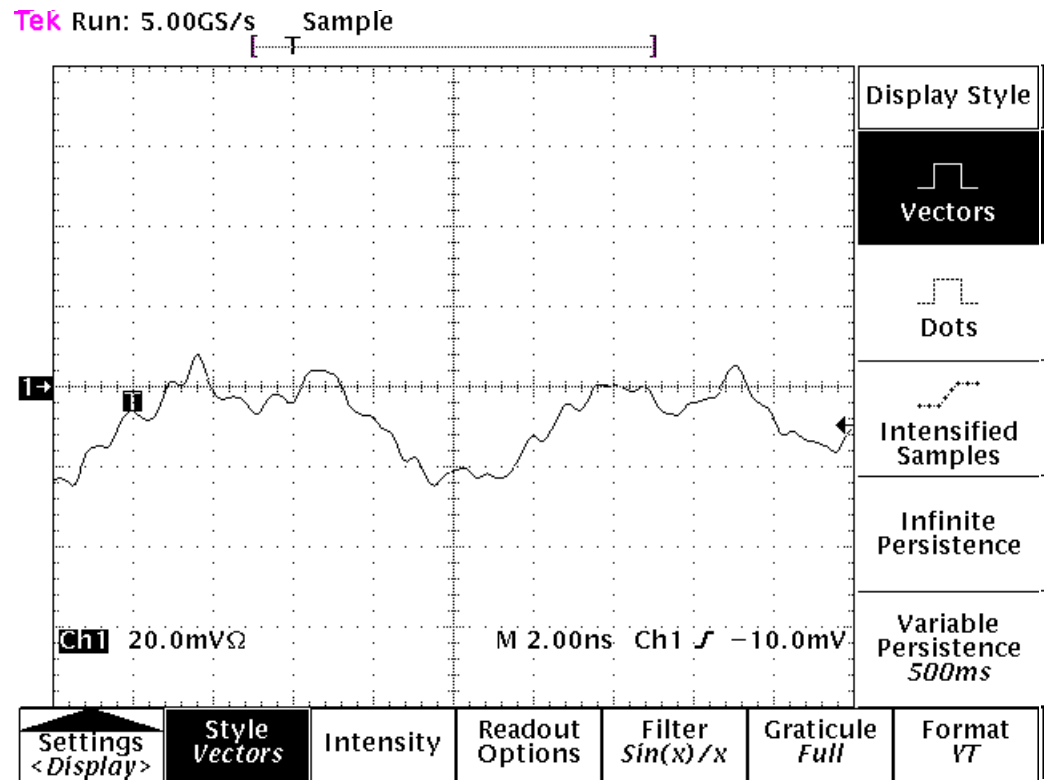
ボードの裏側でノイズを測定する場合、キャパシタと FPGA 間のパスにあるビアの寄生要素を考慮する必要があります。これは、オシロスコープでの測定では、このパスで発生する電圧降下が考慮されないためです。また、裏側にあるビアの計測を行う場合には、注意すべき点があります。多くの場合、デカップリング キャパシタはデバイスの下に直接実装されるため、キャパシタのランドによって、これらの  $V_{CC}$  ビアおよび GND ビアをが表面トレースに直接接続される可能性があります。このため、これらのキャパシタが高周波 AC 電流のショート回路となり、測定が難しくなる場合があります。このようなキャパシタを計測サイトから取り除き、計測時にショートしないようにしてください。

$V_{CCO}$  のノイズを測定する場合は、駆動力の高い I/O 標準を使用し、1 つの I/O ピン ペアを High および Low を出力するように設定します。このの方法を正確に使用することで、チップレベルのノイズを測定できます。

デバイスによって出力されたロジック 1 またはロジック 0 を観察することによって、チップの  $V_{CC}$  または GND レベルの乱れを見ることができます。また、ロジック 0 を PCB グランドに対して観察することによって、PCB PDS と比較した場合のチップのグラウンド バウンスを確認できます。すべてのグラウンド (MGT のアナログ グランドは除きます) は、デバイスのチップおよびパッケージレベルで共通であるため、未使用 I/O ピンで計測されたグラウンド バウンスは、すべての電源で確認できます。ただし、この測定方法は  $V_{CCO}$  にのみ適用できます。

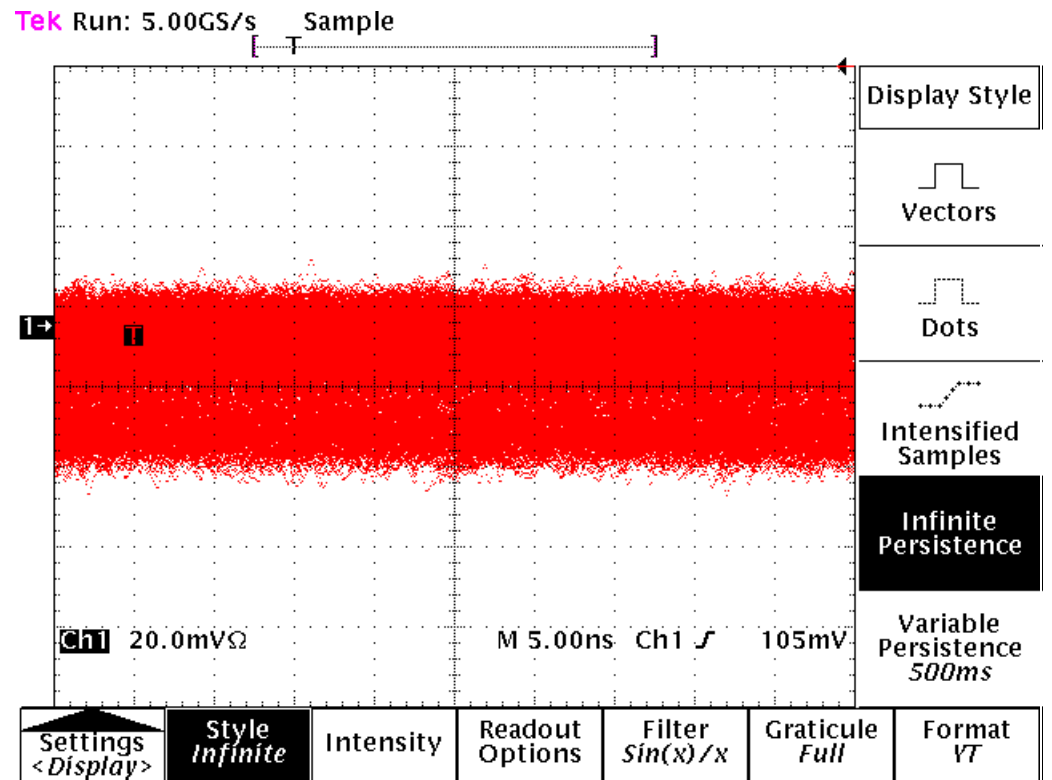
パフォーマンスの測定を行う場合、長時間 (数秒または数分) にわたってノイズを測定するため、オシロスコープを無限残光モードにしてください。量が異なるさまざまなリソースを使用し、複数のモードで動作するデザインでオシロスコープを使用したノイズ測定を行う場合には、これらの条件およびモードで動作させる必要があります。局所的なノイズ現象の影響を除去するため、いくつかの  $V_{CC}/GND$  ペアについて FPGA でノイズを測定してください。

図 9 に、サンプル デザインの  $V_{CCINT}$  ピンで測定した瞬間的なノイズを示し、図 10 に、同じデザインで測定した無限残光ノイズを示します。無限残光ノイズの測定では長時間にわたってすべてのノイズが計測されるため、より適切な結果が得られます。



x623\_08\_080502

図 9： 100 MHz で複数の I/O がパターンを送信した場合の  $V_{CC0}$  電源の瞬間的なノイズ



x623\_09\_090502

図 10： 同一電源の無限残光ノイズ

この測定結果は、ピーク間のノイズを示します。結果がデータシートに記載されている  $V_{CC}$  のリップル電圧 ( $V_{CC}$  の 10%) 以上の場合は、バイパス ネットワークが適切ではありません。この電源で許容される最大リップル電圧は 10% つまり 150mV であり、オシロスコープでは、ノイズが 60 mV の範囲にあります。この場合、デカップリング ネットワークは適切です。

しかし、ノイズが  $V_{CC}$  の 10% より大きい場合の PDS は不適切であり、この PDS を修正して確実に動作するデザインに変更しなければなりません。ノイズを削減するためには、キャパシタの数を増やす、容量値を変更する、デカップリング キャパシタの値ごとにその数を変更するという方法があります。

ここで、さらに測定を行って、デカップリング ネットワークを改善するために必要な情報を取得する必要があります。特にノイズが発生する周波数を割り出すためには、ノイズ電源スペクトラムを測定しなければなりません。いくつかの測定方法がありますが、スペクトラム アナライザおよび FFT 機能があるオシロスコープが有用です。別の方法として、オシロスコープから時間領域の長いシーケンスを取得し、MATLAB または FFT をサポートしているその他のソフトウェアを使用して、周波数領域に変更できます。時間領域の波形を観測し、ノイズの周期性を測定することによって、ノイズが発生する周波数の基本的な概要について理解することも可能です。

### ノイズ スペクトルの測定

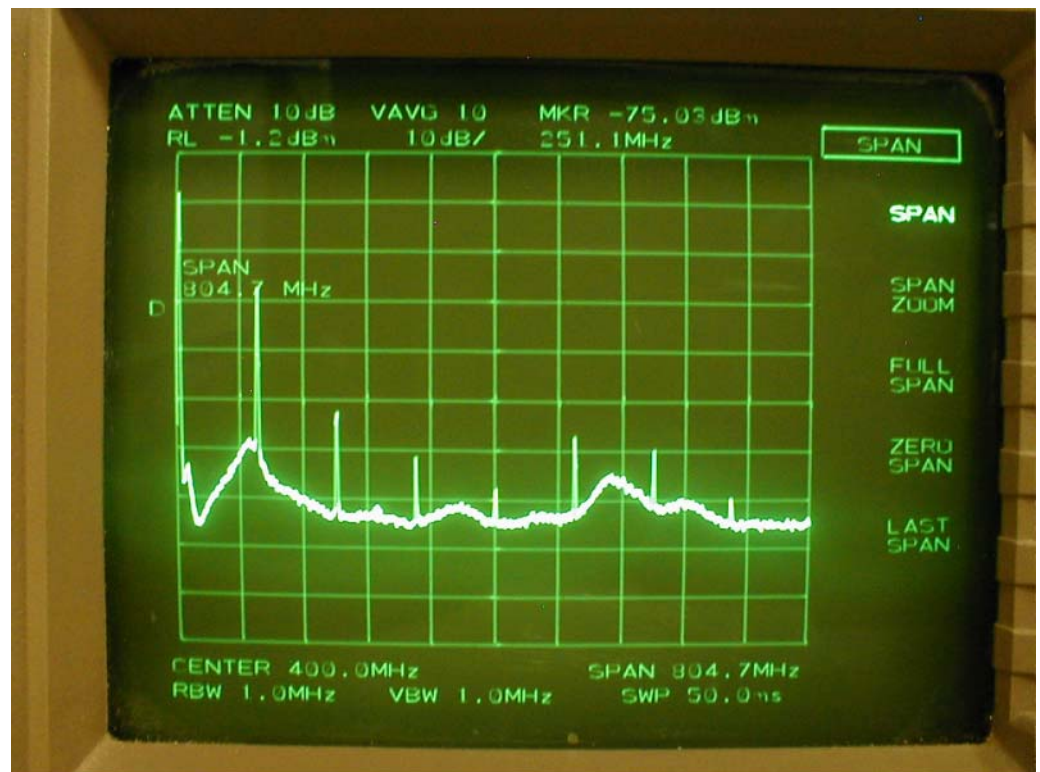
スペクトラム アナライザは、入力における電圧信号の周波数を示す周波数領域の機器です。これを適切に動作していない PDS の測定に使用することによって、不適切となっている周波数が正確にわかります。ある周波数でノイズが過剰な場合、デバイスの過渡電流条件に対して PDS のインピーダンスが大きすぎることを示すため、その周波数での過渡電流に対応するように PDS を修正できます。修正するためには、ノイズの周波数に近い共振周波数を持つキャパシタを追加するか、ほかの方法によってこの周波数の PDS インピーダンスを小さくしてください。

ノイズ スペクトルの測定はピーク間ノイズの測定と同じ位置、つまり、デバイス直下、または High および Low を出力するように設定されている未使用 I/O ピンで行う必要があります。スペクトラム アナライザでは、オシロスコープのようなアクティブプローブではなく 50  $\Omega$  ケーブルを使用して測定を行います。測定用にケーブルを接続する最適な方法の 1 つに、デバイス周辺で電源プレーンおよびグランドプレーンに SMA コネクタを接続するというものがありますが、ほとんどの場合、これは不可能です。電源プレーンでノイズを測定するためにケーブルを接続する別の方法として、デバイス周辺にあるデカップリング キャパシタを取り外し、ケーブルの中心にある導体とシールドをキャパシタのランドに直接はんだ付けできます。あるいは、プローブステーションも使用できます。

ほとんどの場合、いくつかの周波数でノイズの明瞭なバンドが現れ、これらはクロック周波数およびその高調波に対応します。また、各バンドの高さは、相対的な電力に対応します。通常、大部分のエネルギーは 3 番目または 4 番目の高調波付近のバンドに含まれ、周波数が大きくなると電力が低下します。



図 11 に、ノイズ スペクトル測定結果の例を示します。これは、150 MHz で複数の I/O がパターンを送った場合の  $V_{CC0}$  における電源ノイズをスペクトラム アナライザで測定したものです。



x623\_10\_080502

図 11：スペクトラム アナライザによる  $V_{CC0}$  の測定結果

ノイズバンドは、FPGA で電流が必要であるにもかかわらず、PDS から供給されなかった場合の周波数に対応します。これは、キャパシタの容量が十分でないか、容量が十分であってもキャパシタと FPGA 間のバスにある寄生インダクタンスが大きすぎるのが原因です。原因がどちらであっても、この周波数における電源のインピーダンスが大きすぎます。逆に、ノイズが非常に少ない周波数やノイズがない周波数では、インピーダンスが必要以上に小さくなる可能性があります。この問題を解決するためには、バイパス ネットワークを修正する必要があり、キャパシタの容量、または個数を変更しなければなりません。

### 手順 6：最適なバイパス ネットワークのデザイン (オプション)

より最適化された PDS が必要な場合には、さらに測定を行い、デカップリング ネットワークを十分に調整できます。ネットワーク アナライザを使用し、プロトタイプ PDS のインピーダンス プロファイルを測定することによって、シミュレーションのセクションで解説した出力に類似した出力を得ることができます。ネットワーク アナライザを使用する場合、一連の周波数についてステイミュラスを発生させることができ、各周波数における PDS のインピーダンスを測定できます。出力は、周波数の関数としてのインピーダンスです。

スペクトラム アナライザの出力は周波数の関数としての電圧であるため、この 2 種類の測定から出力の関数としての過渡電流がわかります。

$$I(f) = \frac{V(f) \text{ From Spectrum Analyzer}}{Z(f) \text{ From Network Analyzer}}$$

デザインの過渡電流条件を考慮することによって、PDS をさらに調整できます。データシートに記載されている最大リップル電圧から、すべての周波数で必要となるインピーダンスの値を算出し、周波数の

関数としてのインピーダンスを求めます。この結果を使用すると、特定のデザインの過渡電流に対応するようにキャパシタのネットワークをデザインできます。

この手順 6 によって、電力分配システムのデザインと検証を繰り返し行い、どのようなデザインに対しても適切な PDS を設計できます。

## その他の問題と原因

これまでに説明した方法で必要なノイズ仕様を満たすデザインが得られない場合、システムの別の側面を解析し、可能な変更がないかを検証します。

### 可能性 1：ボード上にあるほかのデバイスによる過剰なノイズ

グラウンド プレーンおよび電源プレーン両方またはいずれかを複数のデバイスで共有する場合は、適切にデカップルされていないデバイスによるノイズがほかのデバイスの PDS に影響を与えることがあります。一時的な競合が定期的に発生するために高い過渡電流が必要になる RAM インターフェイスが一般的な原因ですが、大規模なマイクロプロセッサが原因の可能性もあります。このようなデバイスに許容できない量のノイズがある場合は、そのコンポーネントの PDS とデカップリング ネットワークを解析する必要があります。

### 可能性 2：プレーン、ビア、または接続トレースの寄生インダクタンス

この可能性は、バイパス ネットワークには十分な容量がありますが、キャパシタから FPGA へのパスのインダクタンスが大きすぎる場合です。原因として、接続トレースまたははんだランドの形状が悪い、キャパシタから FPGA へのパスが長すぎる、電源のビアがあるパスが通るスタックアップが厚すぎる、などが考えられます。

接続トレースとキャパシタのランドの形状が適切でない場合は、電流パスのループ インダクタンスに注意することが重要です。バイパス キャパシタのビアとキャパシタのはんだランドの間隔が数ミリメートルある場合、電流ループの面積が必要以上に大きくなります (図 6a)。ビアは、キャパシタのはんだランドに対して直接配置する必要があります (図 6b)、ビアとランドの接続にトレースを使用しないでください (図 6a)。形状を改善する方法としては、パッドの中にビアを作る (ビアは実際にははんだランドの下になります)、パッドの横にビアを作る (ビアはランドの端ではなく、側になります)、または、2 つのビアを使用するという方法もあります。図 6c および図 6d を参照してください。

プレーン内のパスのインダクタンスが大きすぎる場合は、電気的なパスの長さおよびプレーン自体の拡散インダクタンスという 2 つのパラメータを変更できます。

パスの長さは、キャパシタの配置によって決定し、キャパシタはバイパスするデバイスの電源/グラウンドピン ペアに可能な限り隣接して配置する必要があります。特に、ネットワーク内で最も容量が小さいキャパシタに対して注意が必要です。これは、寄生インダクタンスが小さいキャパシタを選択しているためです。インダクタンスが小さい高周波キャパシタをデバイスに接続する場合に、インダクタンスが大きいパスを通すことは意味がありません。容量が大きいキャパシタは自己寄生インダクタンスも大きく、デバイスの近くに配置することは重要ではありません。

プレーンの拡散インダクタンスは、プレーンの間隔およびプレーン間にある材質の誘電率によって変化します。プレーンのインダクタンスを参照してください。

ボードが非常に厚い場合 (90 ミル (2.3 mm) 以上)、ビアの寄生インダクタンスが大きくなるため、次のような変更を考察してください。まず、 $V_{CC}/GND$  プレーンのサンドイッチを FPGA がある表面に近づけるといった方法があります。また、最も周波数が高いキャパシタを表面に配置するという方法もあります。どちらの方法によっても、関連する電流パスの寄生インダクタンスを小さくできます。

### 可能性 3：PCB 内の I/O 信号が必要以上に強い

PDS の調整後でも  $V_{CC0}$  のノイズが多すぎる場合は、I/O インターフェイスの電力を削減できます。これは、FPGA からの出力および FPGA への入力の両方に対して行いますが、FPGA への入力における過剰なオーバーシュートによって I/O のクランプ ダイオードに逆バイアスをかける可能性があります。

これによって、大量のノイズが  $V_{CC0}$  で発生する場合は、インターフェイスの駆動強度を小さくするか、入力パスと出力パスの両方で終端処理を行ってください。

#### 可能性 4 : I/O 信号の帰還電流が最適でないパスを通る

I/O 信号の帰還電流によっても PDS に過剰なノイズが発生する場合があります。デバイスから PCB およびほかのデバイスに送信されるすべての信号では、大きさが同一で逆方向の電流が PCB からデバイスの電源/グラウンド システムに流れます。帰還電流が低インピーダンスのパスを通ることができない場合、最適なパスではなく、インピーダンスが高いパスが使用されるために PDS 内で電圧変化が誘発されます。

この問題を回避するためには、すべての信号の間隔を近づけ、帰還パスを確保します。信号が使用できる配線レイヤを制限する、PCB 上の特定の位置にデカップリング キャパシタを配置して AC 電流が基準プレーンを通るように低インピーダンスのパスを用意する、などのさまざまな方法が必要です。

## まとめ

このアプリケーション ノートでは、電力分配システムの重要な原理の概要、および PDS の設計方法を手順ごとに説明しました。ここでは、一般的なネットワークのデザイン、シミュレーションと調整、測定、および測定結果に基づいた再調整という手順で PDS を設計します。この方法で条件を満たすデザインが得られない場合は、ほかに問題の原因がないかを考察します。この方法によって、すべての PDS の問題を解決できます。

## 参考文献

1. Xilinx, Inc., 『RocketIO トランシーバ ユーザー ガイド』、[UG024](#)
2. Larry D. Smith, 『Decoupling Capacitor Calculations For CMOS Circuits (CMOS 回路のデカップリング キャパシタの計算)』、Proceedings EPEP Conference、1984 年 11 月
3. Xilinx, Inc., 『Virtex-II Platform FPGA ユーザー ガイド』、[UG002](#)
4. Frederick W. Grover Ph.D., 『Inductance Calculations: Working Formulas and Tables (インダクタンスの計算 : 実用的な公式と表)』、D. Van Nostrand Company, Inc., 250 Fourth Avenue New York 1946

## 付録 A : 用語集

**ランド** : 表面実装デバイスをはんだ付けするために PCB の表面で金属が露出している部分。

**ネットワーク アナライザ** : 電氣的なネットワークの周波数領域特性を測定するための機器。多くの場合、ネットワーク アナライザを使用して電力分配システムの電気特性を測定します。

**オシロスコープ** : 信号の時間領域の電圧を表示する機器。電源のノイズ電圧の大きさを調べる場合に電源のノイズを測定します。

**サンドイッチ** : 誘電体のみで分離されている PCB スタックアップ内のプレーンのペアであり、間に信号の階層はありません。ほとんどの場合、このプレーンの一方はグランド ポテンシャルで、もう一方のプレーンに電圧がかかります。埋設コンデンサ基板とも呼ばれます。

**スペクトラム アナライザ** : 信号の周波数内容を測定する機器。電力分配システムの特性を検証する場合に電源のノイズを測定します。

**スタックアップ** : PCB 内にある一連の階層をスタックアップと呼ぶ場合があります。複数階層のボードには、信号を伝送する金属の階層と誘電体の階層が交互にあります。誘電体には、構造上の基板としての役割もあります。

**ビア** : PCB の垂直方向の接合部で、通常は PCB に穴を開けて、穴の壁に導体でめっきをします。ビアは、PCB の各階層を電氣的に接続します。信号パスにあるビアはインピーダンスの不連続点となり、電力分配パスにあるビアは寄生インダクタンスを大きくします (どちらも望ましいことではありません)。

**付録 B : ビアの インダクタンスの計算** に寄生インダクタンスを求める式を示します。

**電圧リップル** : 電源のノイズを電圧リップルと呼ぶ場合があります。最大電圧リップルは、デバイスの絶対最大定格によって許容される電源電圧変化の最大量に対応します。

付録 B : ビアの  
インダクタンスの  
計算

ビアのインダクタンスは、キャパシタのマウンティングの寄生インダクタンスに大きな影響を与え、ビアの大きさによって寄生インダクタンスの大部分が決定されます。Grover (参考文献 4) による式 5 を使用すると、ビアの長さと同径に基づいてビアの自己インダクタンスを計算できます。単位は、インチとナノヘンリーです。

$$L = 5.08 \times h \times \left[ \ln \left( \frac{4 \times h}{d} \right) - 0.75 \right] \quad \text{式 5}$$

例

ボードの裏面から表面に通るビアのインダクタンスを計算する場合は、ビアの長さとしてボードの最終的な厚さを使用します。ボードの最終的な厚さは 62 ミルで、ビアの直径は 3 ミルです。1 インチは 1000 ミルです。

$$h = 0.062 \text{ in}$$

$$d = 0.003 \text{ in}$$

$$L = 5.08 \times h \times \left[ \ln \left( \frac{4 \times h}{d} \right) - 0.75 \right]$$

$$L = 5.08 \times 0.062 \times \left[ \ln \left( \frac{4 \times 0.062}{0.003} \right) - 0.75 \right]$$

$$L = 5.08 \times 0.062 \times 3.67 \text{ nH}$$

$$L = 1.15 \text{ nH}$$

この結果は、1 つのビアの自己インダクタンスであり、ビアを通る電流ループの総インダクタンスの一部です。電流が逆方向に流れるビア (電源とグランド) の相互インダクタンスは総インダクタンスに独自

の影響を与えるため、より精度が必要な場合は、このことを考慮しなければなりません。間隔が近い相補的なビアの相互インダクタンスによって、総インダクタンスがわずかに小さくなります。

## 付録 C : SPICE シミュレーション 例

この付録では、SPICE でデカップリング キャパシタ ネットワークをシミュレーションする方法について説明します。ここで説明するテクニックは、HSPICE です。その他の SPICE のバリエーションまたは専用の PDS シミュレーション ソフトウェアも使用できます。次に説明するシミュレーションは、例を示すためのものです。また、シミュレータの詳細についてはこのアプリケーション ノートでは説明しません。図 12 に、HSPICE の結果を示し、図 13 に回路を示します。

これらは、18 個のキャパシタによるネットワークの容量および寄生特性を表しています。一般的なキャパシタ アレイのインピーダンスを計算する場合は、次に従ってください。

1. LCR ネットワークのネットリストを定式化する
2. 入力ノードと出力ノードの位置を調べる
3. 入力ポートに AC ステイミュラスを適用する
4. LCR ネットワークで AC 解析を実行する
5. 入力電流および入力 AC 電圧を測定する
6.  $Z = V/I$  を定式化する
7. ログ スケールを使用し、結果を曲線で表す

この方法を使用する場合、AC ステイミュラスは 1A に設定します。AC 解析命令を使用すると、指定した周波数点について AC 波形が掃引されます。各オーダーごとの周波数点の数は、追加の HSPICE ネットリストのコメントに記載されています。AC 電流の大きさを 1A に設定し、 $Z = V/I$  に基づいてインピーダンスを計算しているため、算出される主な変数は V、キャパシタ アレイのポジティブ ノードにおける電圧です。

次の 2 つの点を指定し、SPICE デッキを完成させます。

1. DC バイアス抵抗がグラウンドに接続されている
2. AC ソースと LCR ネットワークを接続する小さい入力抵抗がある (オプション)

1 つ目は、シミュレーション時間を短縮するために必要であり、これによって、SPICE は AC 解析を行う前に回路の動作点をすばやく算出できます。LCR ネットワークへの DC パス (バイアス抵抗でグラウンドに接続) を SPICE に与えます。2 つ目はオプションですが、これによって、LCR ネットワークへの入力電流を監視するためのコンポーネントが得られるため、指定すると便利です。

HSPICE でインピーダンスのシミュレーション結果を表示するためには、直接プロット用に  $Z_{IN}$  を計算できるように .net 命令を実行します。

### HSPICE のネットリスト

HSPICE ネットリストは、次のザイリンクス FTP サイトから入手してください。

<http://www.xilinx.com/bvdocs/appnotes/xapp623.zip>

## HSPICE の出力

図 12 に HSPICE 出力を示します。ここでは、AWAVES グラフィックビューアを使用して  $Z_{IN}(MAG)$  を表示しています。

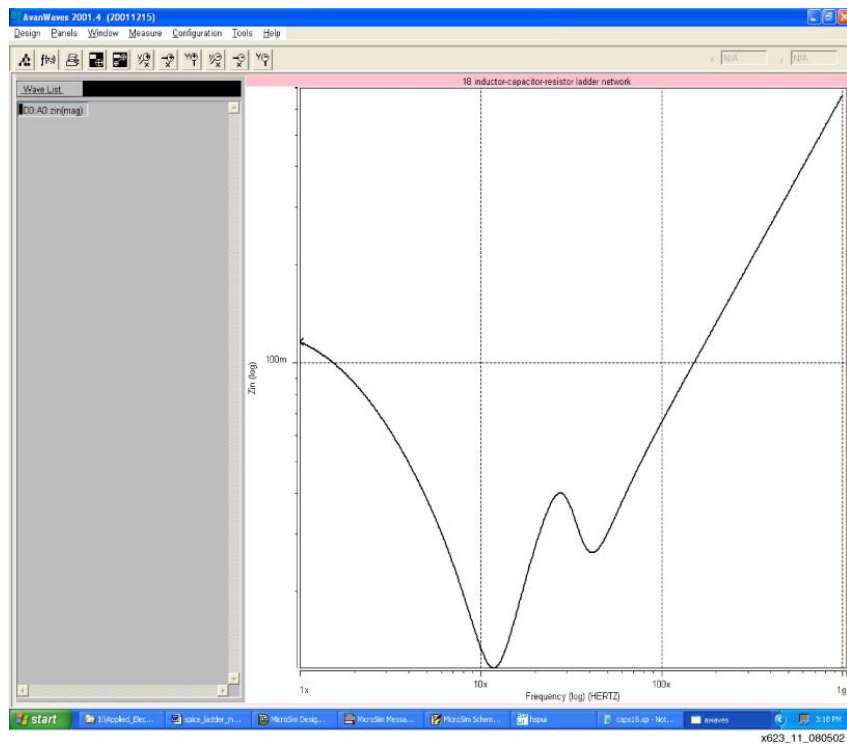


図 12 : HSPICE の出力



## 回路図

図 13 に、キャパシタ アレイおよび対応する寄生インダクタンスと抵抗を示します。

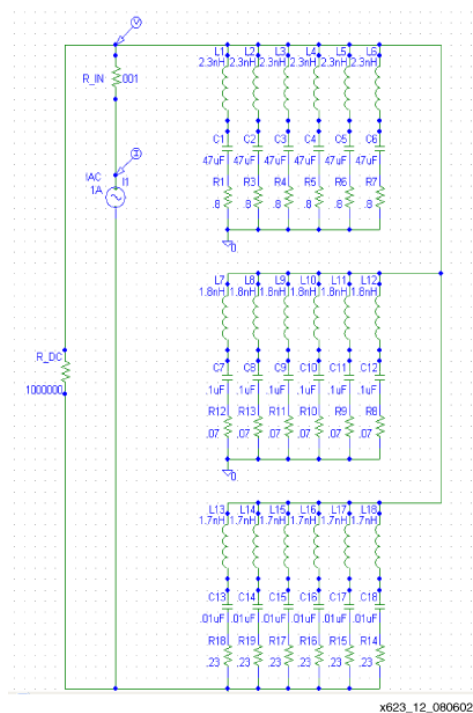


図 13 : 回路図

## 付録 D : PDS の デザインおよびシ ミュレーションを 行うための EDA ツール

表 9 に、PDS のデザインおよびシミュレーションを行うための EDA ツールのベンダーを示します。

表 9 : PDS のデザインおよびシミュレーションを行うための EDA ツール

ツール	ベンダー	Web サイトの URL
SIwave	Ansoft	<a href="http://www.ansoft.com">http://www.ansoft.com</a>
Spectraquest Power Integrity	Cadence	<a href="http://www.cadence.com">http://www.cadence.com</a>
Speed 2000	Sigrity	<a href="http://www.sigrity.com">http://www.sigrity.com</a>
Star HSPICE	Synopsys	<a href="http://www.synopsys.com">http://www.synopsys.com</a>
UCADES3.exe	UltraCAD	<a href="http://www.ultracadm.com">http://www.ultracadm.com</a>

## 改訂履歴

このアプリケーション ノートの改訂履歴を示します。

日付	バージョン	改訂内容
08/08/02	1.0	初版リリース

日付	バージョン	改訂内容
04/21/03	1.1	ファイルサイズの更新
06/11/03	1.2	テキストの修正
04/05/04	2.0	図 5、図 6 および図 8 の変更。新規セクションとして PCB スタックアップおよびレイヤの順序、キャパシタの反共振周波数、およびキャパシタの配置例の追加 (キャパシタの配置例 には図 7 を含む)。PSPICE に関する記載の削除。テキストの修正。