



XAPP628 (v1.0) 2002 年 12 月 4 日

## IDT 社 TeraSync FIFO とのインターフェイス

### 概要

Virtex-II FPGA シリーズは、オンチップ/オフチップのさまざまなデバイスとアクセスできます。さらに、このデバイスは、オンチップの分散型 RAM およびブロック RAM 機能に加え、外部との高速メモリデバイスとのインターフェイスも可能です。選択可能な高速 I/O リソースとオンチップ DCM 回路を使用し、高速で高集積な FIFO への広帯域なインターフェイスを可能にします。このアプリケーションノートでは、IDT 社 TeraSync FIFO と Virtex-II FPGA のインターフェイスについて説明します。

### はじめに

IDT 社 TeraSync FIFO は、ハイパフォーマンス、低消費電力 (2.5V)、高速 (最高 225 MHz)、高集積 (9 Mb) で、x9、x18、x36、x72 の柔軟なバス幅を提供します。また、選択可能な LVTTTL/HSTL I/O、エコーリードクロック/イネーブル、マーク地点からの再送信、専用シリアルクロック、小規模 BGA パッケージおよび JTAG バウンダリ スキャンなどの機能も含まれています。これらすべての機能は、柔軟な Virtex-II アーキテクチャを使用し容易にインプリメントできます。TeraSync FIFO には、マスタリセット中およびマスタリセット後、読み出し/書き込みが行なわれる前にプログラムが必要な機能もあります。これらの機能には、ユーザー選択可能なバスマッチ、プログラマブルな Offset Register および選択可能なタイミングモードがあります。Virtex-II FPGA は、TeraSync FIFO のあらゆる入力とインターフェイスすることにより、これらの機能をすべてインプリメントできます。このアプリケーションノートおよび関連のリファレンスデザインでは、Virtex-II デバイス (XC2V1000) と IDT 社 TeraSync FIFO (IDT72T36125) のインターフェイスについて説明します。コード例は、TeraSync FIFO および読み出し/書き込み動作の初期化用リファレンスデザインファイルから入手できます。

### TeraSync FIFO の概要

- 最高動作速度 : 225MHz
- メモリ集積度 : 32 Kb、64 Kb、128 Kb、256 Kb、512 Kb、1M、2M、5M、9M
- バス幅 : x9、x18、x36
- ユーザーが選択可能な HSTL/LVTTTL 入力および/または出力
- エコーリードクロックとイネーブルはソースシンクロナスクロックである
- ユーザー指定位置へ読み出しをリセットするマーク地点からの再送信機能
- プログラマブルな Almost Empty および Almost Full フラッグ値
- JTAG 機能付きの 208 ピンまたは 240 ピンの Plastic Ball Grid Array (PBGA)
- 読み出しおよび書き込みポートの制御用に別の書き込みチップセレクトおよび読み出しチップセレクトを使用
- フラッグオフセットのシリアルプログラミング用 SCLK
- 選択可能なタイミングモード : IDT 標準モード、First Word Fall Through (FWFT) モード
- ハイインピーダンス出力用に別の出力イネーブル制御信号を使用

© 2002 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.com/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知 : Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。

TeraSync  
アーキテクチャ

IDT72T36125 FIFO は、2.5V、9 Mb、36 ビット幅のデバイスで、最高 225 MHz で動作します。

図 1 に、TeraSync FIFO の全体的な構造を示します。

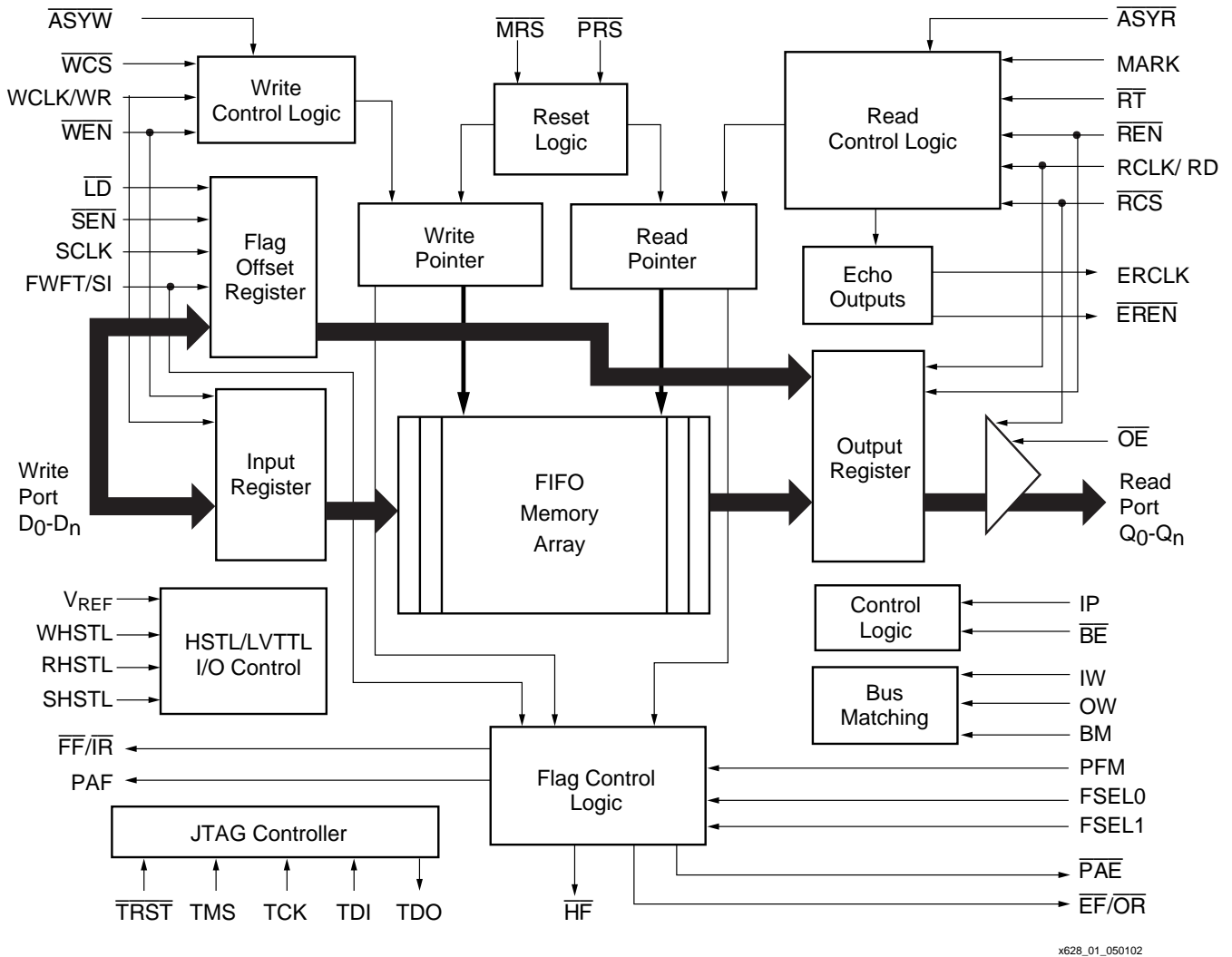


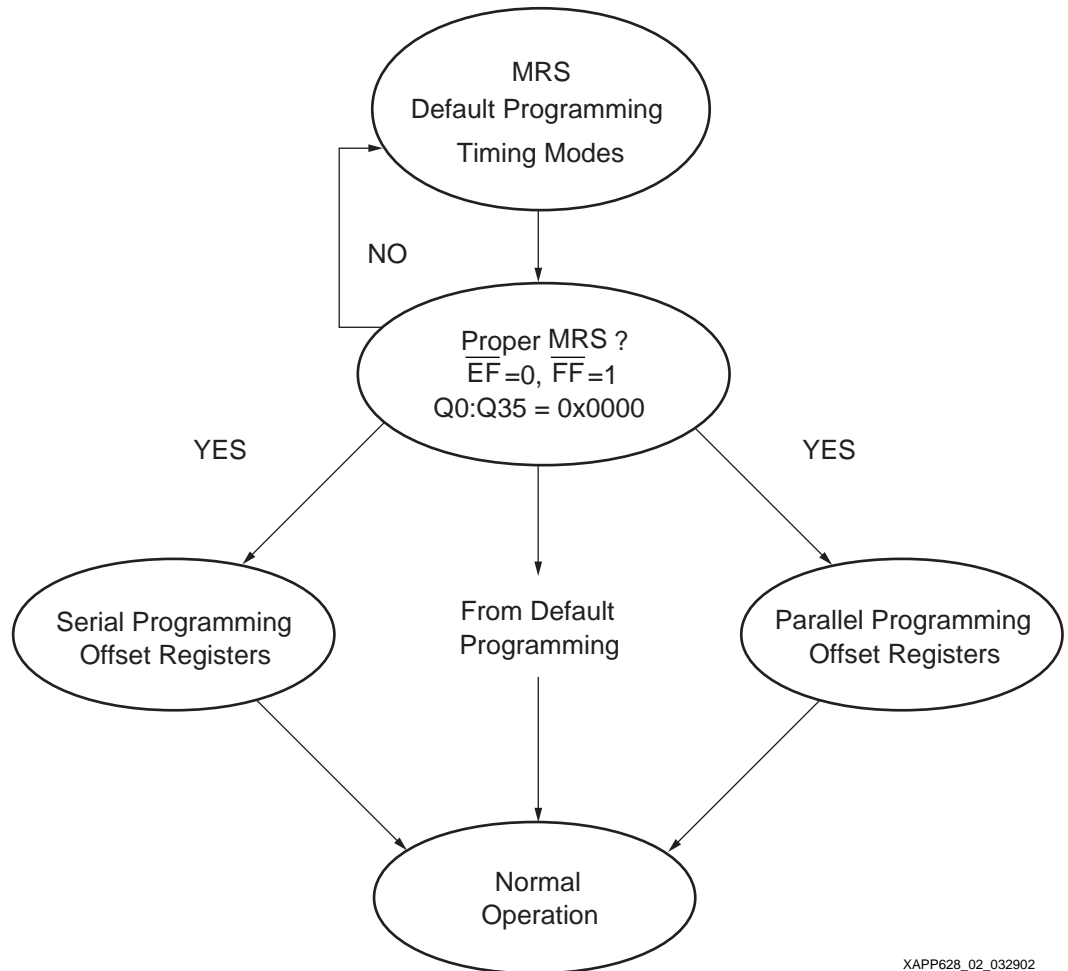
図 1: IDT 社 TeraSync FIFO ブロック ダイアグラム

TeraSync FIFO には、データ入力ポート ( $D_n$ ) とデータ出力ポート ( $Q_n$ ) があり、36 ビット、18 ビット、9 ビット幅のいずれかのデータ幅になります。入力クロックには、読み出しクロック、書き込みクロック、シリアルクロックを使用し、これらの 3 つのクロックは、それぞれ異なる周波数で個々に動作します。2 つの読み出しポート イネーブル信号のリード イネーブルとリードチップセレクトでは、読み出しポートの動作を制御します。また、2 つのライト イネーブル信号のライト イネーブルとライトチップセレクトでは、書き込みポートの動作を制御します。

バス マッチ機能は、IW、OW、BM の外部制御ピンの状態を設定して使用します。9 ビットファクタを使用した組み合わせはすべて可能ですが、ポートのうちどちらかが 36 ビット幅でなければなりません。ステータスフラッグには、empty、full、half、partial empty、partial full があります。partial empty および partial full 値をプログラマブルにするには、Offset Register をプログラムする必要があります。RAM アレイ内で位置を指定し、ここで指定した位置からデータは再送信されます。データのセットアップおよびホールド時間が厳しい高速アプリケーションでは、エコーリードクロック/イネーブルを使用して入力クロックを出力データと同期一致させることができます。エコーイネーブルは、データが読み出し可能であることを保証するインジケータとしても使用できます。

## マスタ リセット

マスタ リセットは、FIFO が起動する前に実行される最初の動作で、FIFO の動作前に設定する必要があります。マスタ リセットを設定することにより、読み出し/書き込みポインタが RAM アレイで指定した位置に初期化され、すべての内部レジスタは、0 になります。マスタ リセット中、入力信号  $\overline{FWFT/SI}$ 、 $\overline{LD}$ 、 $\overline{FSEL0}$ 、 $\overline{FSEL1}$ 、 $\overline{IP}$ 、 $\overline{PFM}$ 、 $\overline{ASYR}$ 、 $\overline{ASYW}$ 、 $\overline{BE}$ 、 $\overline{SEN}$ 、 $\overline{RT}$ 、 $\overline{BM}$ 、 $\overline{IW}$ 、 $\overline{OW}$ 、 $\overline{WHSTL}$ 、 $\overline{RHSTL}$ 、 $\overline{SHSTL}$  は、指定したステートにしなればなりません。これらの信号を指定することで FIFO の機能は確実に初期化されます。マスタ リセットを適切にかけられるためリセット パルスは、10 クロック サイクル (最低 30 ns) 間 Low に保持しなければなりません。リセットが適切にかけられた場合、 $\overline{PAF}$  は High、 $\overline{PAE}$  は Low、 $\overline{EF/OR}$  は Low になり、 $\overline{FF/IR}$  は High (IDT 標準モードの場合) になります。図 2 に、FIFO の動作を示したフローチャートを示します。



XAPP628\_02\_032902

図 2: TeraSync FIFO の初期化フローチャート

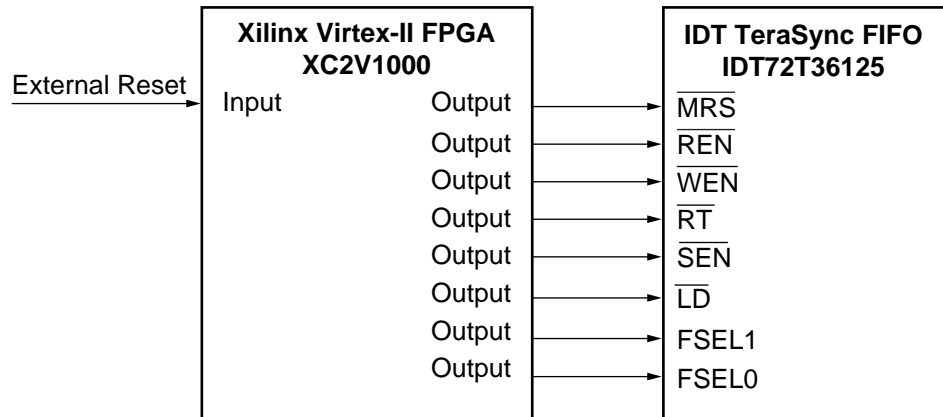
マスタ リセット中、リード イネーブル ( $\overline{REN}$ )、ライト イネーブル ( $\overline{WEN}$ )、再送信 ( $\overline{RT}$ )、およびシリアル イネーブル ( $\overline{SEN}$ ) の 4 つの信号は、High に保持されます。これらの 10 個の入力信号を、指定したステートに保持できます。表 1 に、FPGA で制御可能な入力信号を示します。

表 1: 入力信号の接続方法

FPGA で制御可能な信号	指定したステートに保持する信号
$\overline{MRS}$ , $\overline{PRS}$ , $\overline{REN}$ , $\overline{RCS}$ , $\overline{WEN}$ , $\overline{WCS}$ , $\overline{OE}$ , $\overline{FWFT/SI}$ , $\overline{ASYR}$ , $\overline{ASYW}$ , $\overline{LD}$ , $\overline{PFM}$ , $\overline{SEN}$ , $\overline{FSEL0}$ , $\overline{FSEL1}$ , $\overline{RT}$ , $\overline{MARK}$	$\overline{OW}$ , $\overline{IW}$ , $\overline{BM}$ , $\overline{WHSTL}$ , $\overline{RHSTL}$ , $\overline{SHSTL}$ , $\overline{BE}$ , $\overline{IP}$

## フラッグ オフセットのプログラミング

Almost Full および Almost Empty のフラッグ オフセット値は、ユーザーがプログラム可能な値で、値の設定は、マスタ リセット中またはマスタ リセット直後に行ないます。この設定には、シリアルプログラミング、パラレルプログラミングおよびデフォルト設定を使用したプログラミングの3通りの手段があります。シリアルプログラミングおよびパラレルプログラミングは、マスタ リセットが適切に初期化された場合のマスタ リセット後に行ない、デフォルト設定を使用したプログラミングは、マスタ リセット中に行ないます。このフラッグ オフセット値は、FSEL0、FSEL1、および  $\overline{LD}$  信号のステートを基準に選択されます。図 3 にマスタ リセットおよびデフォルト設定を使用したフラッグ オフセットに関連の信号を示します。



x628\_03\_050102

図 3: マスタ リセットおよびデフォルト設定を使用したプログラムに関連の信号

### デフォルト設定を使用したプログラミング

デフォルト設定を使用したプログラミングでは、OW、IW、BM ピンを指定したステートに設定し、オフセット値を TeraSync FIFO に該当の 8 つのデフォルト値のうち 1 つの値にプログラムします。TeraSync FIFO に該当の 8 つのオフセット値については、IDT 社の TeraSync についてのデータシートのテーブル 2 を参照してください。マスタ リセットおよびデフォルト設定を使用したプログラミングの Verilog コード例は、IDT 社ウェブサイトのリファレンス デザイン ファイルに含まれています。

### シリアルプログラミング

シリアルプログラミングを使用して、オフセット値を特定の値にプログラムすることができます。これらは、 $\overline{LD}$ 、 $\overline{SEN}$ 、SCLK、SI の入力ピンを組み合わせ決定させます。シリアルプログラミングは、マスタ リセットが適切に初期化された後にのみ行うことができます。 $\overline{LD}$  および  $\overline{SEN}$  が Low の場合、SCLK の立ち上がりで SI 入力から受信したデータに 1 ビット書き込まれます。Offset Register のプログラミングに必要なビット数は、デバイスの集積度により異なります。各デバイスに必要なビット数については、「TeraSync 36-bit FIFO」データシートの図 3 を参照してください。

シリアルプログラミングの場合、各レジスタを選択してプログラムすることはできません。full offset register のプログラム後に empty offset register をプログラムするといったサイクルで  $\overline{LD}$  および/または  $\overline{SEN}$  をイネーブルに設定する前にプログラムを行ないます。図 4 に IDT72T36125 PAE のシリアルプログラミングで Verilog コード例 (2) を使用したシリアル/パラレルプログラミングに関連の信号を示します。IDT 標準モードの PAF Offset Register は、IDT 社ウェブサイトのリファレンス デザイン ファイルに含まれています。Offset Register は、シリアルでの読み込みはできないことに注意してください。

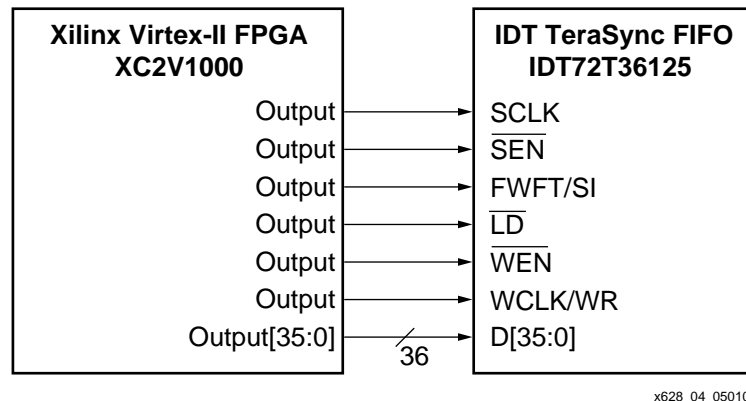


図 4: PAE および PAF Register のシリアル/パラレルプログラミングに関連の信号

### パラレルプログラミング

Offset Register をプログラムするもう 1 つの手段にパラレルプログラミングがあります。パラレルプログラミングでは、LD、SWCLK、WEN および データ入力ピン D[35:0] の組み合わせを使用します。パラレルプログラミングは、シリアルプログラミングと同様にマスタリセットが適切に初期化された場合のマスタリセット後にのみ行うことが可能です。LD および WEN が、Low にアサートが解除された場合、入力ポート D[35:0] から受信したデータは WCLK の立ち上がりで Offset Register に書き込まれます。書き込みサイクル数は、バスマッチのインプリメンテーションおよび FIFO の大きさにより異なります。

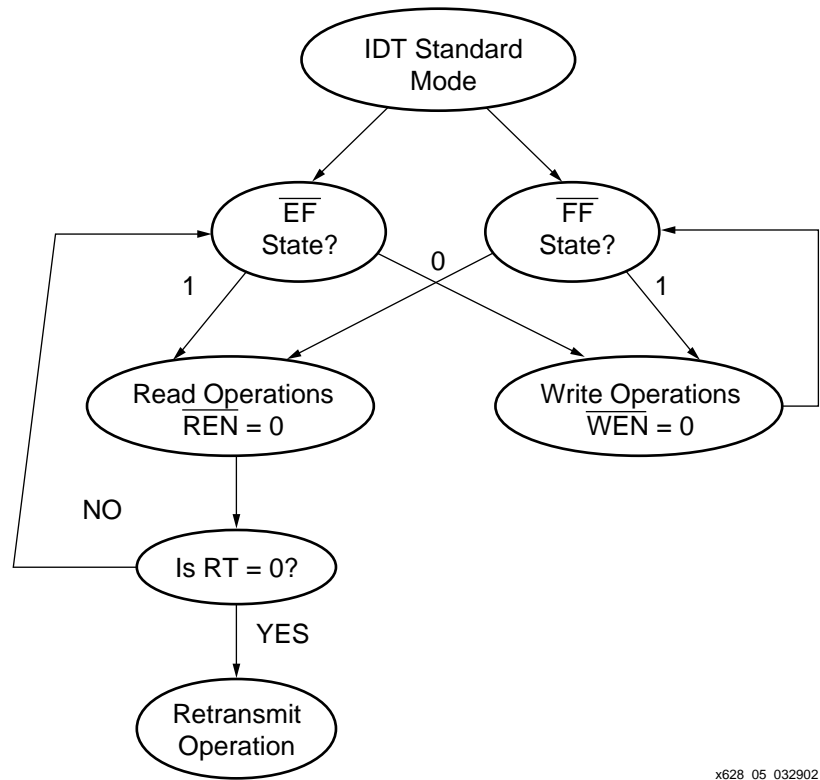
36 ビット入力バスの場合、Offset Register のプログラムには書き込みサイクルが 2 回必要となります。この場合、最初の書き込みサイクルでは、PAE Offset Register をプログラムし、2 回目のサイクルでは、PAF Offset Register をプログラムします。バスマッチが選択されている場合、書き込みサイクル数は、選択したバス幅および FIFO の大きさによって異なります。オフセットフラッグのプログラミングについては、「TeraSync 36-bit FIFO」データシートの図 3 を参照してください。PAE および PAF Offset Register のパラレルプログラミング用の x36 入力と x36 出力バス設定を使用した標準モードでの IDT72T36125 のパラレルプログラミングに関連の Verilog コード例は、IDT 社ウェブサイトのリファレンスデザインファイルに含まれています。

## 通常動作

TeraSync FIFO の通常動作では、クロック同期化された読み出し/書き込み制御信号を使用して書き込まれたデータから順に出力します。TeraSync FIFO では、IDT 標準モードおよび First-Word-Fall-Through (FWFT) モードのいずれかのタイミング モードを選択できます。これらのタイミング モードについての詳細は、「TeraSync」データシートを参照してください。

## IDT 標準モード

IDT 標準モードを選択する場合、マスタリセット中に  $\overline{\text{FWFT/SI}}$  ピンを High に設定します。このタイミングモードの選択後、読み出し/書き込み動作が開始できます。このモードでは、フラッグバウンダリに  $\overline{\text{EF}}$  および  $\overline{\text{FF}}$  が使用されます。マスタリセットおよびデフォルト設定を使用したプログラミングの Verilog コード例 (1) は、IDT 社ウェブサイトのリファレンスデザインのファイルに含まれています。図 5 に IDT 標準モードでのデバイスの設定方法を示します。



x628\_05\_032902

図 5: IDT 標準モードでの読み出し/書き込み動作フロー

## IDT 標準モードでの読み込み動作

FIFO に格納されたデータは、出力バス Q[35:0] から読み出されます。 $\overline{\text{REN}}$ 、 $\overline{\text{RCLK}}$ 、 $\overline{\text{RCS}}$ 、 $\overline{\text{EF}}$  の信号は、リードオペレーションに使用されます。リードオペレーションを初期化するには、 $\overline{\text{REN}}$  を Low に設定します。データは、 $\overline{\text{EF}}$  信号が Low の場合、 $\overline{\text{RCLK}}$  の立ち上がり毎に RAM アレイから Output Register にロードされます。IDT 標準モードでは、 $\overline{\text{RCS}}$  信号が Low の場合、すべてのワードの読み出しは、 $\overline{\text{REN}}$  を使用して要求されます。 $\overline{\text{RCS}}$  信号は、読み出しポートを同期イネーブルに制御します。この信号が非アクティブな場合、出力バスはトライステートになります。1 つのデータを読み出す場合の Verilog コード例 (4) は、IDT 社ウェブサイトのリファレンスデザインファイルに含まれています。

図 6 に TeraSync FIFO の読み出し動作のインプリメントに関連の信号を示します。

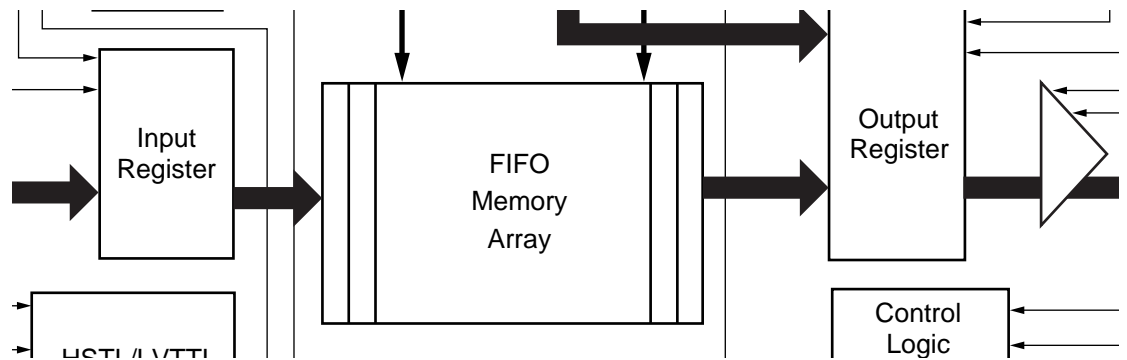
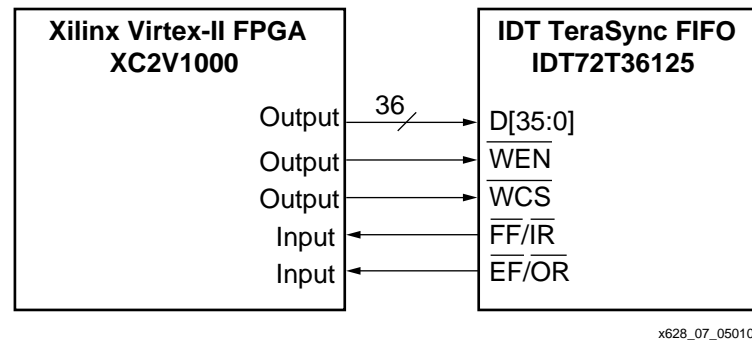


図 6: IDT 標準モードで読み出し動作に関連の信号

出カインーブルの制御に 1 つの信号のみを使用する場合は、出カインーブル信号 OE をグランド接続し、RCS を出カインーブル制御信号に指定することをお勧めします。

### IDT 標準モードでの書き込み動作

データは、入力バス D[35:0] から FIFO に書き込まれます。 $\overline{WEN}$ 、WCLK、 $\overline{WCS}$ 、 $\overline{FF}$  の信号は、書き込み用の信号になります。書き込み動作を初期化する場合は、 $\overline{FF}$  が Low でない場合に、 $\overline{WEN}$  を Low に設定し、WCLK の立ち上がり毎に入力データバスから RAM アレイにデータを取り込みます。 $\overline{WCS}$  信号は、書き込みポートを同期制御します。WCS が非アクティブな場合、入力ポートはディスエーブルになり FIFO にデータは書き込まれません。1 つのデータを書き込む場合の Verilog コード例 (5) は、IDT 社ウェブサイトのリファレンス デザイン ファイルに含まれています。図 7 に TeraSync FIFO の書き込み動作のインプリメントに関連の信号を示します。



x628\_07\_050102

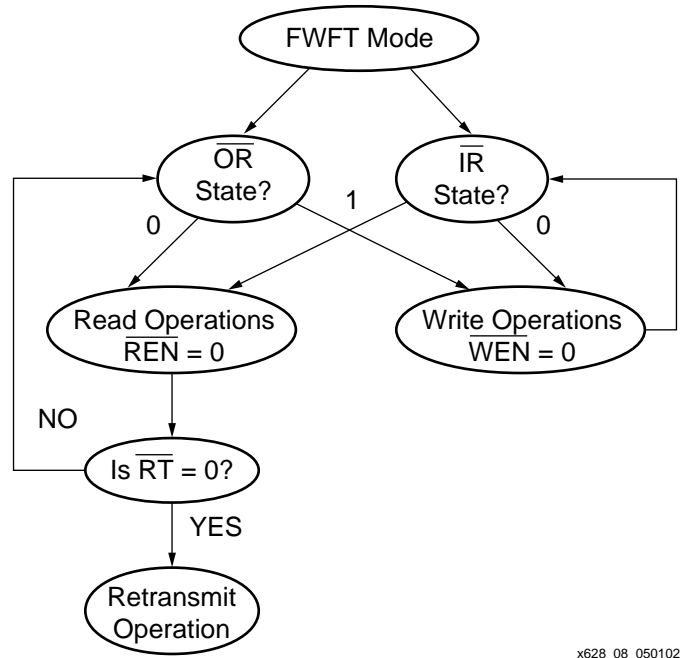
図 7: 書き込み動作に関連の信号

コード例 (4) および (5) は、1 つのデータの読み出しおよび書き込みを実行するファンクションです。デバイスで読み出しおよび書き込み可能なデータの大きさは、設計者が決定するためそれぞれ異なります。バースト書き込みおよび読み出しの Verilog コード例 (6) は、IDT 社ウェブサイトのリファレンス デザイン ファイルに含まれています。データは、まず Full まで書き込み、empty まで読み出す動作を数回繰り返します。

### FWFT モード

FWFT モードを選択する場合は、マスタリセット中に FWFT/SI ピンを Low に設定します。このモードが選択されると、読み込み/書き込み動作が開始します。このモードでは、フラッグバウンダリに  $\overline{IR}$  および  $\overline{OR}$  が使用されます。FWFT モードに設定する場合は、Verilog コード例 (1) のデフォルト *prog* のケースステートメントを *fwft\_si ≤ 1* に変更します。図 8 に FWFT モードでの読み出し/書き込みのフローチャートを示します。





x628\_08\_050102

図 8: FWFT モードの読み出しおよび書き込みフローチャート

### FWFT モードでの読み出し動作

FIFO に格納されたデータは、出力バス Q[35:0] から読み出されます。読み出し動作に関連の信号には、 $\overline{REN}$ 、 $\overline{RCLK}$ 、 $\overline{RCS}$ 、 $\overline{OR}$  があります。読み出しを初期化する場合は、 $\overline{REN}$  を Low に設定します。 $\overline{OR}$  が Low の場合、データは  $\overline{RCLK}$  の立ち上がりで RAM アレイから Output Register にロードされます。FWFT モードでは、空の FIFO に書き込まれた最初のワードは、ワードが書き込まれてから 3 回目の立ち上がりエッジで出力バスに自動送信されます。このワードを Output Register に送信する場合、 $\overline{REN}$  および  $\overline{RCS}$  を Low に設定する必要はありません。2 番目以降のすべてのワードは、読み出されるため  $\overline{REN}$  および  $\overline{RCS}$  を Low に設定する必要があります。 $\overline{RCS}$  信号は、読み出しポートの同期イネーブル制御を行いません。 $\overline{RCS}$  が非アクティブな場合、出力バスはトライステートになります。図 8 に、読み出し動作のフローチャートを示します。FWFT モードでの読み出しの Verilog コード (7) は、IDT 標準モードと非常によく似ていますが、読み出しポートに関連のステータスフラッグが  $\overline{EF}$  ではなく  $\overline{OR}$  であるという点のみが異なっています。1 つのデータを読み出す場合の Verilog コード例 (7) は、IDT 社ウェブサイトのリファレンスデザインファイルに含まれています。

出力イネーブルの制御を 1 つの信号のみで使われる場合は、出力イネーブル信号 OE をグランド接続し、 $\overline{RCS}$  をイネーブル信号に指定することをお勧めします。

### FWFT モードでの書き込み動作

データは、入力バス D[35:0] から FIFO に書き込まれます。書き込み動作に関連の信号には、 $\overline{WEN}$ 、 $\overline{WCLK}$ 、 $\overline{WCS}$ 、 $\overline{IR}$  があります。書き込み動作を初期化する場合は、 $\overline{WEN}$  を Low に設定します。 $\overline{IR}$  が Low の場合、データは  $\overline{WCLK}$  の立ち上がりで RAM アレイから入力データバスにロードされます。 $\overline{WCS}$  信号は、書き込みポートの同期制御を行いません。この信号が非アクティブな場合、入力ポートはディスエーブルになり、FIFO にデータは書き込まれません。図 8 に書き込み動作のフローチャートを示します。FWFT モードでの書き込みの Verilog コード (8) は、IDT 標準モードと非常によく似ていますが、書き込みポートに関連のステータスフラッグが  $\overline{EF}$  ではなく  $\overline{IR}$  であるという点のみが異なっています。FWFT モードでの書き込みの Verilog コード例 (8) は、IDT 社ウェブサイトのリファレンスデザインファイルに含まれています。



## その他の機能

## 再送信

TeraSync FIFO には、マーク地点からの再送信機能があります。この機能を使用すると、FIFO のデータをユーザーが選択した位置から繰り返し読み出すことができます。データの再送信を開始する位置をメモリで指定するには、RCLK の立上がりエッジで MARK を High に設定します。この位置が指定されると、再送信を行うことができます。データを再送信する場合は、RCLK の立ち上がりエッジで再送信信号 (RT) を Low に設定し、デバイスを再送信モードにします。Empty Flag が Low から High に戻ると再送信設定は完了します。

リード イネーブルは、再送信中には High に設定されるため無視されます。再送信の設定が完了すると、リード イネーブルおよび RCLK の立上がりエッジ毎のデータは、RAM で指定した位置から再送信設定前のリード ポインタに再送信されます。図 9 に、マーク地点からの再送信機能を示します。

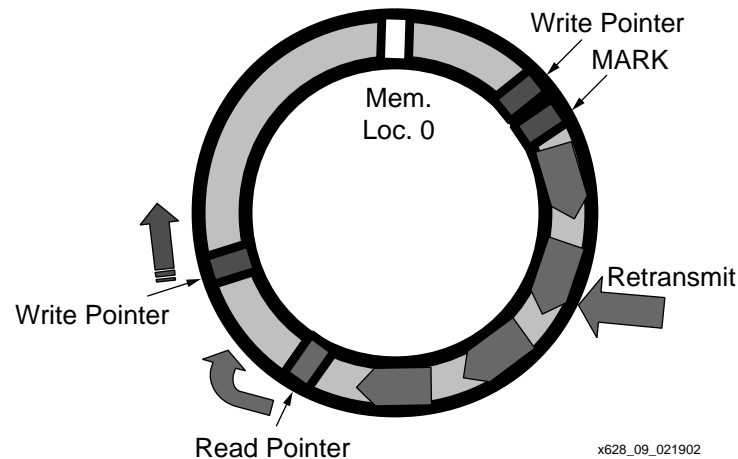


図 9: マーク地点からの再送信機能

ライト ポインタは、マーク地点を越えることはできません。この 2 点間は、再送信要求をされたとき最低 32 バイト必要です。図 10 に、再送信動作に関連の信号を示します。マーク地点からの再送信の Verilog コード例 (9) は、IDT 社ウェブサイトのリファレンス デザインファイルに含まれています。

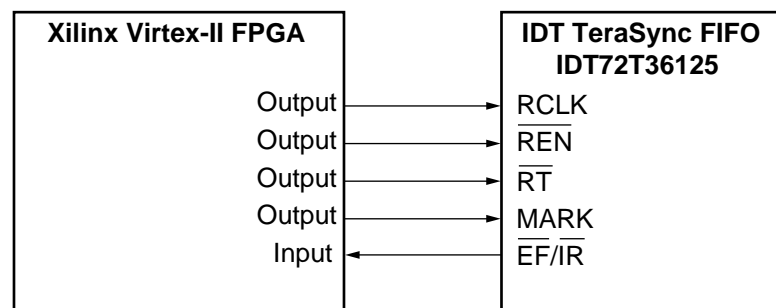


図 10: マーク地点からの再送信に関連の信号

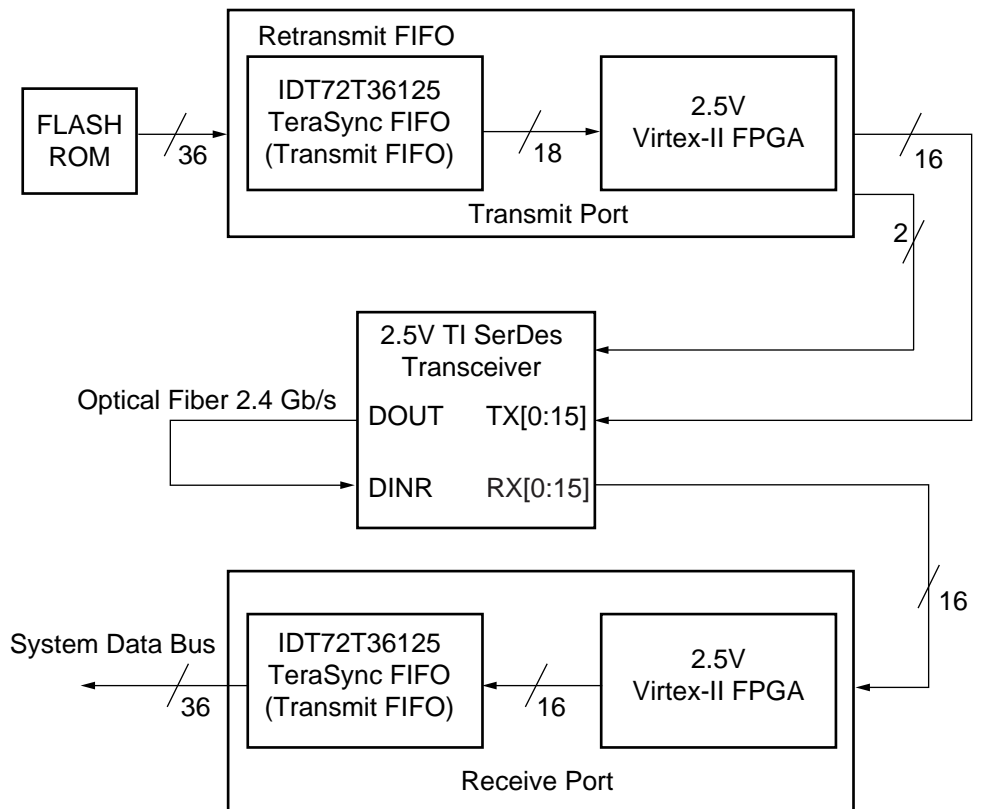
リファレンス  
デザイン

Virtex-II FPGA を TeraSync FIFO とインターフェイスすることにより、さまざまなアプリケーションとして使用できます。このアプリケーションノートで使用しているリファレンス デザインには、SONET で使用する光ファイバ テスト システムが含まれており、光ファイバ ケーブル ラインのデータを試験および検証します。図 11 に、光ファイバ テスト システムのフロー チャートを示します。

この場合、データ パターンはフラッシュ ROM で生成され、送信ポートの TeraSync FIFO に送信されます。このアプリケーションでは、単一の電圧ソースを使用している 2.5V の TeraSync FIFO コアが最適となります。TI の SerDes デバイスには 16 入力のみしかないので、バス マッチングをさせる必要があります。Virtex-II FPGA は、FIFO への読み出しおよび書き込み信号を制御します。送信 FIFO では、マーク地点からの再送信機能を使用します。トリガおよびリピート モード中は、同パターンのデータが FIFO から送信されます。送信ポートの余分な 2 ビットは、再送信用のパケット マーカとして使用されます。SerDes に入力された 16 ビットは、シリアル化され 2.4 Gb/秒のシリアル データ レートで送信されます。その後、このデータはトランシーバの受信側に接続され、デシリアライズされて FIFO に返送されます。受信側の FIFO では、システム バスで要求された 36 ビットのデータを出力するためバス マッチ機能を使用し、このシステム バスでデータを確認します。

Verilog コードのリファレンス デザインは、次のサイトから入手できます。

[http://www.idt.com/docs/TeraSync\\_Verilog\\_Example.txt](http://www.idt.com/docs/TeraSync_Verilog_Example.txt)



x628\_12\_050102

図 11: 光ファイバ テスト システム ブロック図

## おわりに

Virtex-II FPGA は、IDT 社の TeraSync FIFO 機能の初期化およびインプリメントに最適です。TeraSync FIFO の大半の通常動作および機能は、Verilog プログラミングで初期化できます。このように Virtex-II FPGA は、柔軟でアドバンスな機能を内蔵しており、さらに容易に使用できるという点から TeraSync FIFO とのインターフェイスに非常に適しているということが言えます。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
12/04/02	1.0	初版リリース