



ワード アライメントと SONET/SDH デフレーミング

著者 : Nick Sawyer

XAPP652 (v1.0.1) 2004 年 6 月 18 日

概要

このアプリケーション ノートでは、基本的なワード アライメントを実行するためのロジックおよび特に SONET/SDH システムのデフレーミングについて説明します。この SONET/SDH システムでは、データが、1 クロック サイクルにつき 16 ビットまたは 64 ビットで処理されます。

はじめに

一般に、プロセッシング ロジックをシリアル データ ストリームとインターフェイスするためには、ワードをアラインし、デフレーミングするロジック ブロックが必要です。通例、入力シリアル データ ストリームは、16 ビットまたは 32 ビット ワードで処理されます。たとえば、SONET OC48 を使用する場合は、2.5Gb/s までのシリアル ストリームは、通常 16 ビット ワードに変換され、FPGA 内で 155MHz までの速度で処理されます。設計者は、1 ビットのオリジナル データ ストリームをどのように 16 ビット ワードに当てはめるかを決定する必要があります。SONET システムでは、このために A1A2 の移行 (8KHz のフレーム ヘッダにある) を検出します。この移行が検出されると、データ ワードは、入力データのバイト バウンダリに一致するようにシフトします。

たとえば、16 ビットのデータ パスでは、あるワードの ビット [5] から実際のデータ処理を開始できます。この場合、入力ワードのビット [15:5] を、出力ワードのビット [10:0] に移動する必要があります。SONET データは MSB を最初に転送するため、出力ワードのビット [15:11] は、入力ワードのビット [4:0] に対応していることとなります。この場合、何ビットシフトするかは、4 ビットの入力コードで決定されます。データ パス幅が広い場合の機能も同様ですが、数が大きくなります。

さらに、デフレーミング ファンクションは、フレーム内での現在位置を把握するために、信号を出力する必要があります。これは、通常、現在のライン数およびワード数を示す 2 つのバイナリ値を生成することによって行われます。

図 1 に基本的な SONET フレーム (STS-1/OC1) を示します。

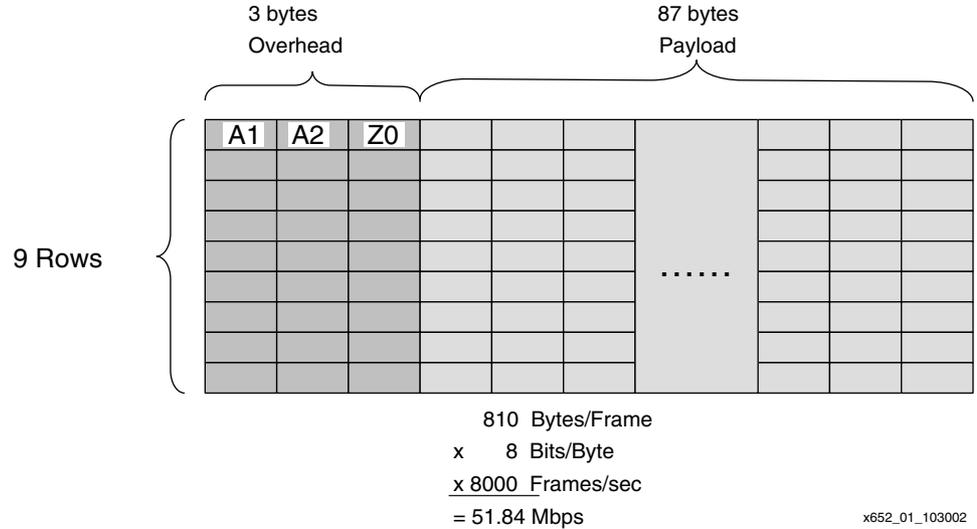


図 1 : STS-1/OC1 フレーム フォーマット

STS-1 フレームをバイト マルチプレクスすることによって、高いライン レートを達成できます。たとえば、OC48 は OC1 フレームを 48 バイト マルチプレクスしたものです。図 2 に、これを示します。

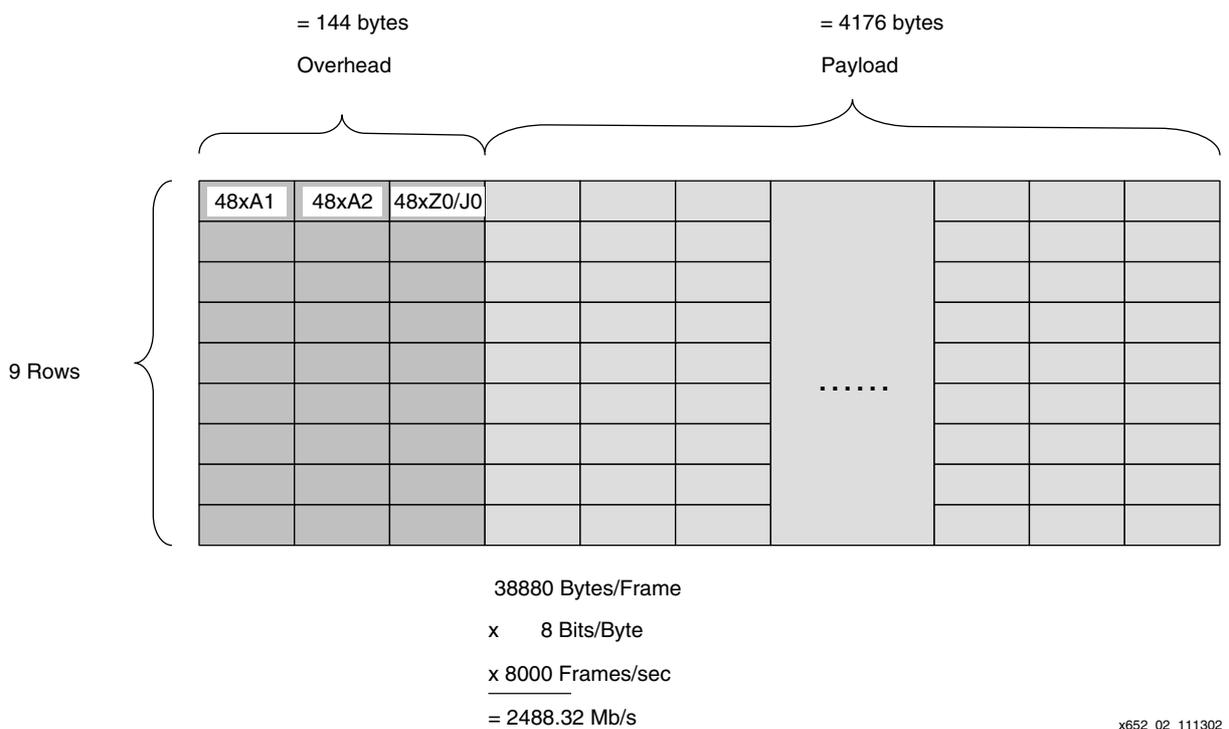


図 2 : STS-48/OC48 フレーム フォーマット

回路について

ワード アライン用の回路は、非常に単純です。図 3 に 16 ビット データ パスの例を示します。入力データがあらかじめアラインされていない場合、1 サイクル間以上アサートされた検索入力信号によって処理を開始します。この入力信号が Low になると、フレーム ヘッダ データの検索を開始できます。

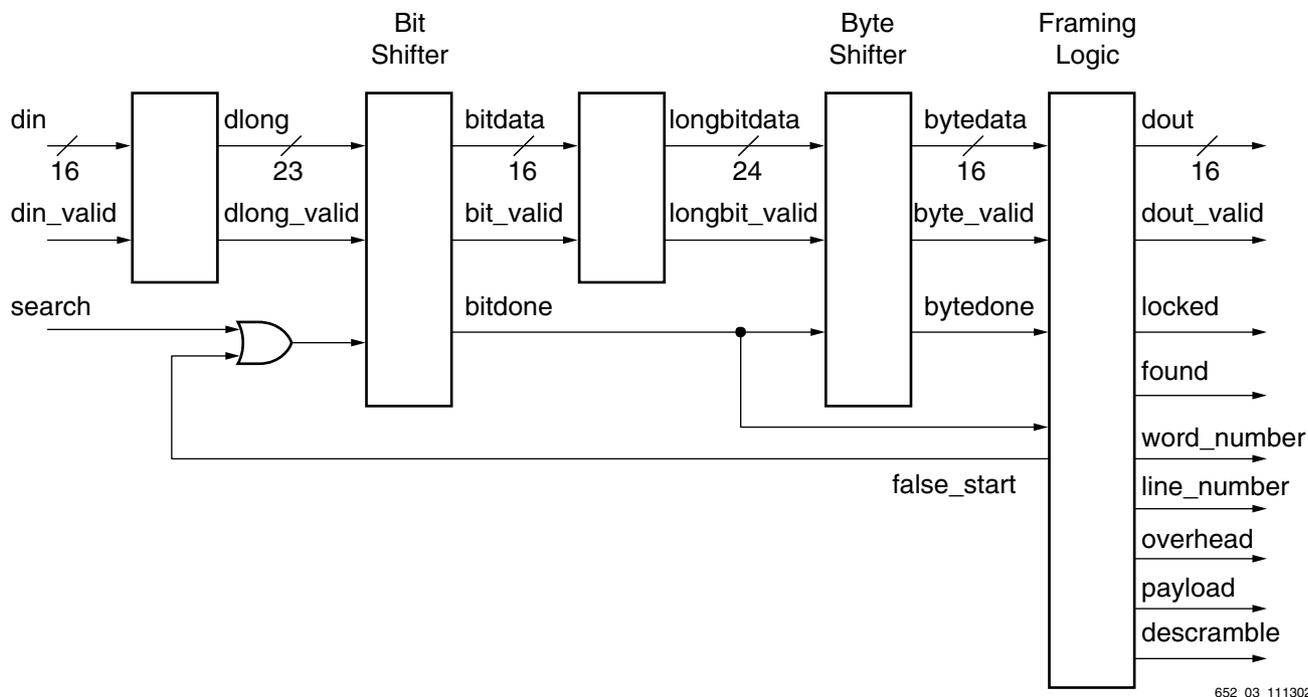


図 3: 16-ビット データ パス ブロック図

16 ビットの入力データワードは、直前のサイクルからのデータワード下位 7 ビットと組み合わせられ、ビットシフタモジュールに入ります (図 4)。23 ビット入力ワードには、8 通りの位置が考えられ、ビットシフタに含まれる 16 ビットの比較ロジックが、A1A1 ビットパターン (0XF6F6h) がどの位置にあるかを確認します。連続したサイクルの同じ位置に A1A1 が検出されると、これがフレームヘッダ部分であることがわかります。OC48 フレームヘッダには、48 回連続した A1 バイトがあります。エンコーダは、入力データワードを 0 から 7 ビットの位置へシフトさせる 3 ビット信号を生成します。そして、入力データはビットアラインされ、bit_valid がフラグされます。

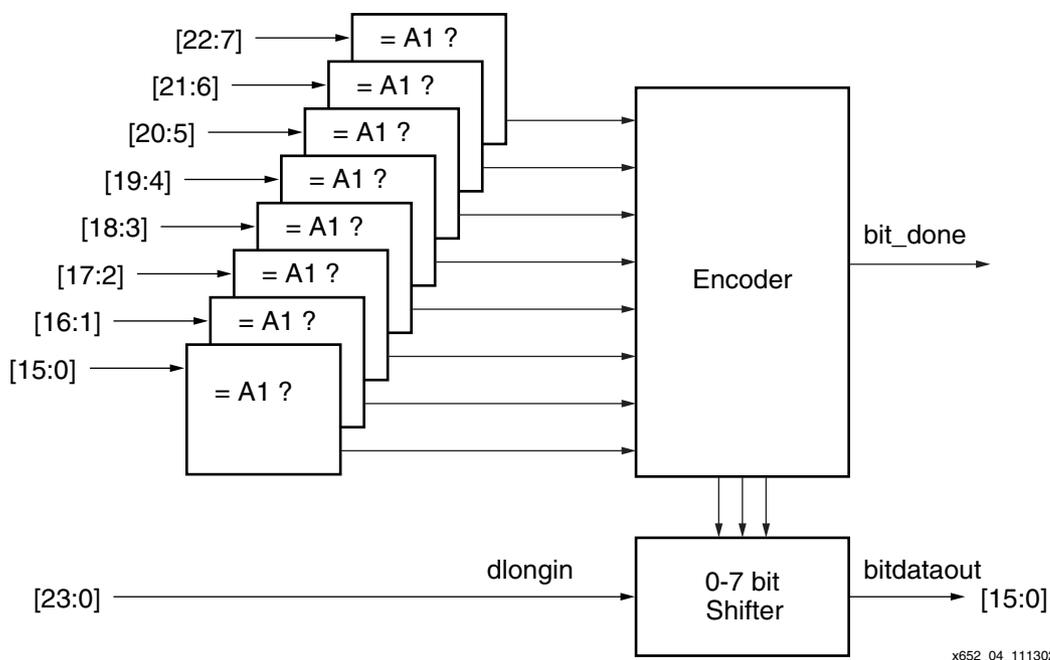


図 4: 16-ビット データ パス ビット シフタ

バイト アライメントも同様に処理されます。16 ビット データ ワードは、8 ビットと組み合わせられ、バイト シフタ モジュールに入ります (図 5)。

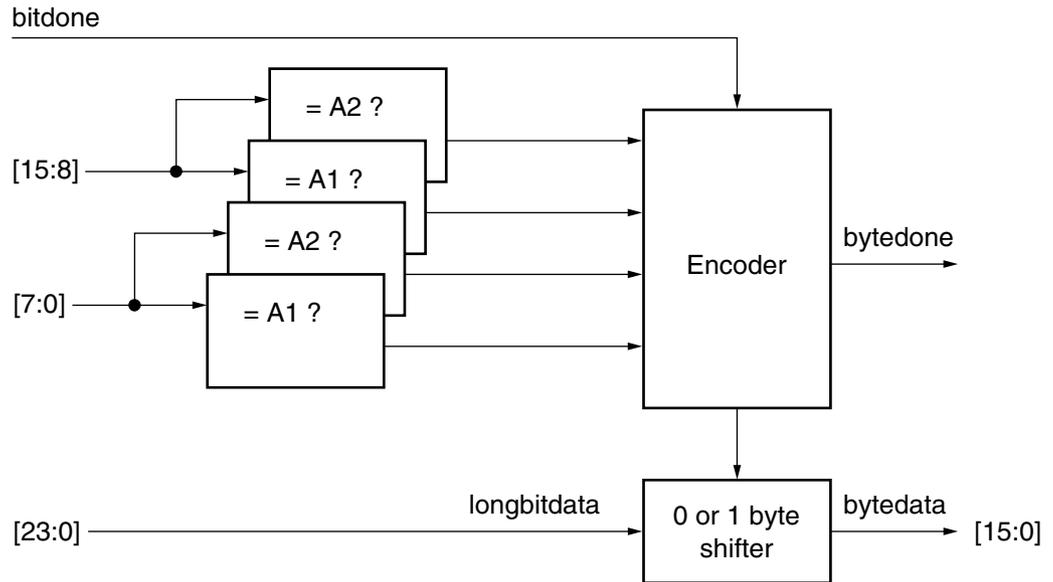


図 5：16-ビット データ パス バイト シフタ

バイト シフタには 8 ビットの比較ロジックがあり、A1 オクテット (0XF6h) および A2 オクテット (0X28h) を検出し、bit_done 入力が high になると、入力データがビット アラインされたことがわかります。検索ロジックによって、パタン A1A2 の位置がビット [23:8] または [15:0] のいずれかであることがわかると、A1A2 の移行は、ヘッダ フレームにあると仮定され、byte_done フラグがアサートされます。エンコーダは、入力データを 0 または 8 ビット シフトさせる 1 ビット信号を生成し、出力データは、正確に A1A2 バウンダリにアラインされます。したがって、出力データでは A1A1 の次は A2A2 となります。

バイト アラインされたデータは、フレーム ロジックに入り、再び A1A2 の移行を比較検索します。これを 3 回実行し、この移行が適切な位置にあることが確認されると locked 信号がアサートされます。さらに、A1A2 の移行が検出されるごとに、found 信号が 1 クロック サイクル間アサートされます。移行が適切な位置で検出されない場合は、false_start 信号を使用し、すべてのロジックをリセットした後、再び検索が開始されます。そして、適当な位置にフレーム パターンがあることが n 回確認されると、locked 信号がアサートされます。n の値は、Verilog/VHDL コードに記述する定数で決定され、デフォルト値として 3 が設定されています。

ここで「検出される」とは、回路で A1A1 ワードの直後に A2A2 ワードがあることを示します。

「適切な位置」は、受信されるデータ タイプによって決定され、通信システムの基本的な速度は 8KHz です。OC48 の場合、A1A2 の移行が 38,880 オクテットごとに起こります (16 ビットのデータ幅で、19,440 クロック)。

アラインされると、次の出力信号を使用できます。

word_number	現在のデータのワード数 (OC48 では 0 から 2159) です。
line_number	ワードがあるライン数 (0 から 8) です。
overhead	フレームのオーバーヘッド部分の受信を示します。
payload	ワードがペイロードの一部であることを示します。
descramble	XAPP651 に記載されているように、スクランブル ロジックをイネーブルあるいはディスエーブルにするために使用されます。

locked 信号がアサートされると、回路では、サーチ コマンドが実行されるか m 連続サイクル間 A1A2 が適切な位置で検出されないことが確認されるまで、同様の処理が続行されます。m の値は、

Verilog/VHDL コードに記述する定数によって決定され、デフォルト値として 3 が設定されています。いずれの場合も、locked 出力信号がディASSERTされます。

最後に、クロック イネーブル din_valid 信号および出力データ有効 dout_valid 信号は FIFO から入力されるデータに含まれます。

64-ビット データパス

データパス幅を 64 ビットに拡張すると、10Gb/s での OC192 データのワードアライメントを行うことができます。回路デザインは非常に類似していますが、図 6 に示すように、データパスは広くなり、バイトシフトが複雑になります。この場合、入力データを 0 から 7 バイトにシフトする必要があります。たとえば、フレームは、A1A1A2A2 が適切にアラインされたかどうか、ヘッダパターンの 32 ビットのみをチェックします。これは、広く使用されている技術です。

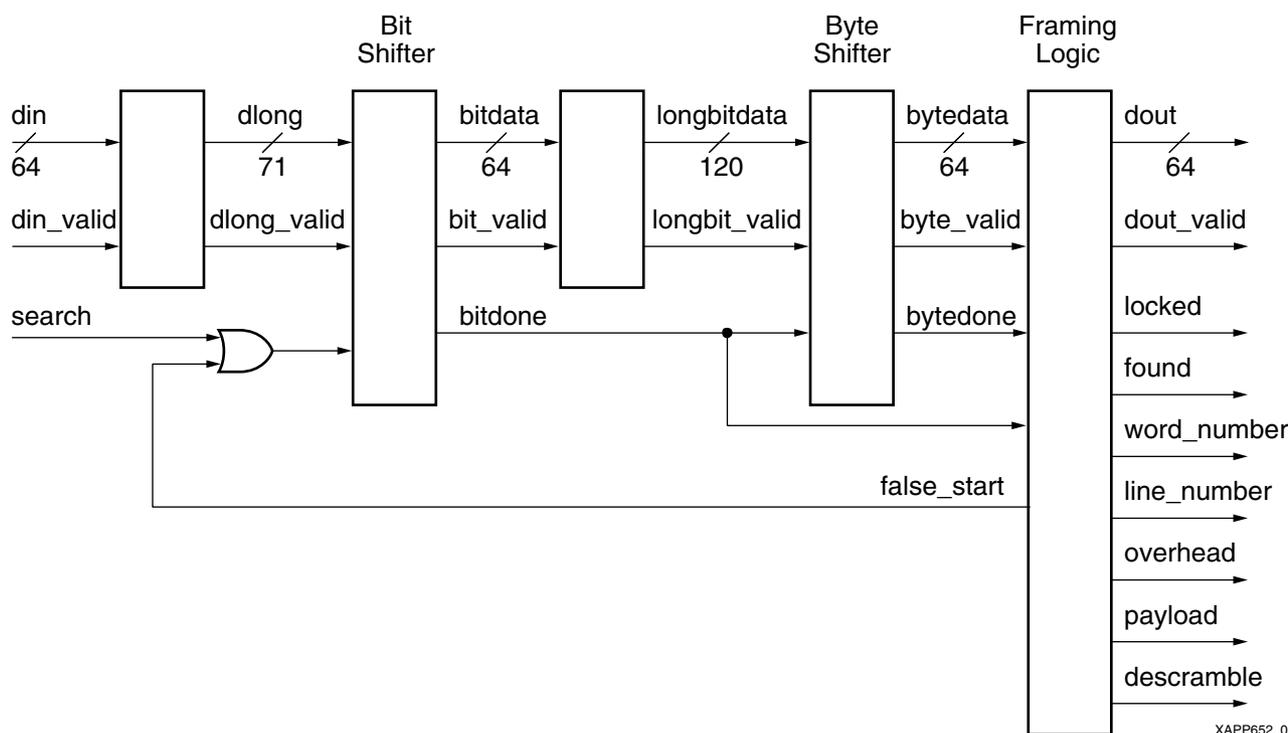


図 6：64 ビット データパス ブロック図

リファレンスデザイン

16 ビットまたは 64 ビット データパスの場合、Virtex-II -4 スピード グレード デバイスを使用すると、リファレンス デザインは約 180MHz で動作します。16 ビット デザインでは、およそ 150 Virtex-II スライスが使用され、64 ビット デザインではおよそ 500 スライスが使用されます。

Virtex-II シリーズ用のリファレンス デザイン ファイルは、ザイリンクス ウェブ サイトから、Verilog および VHDL で入手できます ([xapp652.zip](#))。なお、この ZIP ファイルには最新の README ファイルが含まれます。

おわりに

リファレンス デザイン ファイルを使用することによって、ワードアライメントを実行した場合の Virtex-II シリーズ プラットフォーム FPGA の柔軟性を理解できます。このアプリケーション ノートにあるデザイン ファイルは、スクランブラ ([XAPP651](#)) および周波数の変換 ([XAPP649](#)) のファイルと組み合わせることができ、様々なシステム バックプレーンで、Virtex-II Pro RocketIO トランシーバを SONET OC 48 に対して使用できるようになります。

改訂履歴

このドキュメントの改訂履歴を示します。

日付	バージョン	改訂内容
2002/11/15	1.0	初版リリース
2004/06/18	1.0.1	ウェブ リンクの更新および補足変更