



XAPP659 (v1.5) 2004 年 2 月 4 日

## Virtex-II Pro デザインで 3.3V I/O を使用する方法

### 概要

このアプリケーション ノートは、Virtex-II Pro™ システム デザインでの 3.3V I/O 規格 (PCI、LVTTTL および LVCMOS) の使用について説明します。主な内容は、オーバーシュート/アンダーシュートの考察、外部レギュレータとバス スイッチによるソリューション、デバイス コンフィギュレーション、およびその他のボード レベルの設計技術です。

### はじめに

新システムの I/O 規格は、高い処理能力を得るために供給電圧を下げる傾向にあります。今もなお、LVTTTL や PCI など 3.3V I/O 規格が使用されています。Virtex-II Pro デバイスには、すべてのデザイン要件を満たすため、3.3V から 1.5V までの I/O 規格があります。デバイスの内部電圧は 1.5 V ですが、I/O はすべてのデザイン要件を満たすように設計されています。

このアプリケーション ノートでは、Virtex-II Pro デバイスの利点を有効活用し、最大限のパフォーマンスを得るため、3.3V I/O のデザインおよび技術について説明します。主な内容は、終端技術でオーバーシュート/アンダーシュートの管理、 $V_{CCO}$  を電圧レギュレータで 3.0V に規定すること、外部バス スイッチの使用、さまざまなコンフィギュレーション方法の復習、その他のデザイン考察などです。

### I/O 規格の デザイン ルール

#### オーバーシュート/アンダーシュート

$V_{CCO}$  が 3.75V の場合、3.3V I/O でのアンダーシュート/オーバーシュートの許容電圧を -0.3V から 4.05V の範囲内に抑える必要があります。この許容値の範囲は、『[Virtex-II Pro Platform FPGA のデータシート](#)』のモジュール 3 の表 1 に記載されています。ただし、この値は  $V_{CCO}$  値により直接影響を受けます。表 1 に、異なる  $V_{CCO}$  値におけるワーストケースのアンダーシュート/オーバーシュート電圧を示します。

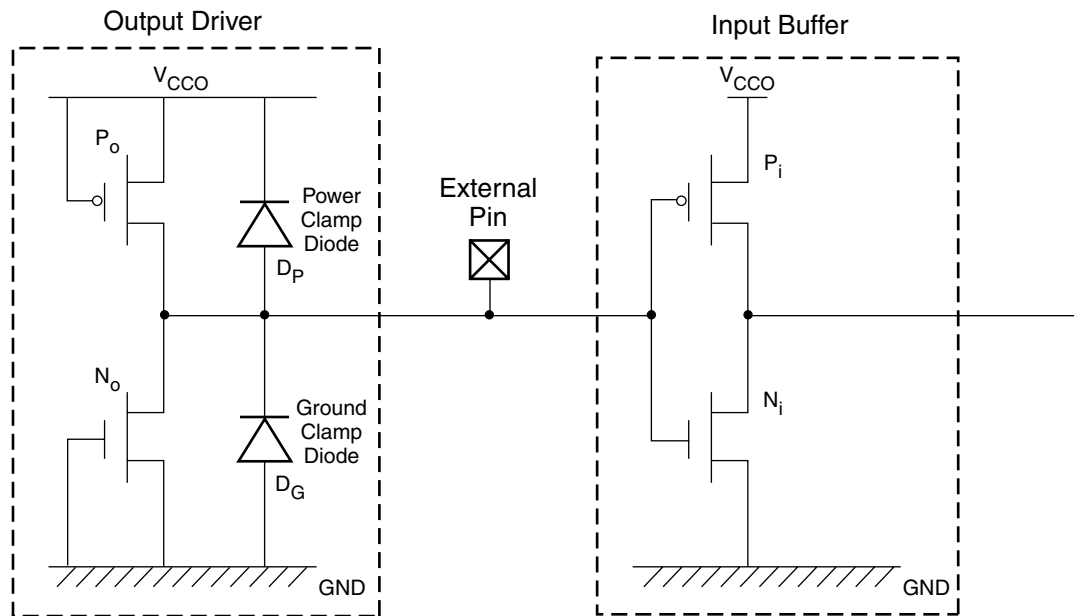
ゲート オキシドの電圧は、常に 4.05V を超えてはいけません。図 1 に示すように、I/O が入力バッファまたはトライ ステート バッファの場合を考えます。PMOS トランジスタ  $P_o$  および NMOS トランジスタ  $N_o$  の出力ゲートは、本質上  $V_{CCO}$  とグランドにそれぞれ接続されています。

PMOS トランジスタ  $P_o$  にストレスを与えないアンダーシュートの許容値は、ゲート電圧からゲート オキシド リミットを引いた値、つまり  $V_{CCO} - 4.05V$  となります。

同様に、NMOS トランジスタ  $N_o$  にストレスを与えないオーバーシュートの許容値は、ゲート電圧にゲート オキシド リミットをプラスした値、つまり  $\text{Ground} + 4.05V$  となります。

© 2003-2004 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.co.jp/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。



x659\_09\_111103

図 1: Virtex-II Pro I/O: トライ ステート出カドライバ

アンダーシュートの許容値は、 $V_{CCO}$  と密接に関係しています。 $V_{CCO}$  が 3.75V より低くなるにつれ、アンダーシュートの許容値も低くなります。表 1 に、異なる  $V_{CCO}$  値におけるアンダーシュートの許容値およびオーバーシュートの許容値を示します。オーバーシュートの許容値は、 $V_{CCO}$  レベルに影響されないことが確認できます。

表 1: アンダーシュートおよびオーバーシュートの許容値

$V_{CCO}$ (V)	アンダーシュート (V)	オーバーシュート (V)
3.75	-0.30	4.05
3.6	-0.45	4.05
3.45	-0.60	4.05
3.3	-0.75	4.05
3.0	-1.05	4.05

$V_{CCO} + 0.5V$  の値および  $Ground - 0.5V$  の値を超えた過渡電流は、クランプ ダイオードで制御されません。このダイオードの電圧は、過渡電流に比例して増加します。つまり、クランプ レベルは一定ではなく、ボード デザインにより異なります。クランプ ダイオードが作動しても、I/O の絶対最大定数値を超える場合もあります。

IBIS モデルでは、I/O ドライバおよびクランプ ダイオードの電圧-電流の特性について記載されています。

オーバーシュートおよびアンダーシュートが I/O の絶対最大値内であることを検証するため、ザイリンクスは、正しい I/O 終端と IBIS シミュレーションの実行を推奨します。「補足資料: 終端」では、終端の必要性および終端方法について説明しています。

### ソース終端と LVDCI\_33

通常、オーバーシュート/アンダーシュートを最小限に抑えるには、I/O ドライバがボード トレース インピーダンスと  $\pm 10\%$  以内の一致が必要です。一方向インターフェイスには主にソース終端を使用しま

す。Virtex-II XCITE DCI (デジタル コントロール インピーダンス) 機能は、すべてのユーザー出力ピンにビルトインされたソース終端があります。これにより電圧や温度の変動によるインピーダンスの変化が補正され、リファレンス抵抗値と一致します。リファレンス抵抗値がボード トレース インピーダンスと同一であると仮定した場合、ドライバの出力インピーダンスとボード トレースは、ほぼ完全に一致します。

3.3V I/O の場合、LVDCI\_33 規格を使用して DCI 機能を有効にします。図 2 で示すように、Virtex-II Pro 出力ドライバにソース終端機能をインプリメントするには OBUF\_LVDCI\_33 プリミティブを使用します。VRN に接続しているプルアップ抵抗と VRP に接続しているプルダウン抵抗が、同じバンク内のすべての出力ドライバの出力インピーダンスを決定します。DCI の使用に関する詳細は、『[Virtex-II Pro Platform FPGA のユーザー ガイド](#)』を参照してください。

LVDCI\_33 には入力終端がないため、ドライバ側にソース終端をインプリメントする必要があります。図 2 に、外部デバイス側にインプリメントする外部ソース終端抵抗を示します。

オーバーシュート/アンダーシュートを最小限に抑えるため、シリアル終端抵抗  $R_0$  に追加された LVTTTL/LVCOMS ドライバのインピーダンスの合計が、ボード トレース インピーダンスと  $\pm 10\%$  以内の一致が必要です。IBIS シミュレーションを実行し、正確な  $R_0$  値を計算することを推奨します。

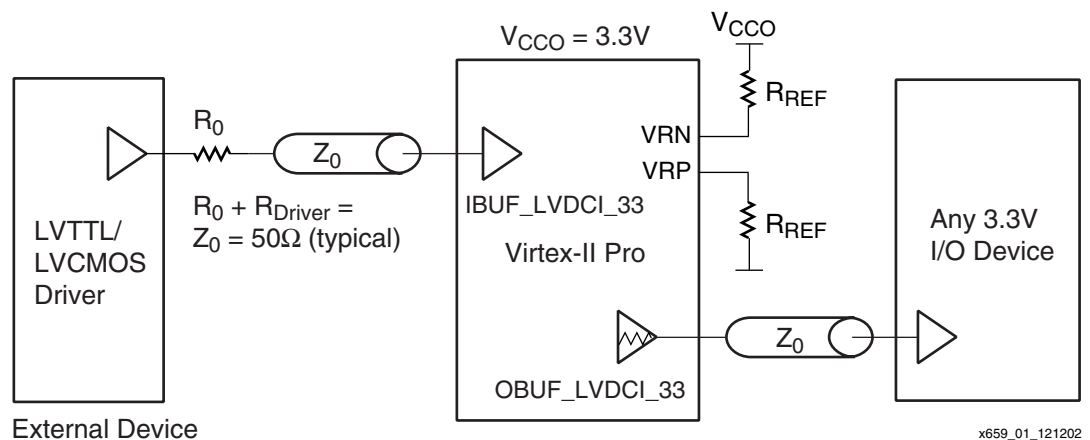


図 2： LVDCI\_33 規格を使用した LVTTTL または LVCOMS への接続

図 3 に、双方向バスの接続を示します。この場合、 $R_0$  により信号のパフォーマンスが下がる可能性があるため、IBIS シミュレーションで  $R_0$  値とパフォーマンスを検証することを推奨します。

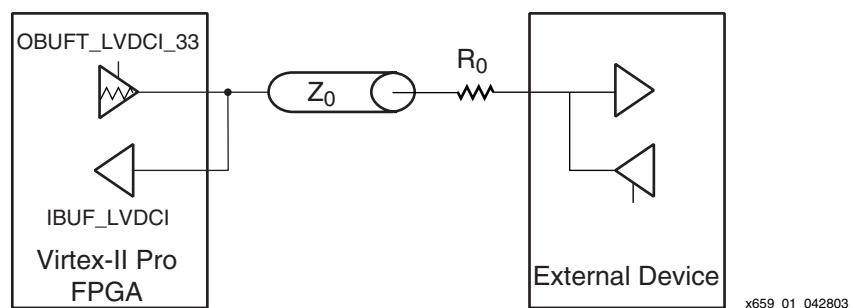


図 3： 3.3V I/O コンフィギュレーション

LVDCI\_33 規格を使用したデザインにおけるヒントを次に示します。

- 出力のドライブ強度やスルー レートはプログラムできません。出力インピーダンスは VRP や VRN 抵抗を参照し、出力電流は出力インピーダンスにより決定されます。
- LVDCI\_33 入力を使用した場合、外部リファレンス抵抗を VRP および VRN に接続する必要はありません。インプリメンテーションのパッド レポートに VRP や VRN が使用されたことは表示さ

れません。バンクに LVDCI\_33 出力がある場合のみ、外部リファレンス抵抗が必要になります。

- LVDCI\_33 は、LVTTL 規格および LVCMOS 規格にのみ、互換性があります。
- DCI の使用については、『[Virtex-II Pro Platform FPGA ユーザーガイド](#)』を参照してください。このユーザーガイドには DCI デザインの考察のほかに HDL の例も記載されています。

スルー レートを fast から slow へ変更、あるいは電流値を低く設定することにより、オーバーシュート/アンダーシュートを大幅に低減させることができます。

ザイリンクス社のウェブ サイト [シグナル インテグリティ セントラル](#) に、PCB 設計者およびシグナル インテグリティ 技術者が必要とするデザイン情報を掲載しています。

## V<sub>CCO</sub> を 3.0V に規定

このセクションでは、LVTTL、LVCMOS33、および PCI アプリケーションにおけるオーバーシュート/アンダーシュートの制御方法について説明します。

V<sub>CCO</sub> を 3.0V に下げた場合、クランプ ダイオードが約 3.5V でオンになります。これにより、許容値の 4.05V に達する前に、3.5V より高いオーバーシュートを制御します。また、V<sub>CCO</sub> が 3.75V の場合では、アンダーシュートの許容値は -0.3V ですが、V<sub>CCO</sub> を 3.0V に下げるとアンダーシュートの許容値は -1.05V になります。つまり、アンダーシュートの許容値に達する前に、クランプ ダイオードがアンダーシュートを制御します。

この結果、LVCMOS\_33、LVTTL、LVDCI\_33、および PCI を含むサポートされているすべての 3.3V 規格は、V<sub>CCO</sub> を下げる手法でオーバーシュート/アンダーシュートを制御できます。

### XAPP653: リニア テクノロジー社の電圧レギュレータを使用したソリューション

[XAPP653](#) のリファレンス デザインでは、外部レギュレータを使用して Virtex-II Pro デバイスの V<sub>CCO</sub> 電圧を 3.0V に下げています。このため、信号が許容値を超える前に 2 つのダイオードがクランプします。デバイスの供給電圧を 3.0V に下げるとは PCI の仕様範囲内であるため、この手法は PCI 規格に準拠しています。

電圧レギュレータを使用して I/O バンクの V<sub>CCO</sub> を 3.0V に下げると、I/O の電圧クランプ ダイオード (D<sub>p</sub>) は 3.5V 以上の PCI 信号を制御します。したがって許容値である 4.05V を超える信号は制御されます。図 4 に、FPGA V<sub>CCO</sub> からリファレンス抵抗 (R1 および R2) を通過するオーバーシュート電流のフローを示します。

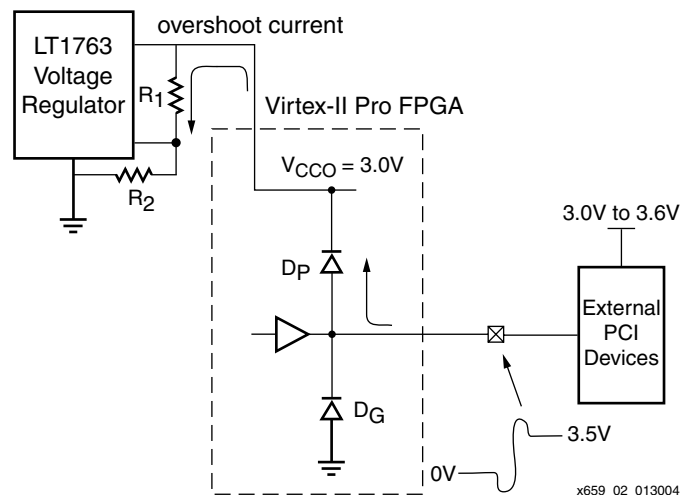


図 4：PCI 信号の制御

PCI バス仕様の最小入力電圧は -0.5V です。V<sub>CCO</sub> を 3.0V に下げた場合、アンダーシュートの許容値は -1.05V になります。-1.05V に達する前に、-0.5V を下回るアンダーシュートは、グランド クランプ ダ

イオード ( $D_G$ ) により制御されます。図 5 に、リニアテクノロジーレギュレータのインプリメンテーションを示します。

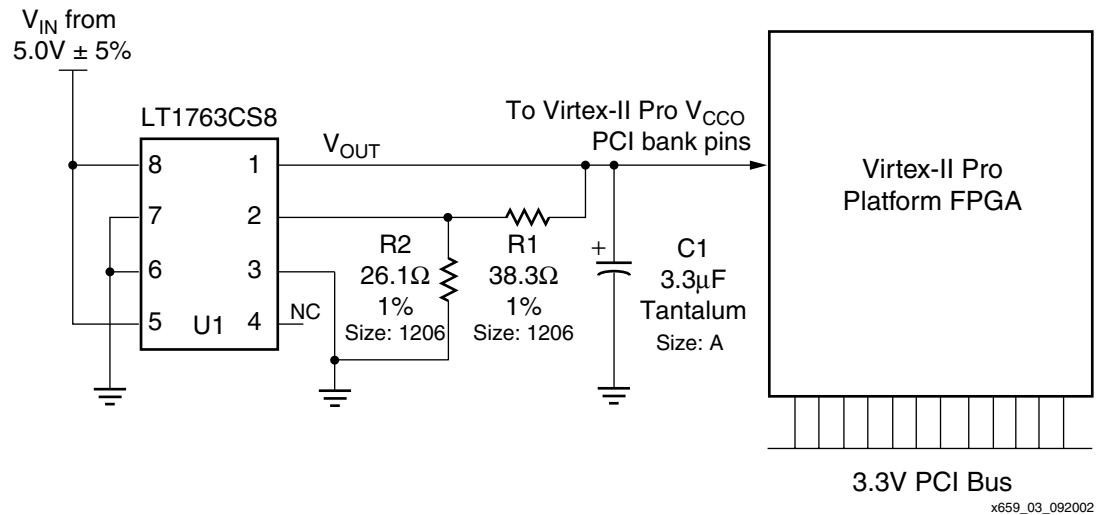


図 5: XAPP653: レギュレータのリファレンス デザイン

Texas Instruments 社の電圧レギュレータを使用する方法もあります。図 6 に、TPS7301 低ドロップアウトレギュレータ回路の例を示します。

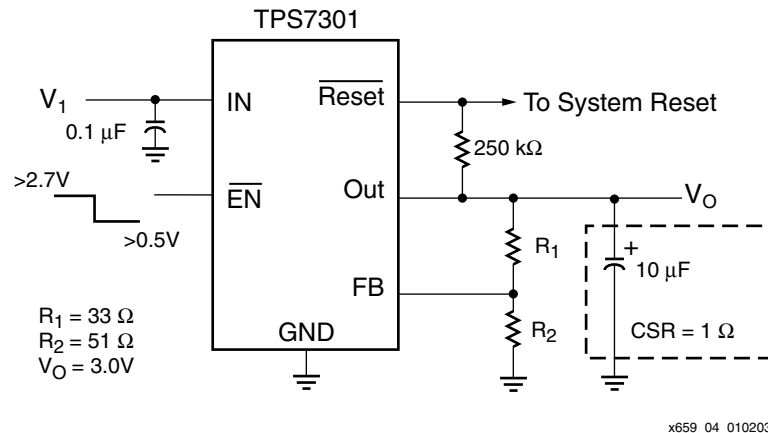


図 6: Texas Instruments 社の電圧レギュレータの例

詳細は、次の Texas Instruments 社のウェブサイトを参照してください。

<http://www-s.ti.com/sc/ds/tps7301.pdf>

## 外部バス スイッチ

オーバーシュート/アンダースhootを制御するその他の方法には、外部バス スイッチの使用がありません。[XAPP646](#) では、Virtex-II Pro I/O と 3.3V から 5V までの信号を駆動する外部デバイス間に IDT の QuickSwitch デバイス挿入し、バッファとして使用する方法を説明しています。

## XAPP646: IDT 社の QuickSwitch デバイスを使用したソリューション

XAPP646 では、IDT 社の QuickSwitch デバイスの使用に関して、3.3V/5V の両方の PCI 環境における Virtex-II Pro および Virtex-II の場合について説明しています。

IDT 社の QuickSwitch デバイスは高速バス スイッチであり、非常に単純構造のデバイスで、250ps の遅延と 5pF 以下のロードを持つ複数の NMOS パストラランジスタで構成されています。図 7 に、QuickSwitch の基本構造を示します。

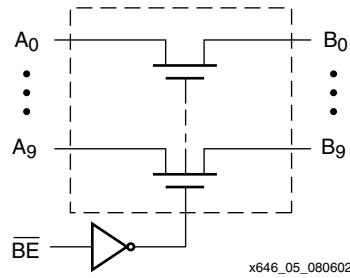


図 7 : QuickSwitch の構造

図 8 では、QuickSwitch デバイスの B サイドが A サイドからの電圧を 3.0V 以下に制限しています。これは、NMOS パストラランジスタが  $V_{CC}$  を超えた A サイドの電圧をデバイスのしきい値以下に制御するためです。さらに、デバイス ダイオードにより、負のアンダーシュート電圧は -0.1V 内に制御されま

す。過渡電流を吸収し信号を適度に制御するには、0.1 $\mu$ F キャパシタが 2 つ必要です。1 つは、 $V_{CC}$  とグラウンドの間（各 QuickSwitch デバイスごとに 1 つ）、もう 1 つは、グラウンド ピンのバイアス ポイントとシステム グラウンドの間に使用されます。負のクランプレベルバイアス電圧を保つには、390 $\mu$ F キャパシタ（220 $\mu$ F から 470 $\mu$ F が適切）が必要です。

インプリメンテーションの詳細は、XAPP646 を参照してください。

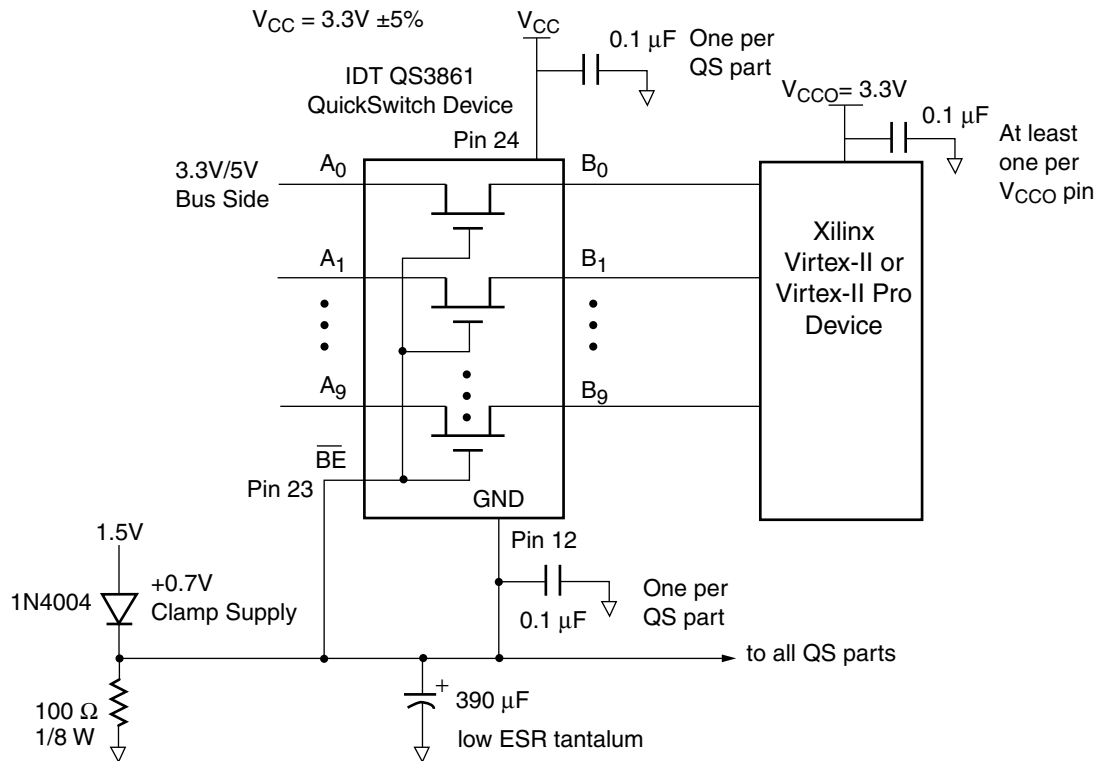


図 8 : QuickSwitch と FPGA の接続

## デバイス コンフィ ギュレーション

Virtex-II Pro デバイスの場合、JTAG ポート、シリアル PROM、または System ACE コントローラを介してコンフィギュレーションできます。

CCLK、PROG\_B、DONE、M2、M1、および M0 などのコンフィギュレーション専用ピンと PWRDWN\_B および HSWAP\_EN ピンには、 $V_{CCAUX}$  から 2.5V の電源が供給されます。DIN、D1:D7、CS\_B、RDWR\_B、BUSY/DOUT、および INIT\_B などの多目的コンフィギュレーション ピンには、2.5V または 3.3V の電源が供給されます。詳細は、表 2 を参照してください。

表 2 : Virtex-II Pro のピンとバイアス電圧

ピン名	ピン方向	バイアス電圧 (V)	説明
CCLK	入力/出力	2.5	このピンは、 $V_{CCAUX}$ を使用します。100 $\Omega$ シリアル抵抗を使用しない限り、入力を 3.3V で駆動してはいけません。出力は LVTTTL 対応の LVCMOS25 です。
PROG_B	入力	2.5	このピンは $V_{CCAUX}$ (2.5V) を使用します。100 $\Omega$ 抵抗を使用しない限り、3.3V にプルアップをしてはいけません。
DONE	オープン ドレイン出力	2.5	このピンは $V_{CCAUX}$ (2.5V) を使用します。470 $\Omega$ プルアップ抵抗を使用しない限り、3.3V にプルアップをしてはいけません。
M2, M1, M0	入力	2.5	このピンは $V_{CCAUX}$ (必ず 2.5V) を使用します。100 $\Omega$ シリアル抵抗を使用しない限り、これらのピンを 3.3V に接続してはいけません。
HSWAP_EN	入力	2.5	このピンは $V_{CCAUX}$ (必ず 2.5V) を使用します。100 $\Omega$ シリアル抵抗を使用しない限り、このピンを 3.3V に接続してはいけません。
TDI	入力	2.5/3.3	このピンは 3.3V トレラントですが、 $V_{CCAUX}$ で電源供給されます。
TMS	入力	2.5/3.3	このピンは 3.3V トレラントですが、 $V_{CCAUX}$ で電源供給されます。
TCK	入力	2.5/3.3	このピンは 3.3V トレラントですが、 $V_{CCAUX}$ で電源供給されます。
TDO	オープン ドレイン出力	2.5/3.3	このピンは、3.3V のプルアップが可能なオープン ドレインです。200 $\Omega$ 以上の外部プルアップの使用を推奨します。内部プルアップはありません。
PWRDWN_B	入力	2.5	このピンは $V_{CCAUX}$ (2.5V) を使用します。内部プルアップがあります。100 $\Omega$ シリアル抵抗を使用しない限り、3.3V の外部プルアップをしてはいけません。現在は、このピンによるパワー ダウン機能をサポートしていません。
DIN/D0-D7	入力/出力	2.5/3.3	このピンは $V_{CCO}$ を使用します。
CS_B	入力	2.5/3.3	このピンは $V_{CCO}$ を使用します。
RDWR_B	入力	2.5/3.3	このピンは $V_{CCO}$ を使用します。
BUSY/DOUT	入力	2.5/3.3	このピンは $V_{CCO}$ を使用します。
INIT_B	入力	2.5/3.3	このピンは $V_{CCO}$ を使用します。
VRP	入力	なし	リファレンス抵抗は GND に接続します。
VRN	入力	2.5/3.3	リファレンス抵抗は $V_{CCO}$ に接続しなければいけません。
$V_{REF}$	入力	2.5/3.3	使用する I/O 規格により異なります。
DXN, DXP	なし	なし	温度ダイオードのカソードまたはアノードに接続します。
$V_{BATT}$	入力	3.0	暗号キー用のバッテリーを供給します。
ユーザー I/O	入力/出力	複数あり	すべてのレギュラー ユーザー I/O は、次の 3.3V 信号規格をサポートしています。(LVTTTL、LVCMOS、PCI33、PCI66、PCIX、LVDCI33)

このセクションでは、さまざまなコンフィギュレーション方法における 3.3V I/O インターフェイスの考察について説明します。コンフィギュレーションに関する詳細は、『[Virtex-II Pro Platform FPGA のユーザーガイド](#)』を参照してください。

### コンフィギュレーション専用ピン

CCLK、PROG\_B、DONE、M2、M1、および M0 などのコンフィギュレーション専用ピンと PWRDWN\_B および HSWAP\_EN ピンは、 $V_{CCAUX}$  から 2.5V の電源が供給されます。これらのピンは、3.3V 信号に接続してはいけませんが、3.3V に接続しなければいけない場合は、100 オームのシリアル抵抗を使用して 3.3V に接続、またはこれらのピンに 3mA 以上の電流を流さないようにすることを推奨します。

上記の例外として、唯一 DONE ピンは 470 オームのシリアル抵抗を使用して 3.3V に接続しなければなりません。複数の FPGA の DONE ピンが結合して接続されており、ほかの FPGA ファミリが推奨するプルアップ抵抗値が 470 オームより大きい場合は、大きい方の値を DONE ピンに接続して使用します。

### JTAG コンフィギュレーション

JTAG ピンは、 $V_{CCAUX}$  (2.5V) で電源供給されますが、すべての JTAG 入力ピンは 3.3V 対応であり、2.5V から 3.3V TTL レベルの間で動作します。JTAG 出力ピンである TDO は、オープンドレイン出力です。これは、内部プルアップ抵抗がないため、PCB の外部抵抗によるプルアップが必要です。最大プルアップ電圧は 3.3V です。200 オーム以上の外部プルアップ抵抗を使用することを推奨します。JTAG のパフォーマンスは抵抗値により異なります。IBIS シミュレーションを実行してスピード検証を行ってください。JTAG ピンにはクランプダイオードがないため、シリアル抵抗は必要ありません。

### シリアル PROM コンフィギュレーション

ザイリンクスは、Platform Flash In-System Programmable Configuration PROM の XCFxxP/XCFxxS シリーズの使用を推奨します。XC18Vxx コンフィギュレーション PROM も使用できます。これらのファミリには 3.3V および 2.5V の出力が可能です。マスタシリアルモードで Virtex-II Pro FPGA にインターフェースする場合は、PROM の  $V_{CCO}$  および Virtex-II Pro デバイスの  $V_{CCO}$  は、必ず同じ電圧レベルに接続してください (2.5V または 3.3V)。図 9 に、マスタシリアルモードの Virtex-II Pro FPGA およびコンフィギュレーション PROM を示します。

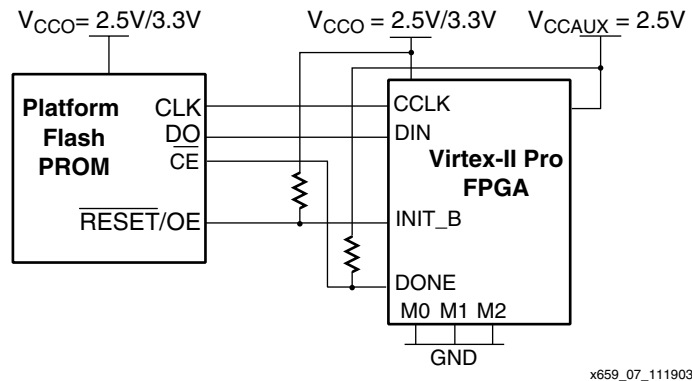


図 9: マスタシリアルコンフィギュレーションの Virtex-II Pro FPGA および PROM

LVTTL を駆動する LVC MOS<sub>25</sub> のノイズマージンは 100mV ですが、図 9 のようにデバイスが接続されていると LVC MOS<sub>25</sub> ドライバはレール間を駆動できます。

スレーブシリアルモードの場合、FPGA の  $V_{CCO}$  は 2.5V または 3.3V になります。ただし、3.3V に接続する場合は、必ず 100 オームのシリアル抵抗を使用、または電流を 3mA 以下にしてください。



## System ACE コンフィギュレーション

System ACE コントローラを Virtex-II Pro FPGA にインターフェースする場合、System ACE コントローラの  $V_{CCO}$  を、DC 電源に合わせて 1.8V または 2.5V に設定します。詳細は、[System ACE](#) を参照してください。

## そのほかのシステム デザインの考察

### サポートされる 3.3V I/O 規格

Virtex-II Pro ファミリーは、次の 3.3V I/O 規格をサポートします。

- LVTTTL: 24mA、16mA、12mA、8mA、6mA、4mA、2mA
- LVCMOS\_33: 24mA、16mA、12mA、8mA、6mA、4mA、2mA
- PCI\_33、PCI\_66、および PCI\_X
- LVDCI\_33

### DC 電力分配システム

設計者は、デザインの電力分配を考慮する必要があります。多くのシステムには、5V、3.3V、2.5V、1.8V、1.5V、および DC 電源に関する必要条件があります。最適なシステム デザインを実現するには、[XAPP623](#) 『電力分散システム (PDS) デザイン：バイパス/デカップリング キャパシタの使用』を参照し、ボード レベルのデカップリング要件を決定してください。

### パッケージの熱管理

Virtex-II Pro FPGA における 3.3V I/O の動作では、絶対最大ジャンクション温度 ( $T_j$ ) は 125°C です。ザイリンクスのアプリケーション ノート [XAPP415](#) 『パッケージの熱管理』を参照して、温度管理技術、パッケージの温度特性、およびシステム環境内における電力管理のオプションなどをデザインのリソースとして活用してください。また、ヒート シンクおよびインターフェイス材料メーカーに関する情報もあります。

### LVDS

Virtex-II Pro FPGA は LVDS\_33 をサポートしていませんが、入出力仕様は LVDS\_25 と互換性があるため、LVDS\_33 の代わりに LVDS\_25 を使用できます。

### ソリューションの選択

次の 2 つのアプリケーション ノートで紹介するソリューションは、いずれも検証済みです。

[XAPP653](#): 『Virtex-II Pro および Spartan-3 ファミリー 3.3V PCI リファレンス デザイン』

[XAPP646](#): 『3.3V/5V PCI バスへの Virtex-II デバイスの接続』

PCI 3.3V 環境で Virtex-II Pro システムを設計する場合、ザイリンクスは、[XAPP646](#) より、低コストで PCI に準拠した [XAPP 653](#) のソリューションを推奨します。この 2 つのアプリケーション ノートは、PCI アプリケーションに特定した説明をしていますが、3.3V I/O 規格にもこの技術を適用できます。このセクションでは、[XAPP 653](#) および [XAPP 646](#) の概要を示します。詳細は、各アプリケーション ノートを参照してください。

表 3 では、異なる PCI 信号環境ごとに参照するアプリケーションを示しています。

表 3: 参照アプリケーション ノート

信号環境	Virtex-II デバイス	Virtex-II Pro デバイス
PCI 3.3V	なし	XAPP653 または XAPP646
PCI 5.0V	XAPP646	XAPP646
LVTTL/LVCMOS33	なし	XAPP653 または XAPP646

## 複数技術の使用

オーバーシュート/アンダーシュートを制御するには、LVD CI\_33 規格を使用する方法と  $V_{CCO}$  を 3.0V に下げる方法があります。また、この 2 つの方法を併用することも可能です。 $V_{CCO}$  を 3.0V に下げた場合は、リファレンス抵抗 VRP および VRN を調整する必要はありません。VRP 値および VRN 値は、ボードトレースインピーダンスと常に一致します。

## まとめ

Virtex-II Pro デバイスは、次のガイドラインに従って 3.3V I/O 規格 (LVTTTL, LVCMOS33, LVDCI33, PCI33/66、または PCI-X) をサポートします。

1. オーバーシュート/アンダーシュート信号を FPGA デバイス規定の許容値内に制御するには次の 4 つの方法があります。
  - a. LVDCI\_33 を使用したソース終端。
  - b. スルーレートを slow に設定。電流値を低く設定。
  - c. 電圧を 3.0V に規定。
  - d. 外部の高速バススイッチを使用。
2. PCI バスの場合のソリューションは、[XAPP653](#) または [XAPP646](#) を参照してください。
3. 専用の I/O ピンは、2.5V のみに規定されます。
4. 絶対最大ジャンクション温度 ( $T_J$ ) は、3.3V I/O の動作の場合 125°C です。

## 補足資料：終端

伝送ライン作用は、ドライバおよびレシーバの両方において電圧の揺れを生じさせます。ワーストケースでは、電圧が 2 倍になります。たとえば、終端効果が無視された場合、3.3V I/O 規格信号が、ロード中に 6.6V になります。クロック周波数は重要なパラメータではありません。デザインで比較的到低速なクロック周波数を使用している場合は、伝送ライン作用を無視することはできません。

伝送ライン作用が顕著に見られるのは、信号がドライバからレシーバへ伝送され、またドライバへ戻るまでの時間が I/O 立ち上がり/立ち下がり時間の 6 分の 1 より長い場合です。プリント回路基板基板 (PCB) の一般的な伝送スピードは 200ps/inch です。図 10 に、終端されていないロードを駆動した場合の LVCMOS 24mA fast スルーレートドライバ (24F) および LVCMOS 2mA slow スルーレートドライバ (2S) の電圧の差を示します。各立ち上がり時間が約 1ns の場合と 7ns の場合を比較します。

伝送ライン作用が大きくなる前の最大トレース長は、立ち上がり時間が 1ns の場合、 $(1/6) * (1ns) * (1/2) * (1inch/0.2ns)$ 、つまり 0.42 インチです。立ち上がり時間が 7ns の場合、 $(1/6) * (7ns) * (1/2) * (1inch/0.2ns)$ 、つまり 2.9 インチです。

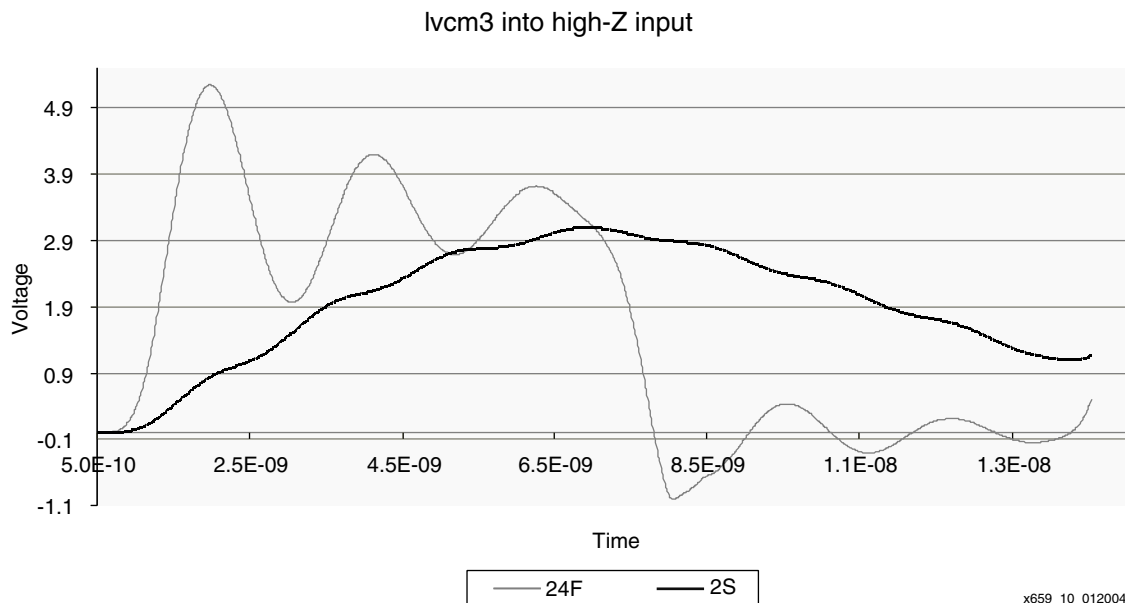


図 10：低速および高速 LVCMOS I/O での立ち上がり時間比較

一般的に、高速メモリ デザイン要件を満たすには、より高速な I/O ドライバを選択します。通常のメモリ、プロセッサ、FPGA デバイス パッケージのサイズは、0.4 インチを超えるため、事実上、すべてのメモリ PCB レイアウトに伝送ライン作用が生じることが予想できます。

上記のような高速メモリ アプリケーション要件とは矛盾しますが、アプリケーションには可能な限り低速な I/O を使用することを推奨します。低速なスルー レートを使用した場合でも、慎重な配慮が必要です。図 11 に、50 オームで伝送ライン インターコネクトの長さが 0.5ns の場合において、高低 2 つのスルー レートのレシーバ信号を示します。この図では、低速スルー レートの方がレシーバでのアンダーシュート/オーバーシュートが小さいことを確認できます。

Virtex-II Pro LVCMOS 324F vs 312S, 0.5ns, 50ohm unterminated Transmission Line

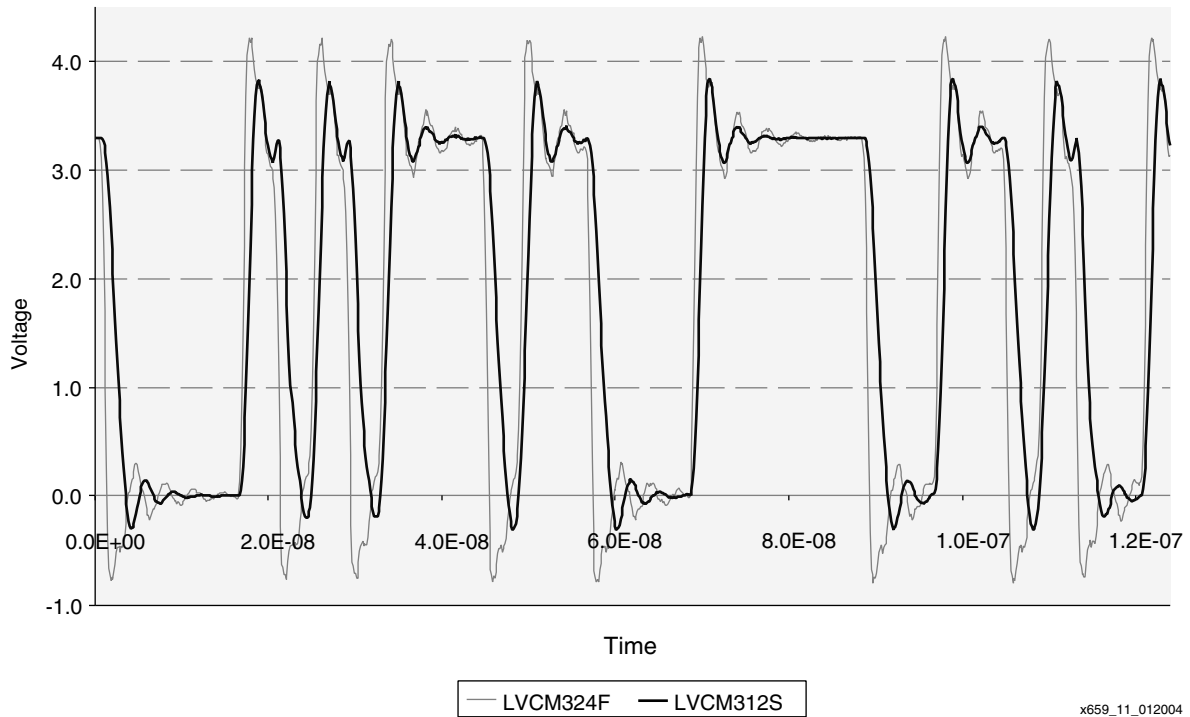


図 11：スルー レートが与えるレシーバでのオーバーシュート/アンダーシュートのインパクト

伝送ライン作用は、ロードの超過電圧を表す次の反射の計算式を使用して算出します。

$$(R_{LOAD} - Z_0)/(R_{LOAD} + Z_0)$$

終端がなくインピーダンスが高い条件では、レシーバで電圧が 2 倍になってしまいます。このとき、 $R_{LOAD}$  (ロード入力インピーダンス) が非常に高くなります。これは、伝送ライン インピーダンス  $Z_0$  よりはるかに高い値です。通常の伝送ライン インピーダンスの範囲は、45 オームから 65 オームであり、レシーバの入力インピーダンスはメガ単位の抵抗値であるため、終端がない場合では確実にアンダーシュート/オーバーシュートが生じます。負のオーバーシュートであるアンダーシュートは、オーバーシュートと同じ悪影響があります。

図 12 に、終端がないレシーバを駆動する LVCMOS および LVTTTL ドライバによるそれぞれのインパクトを示します。

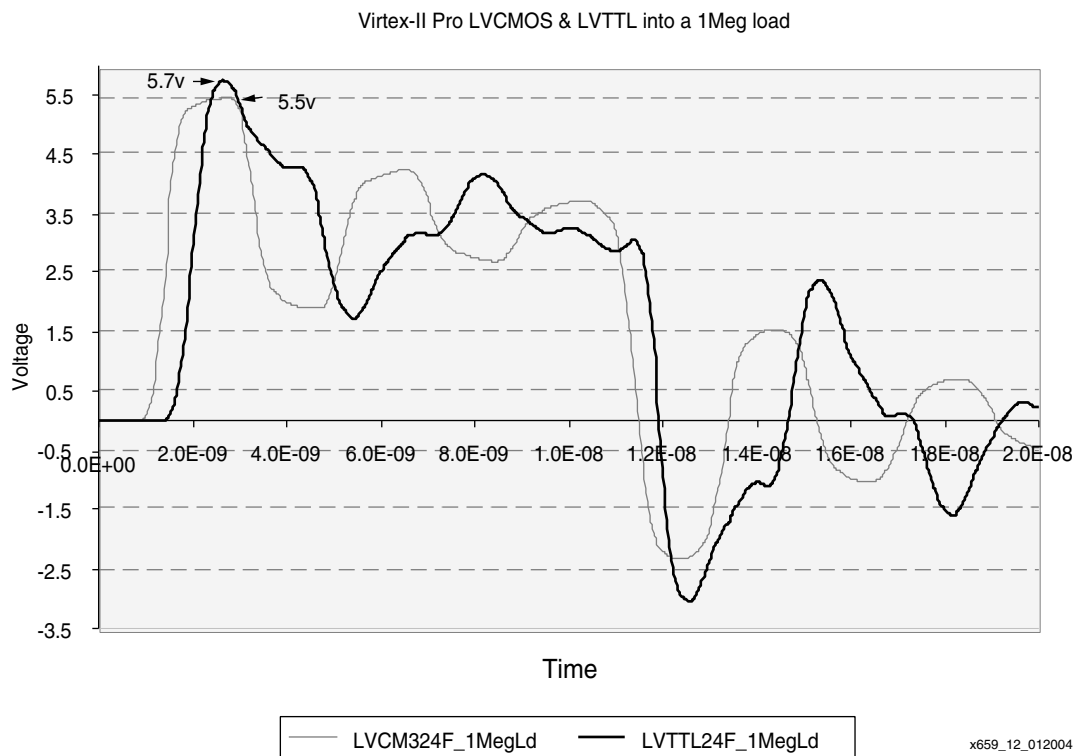


図 12： オーバーシュートおよびアンダーシュートの影響

終端である受動コンポーネントのさまざまなコンフィギュレーションにより、オーバーシュートおよびアンダーシュート電圧を大幅に抑制できます。最も基本的なコンフィギュレーションは、シリアル、パラレル、および分割パラレルです。次のセクションでは、これら 3 つのコンフィギュレーションとそれの影響について説明します。

### シリアル ソース終端

シリアル抵抗 ( $R_S$ ) ソース終端は、ドライバピンに対して抵抗をシリアルに配置する終端です。PCB トレースにはインピーダンスがあります ( $Z_0$ )。ドライバの近くに抵抗を配置して、ドライバと抵抗の間の反射を最小限に抑える必要があります。図 13 に、一般的なシリアル終端技術を示します。

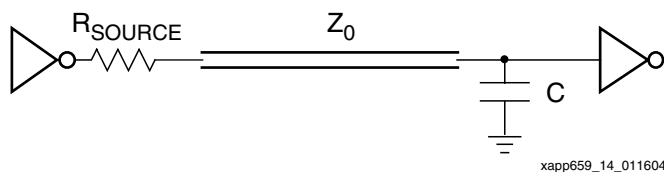


図 13： シリアル ソース終端の構造

上記で述べた  $Z_0$  は PCB トレースのインピーダンスを示し、これは、さまざまなトレース長に対して一定の値であると考えます。この回路図のキャパシタは、レシーバからドライバリファレンスまでの接続キャパシタンスを示し、主にコンポーネント パッケージ接続とレシーバのチップ キャパシタンスで構成されています。1 つのキャパシタンス値は低周波数での概算になり、この値は、入力信号の立ち上がり時間がパッケージピンからチップまでの伝搬時間よりも大幅に短い場合のみ、有効になります。この値に関してはさまざまな概算値がありますが、共通する確実な値は、パッケージ伝搬時間の 6 分の 1 です。次の計算式を使用してシリアル抵抗の値を算出し、オーバーシュート/アンダーシュートを最小限に抑えます。

$$R_{SOURCE} = Z_0 - \text{ドライバ出力インピーダンス}$$

ドライバ出力インピーダンスは、SelectIO™ ソースにより異なりますが、通常は 15 オームから 45 オームの範囲内です。ドライバインピーダンスの決定および  $R_{SOURCE}$  の選択を効率的に行うため、ザイリンクス IBIS モデルを使用してシミュレーションを実行することを推奨します。

この終端技術を使用すると、伝送された I/O 規格の高い電圧ステートは半分になります。この技術は、レシーバ入力インピーダンスが非常に高いことを前提としています。つまり、反射の計算式により、伝送された電圧はレシーバで 2 倍になります。その結果、2 倍になった電圧は、ドライバへ反射します。ただし、前記の式で  $R_{SOURCE}$  を選択する際、ロードインピーダンスと  $Z_0$  が一致すると反射はドライバで停止します。

この終端技術は、単一方向のインターフェイスに最適です。特に、クロック信号、アドレス信号および制御信号に効果があります。図 14 に、Virtex-II Pro LVCMOS 324F ドライバでの 25 オームのシリアル終端の例を示します。図 15 に、この回路内において  $R_{SOURCE}$  が 0 オームの場合と 25 オームの場合の効果を示します。シリアルソース終端の主な利点は、抵抗がトレース電流を制御できることです。これにより、全体的な消費電力および電磁波放射 (EMI) を低減できます。

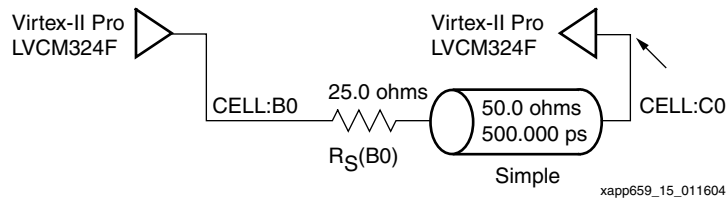


図 14：シリアル終端の回路図

Virtex-II Pro LVCMOS324F, 200 MHz Clk Series Termination Example

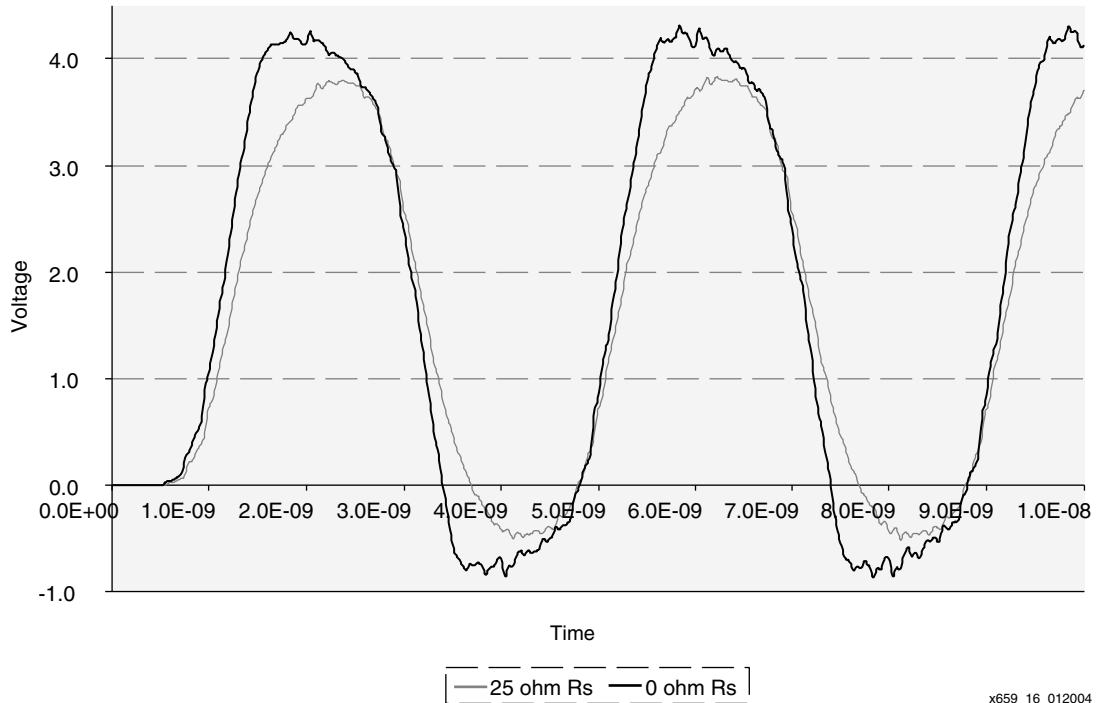


図 15：シリアル終端の回路図で生成された波形

### パラレル終端

図 16 に、パラレル終端の構造を示します。AC 電圧リファレンスのレシーバに終端抵抗 ( $R_T$ ) が配置されています。この抵抗をできる限りレシーバの近くに配置し、レシーバと抵抗の間の反射を最小限に抑

える必要があります。抵抗終端の最も一般的なリファレンスはグラウンドです。波形を駆動しているこの I/O 規格は、レシーバに向かって最大振幅で伝搬します。 $R_L$  が  $Z_0$  と同じ場合、反射計算式の結果は 0 になります。これは、反射が生じないことを意味します。ドライバと抵抗のスペック違反を生じさせないように、電流ドレインの  $V_{OH}/R_L$  および消費電力を確認する必要があります。

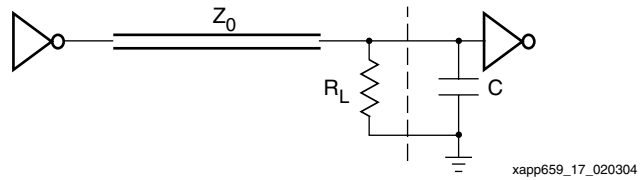


図 16：パラレル終端の構造

図 17 にパラレル終端の回路図を示します。図 18 には、2つのパラレル終端回路の波形を示します。ここでは、一致した終端インスタンスと終端されていない ( $R_L$  がない) インスタンスです。クロックパターンの代わりに擬似ランダムビットストリーム (PRBS) パターンを表示し、この技術のアプリケーションを明確に表します。通常のアプリケーションはアドレスバスです。

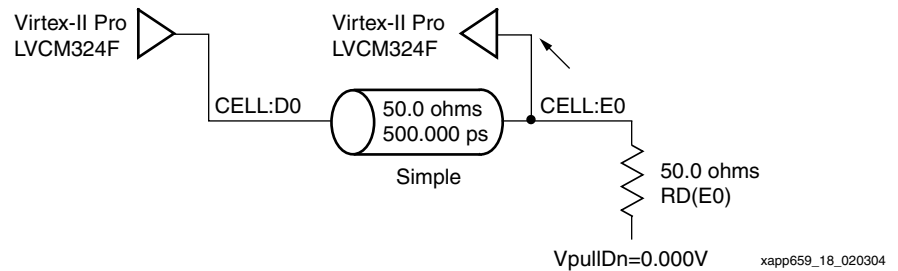


図 17：パラレル終端の回路図

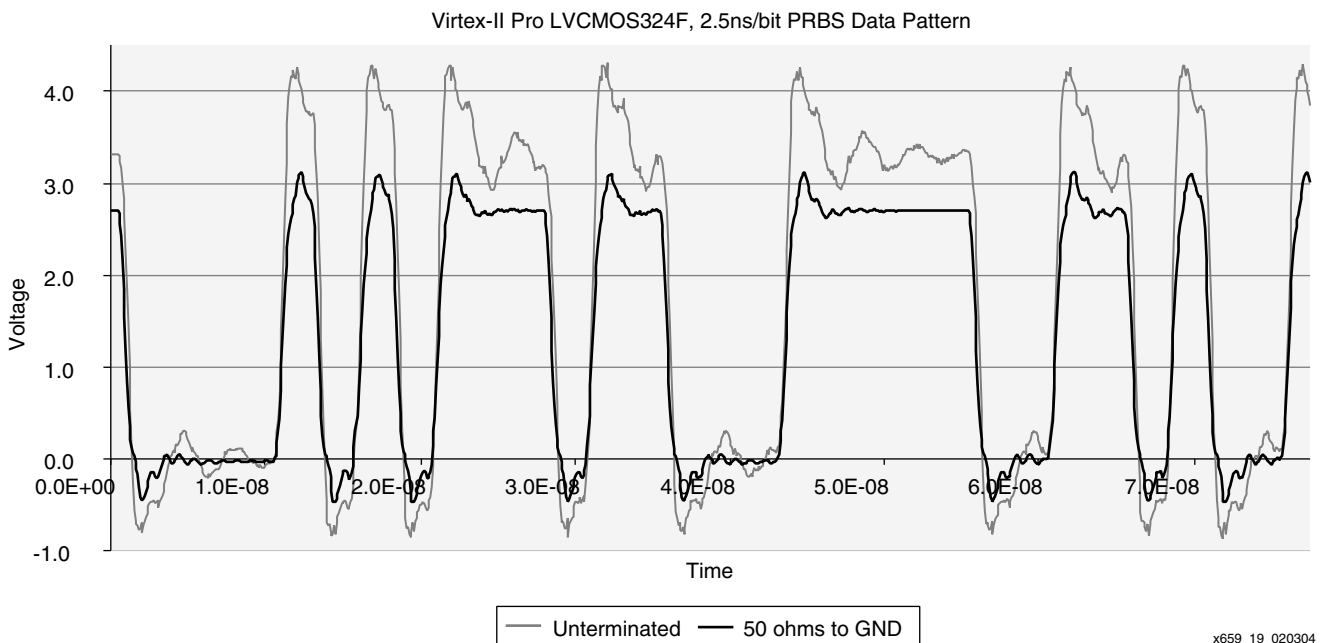


図 18：グラウンドに終端したパラレル終端回路で生成された波形

### 分割パラレル終端

図 19 に、分割パラレル終端を示します。分割した抵抗はドライバでの出力インピーダンスの高低を調節します。このインピーダンスが対称的に配置されている場合、 $R_1 = R_2$  になります。また、パラレルに配置された  $R_1$  と  $R_2$  の合計値は、 $Z_0$  の値と必ず一致させます。

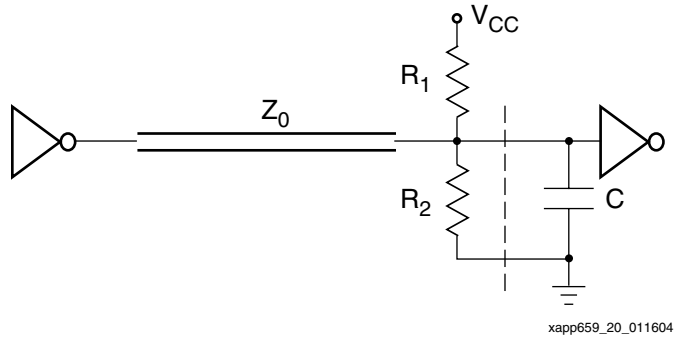


図 19：分割パラレル終端の構造

レシーバのロジックが変わるしきい値を規準にして、ドライバの出力が振幅するように  $V_{CC}$  を選択できます。これにより、終端消費電力を最小限に抑え、動作周波数を最大にし、デューティサイクルのずれを最小限に抑えることができます。この終端技術は、レシーバで対称的な波形を作成し、デューティサイクルが重要な場合に使用します。終端抵抗やドライバで消費する電力と同様に、 $V_{CC}$  の消費電力も考慮する必要があります。

図 20 に、この終端技術の回路図を示します。

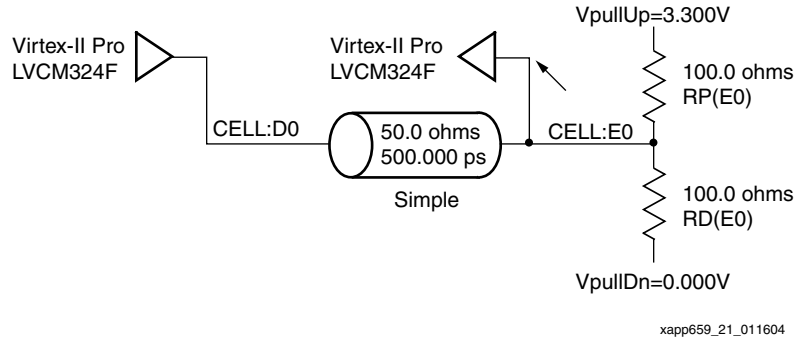


図 20：分割パラレル終端の回路図

図 21 に、図 20 の回路図で PRBS パターンを使用して生成された波形を示します。シンプルなパラレル終端技術の波形と比較すると、分割パラレル終端技術はアンダーシュートを低減させる必要があることを確認できます。



### Split Parallel Termination 100/100 3.3V/Gnd Example

Virtex-II Pro LVCMOS324F, 2.5ns/bit PRBS Data Pattern

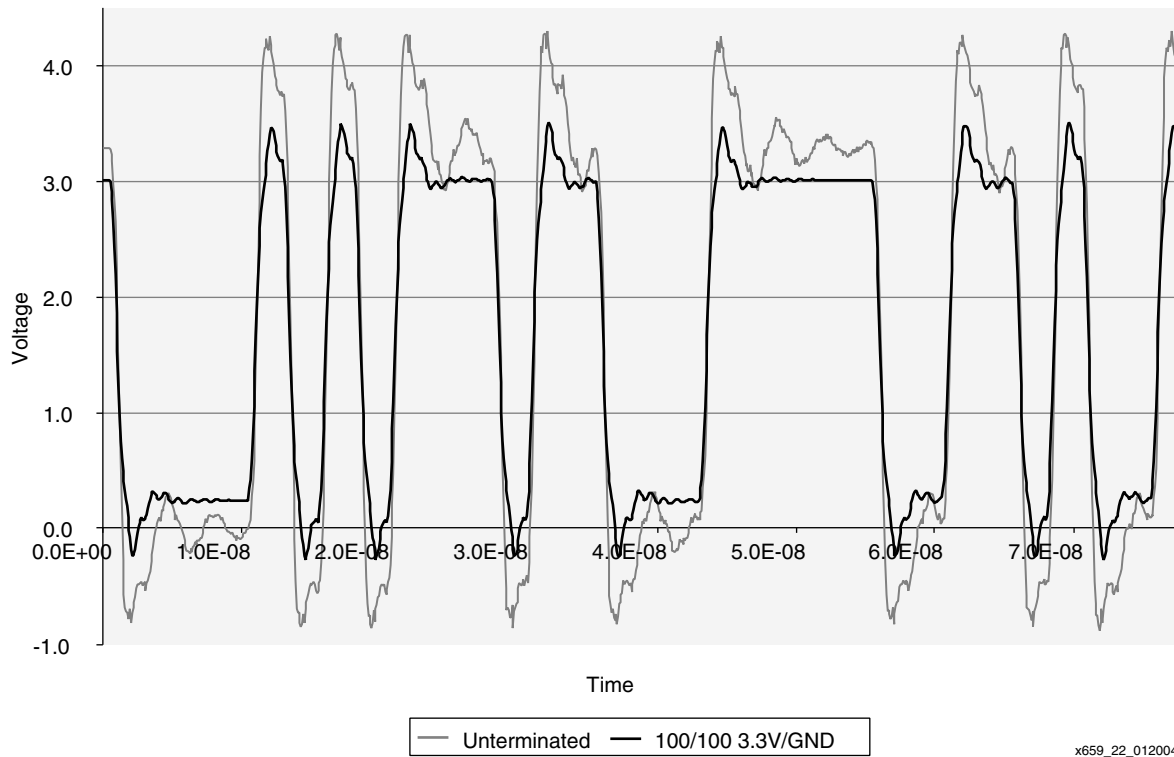


図 21 : 分割パラレル終端の回路で生成された波形

ザイリンクスは、SSTL 技術と HSTL 技術を統合したソリューションを提供しています。このソリューションは DCI として知られ、SSTL 規格および HSTL 規格に関連する分割パラレル終端またはシリアル終端を効果的に作成します。図 22 に、SSTL の例を示します。図 23 には、この回路図で生成された波形を示します。

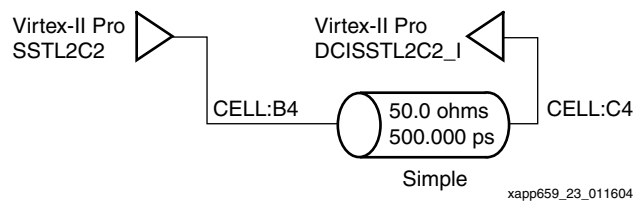


図 22 : SSTL の回路図

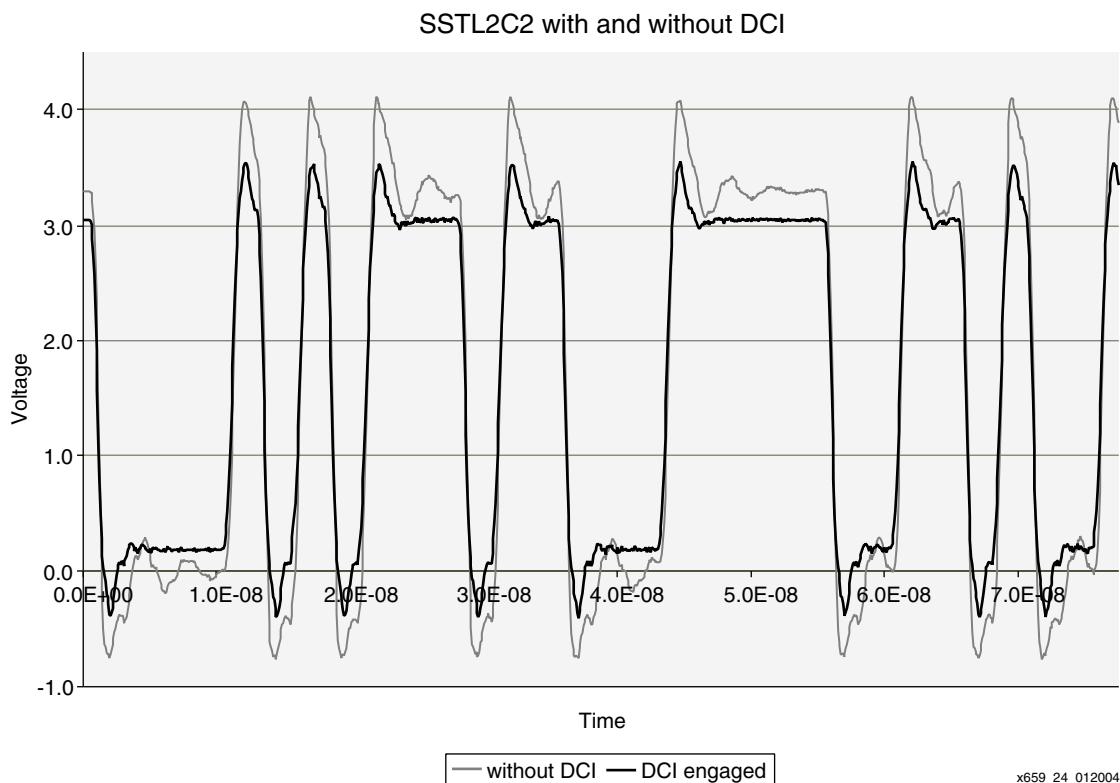


図 23 : SSTL2C2 回路図で生成された波形

DCI は、不要なオーバーシュート/アンダーシュートを防ぐことができる効果的な機能です。DCI のすべてのオプションについては、[『Virtex-II Pro Platform FPGA ユーザーガイド』](#)を参照してください。

また、温度や異なるシリコンプロセスにより反射の性質が異なりますが、その他にもバイアス、リードワイヤ、ソルダーバンプ、パッケージなどが要因になります。つまり、オーバーシュート/アンダーシュートを処理する場合には、安全なマージンを確保することを推奨します。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2002/10/25	1.0	初版リリース
2003/01/06	1.1	PCIX、LVTTTL_33 および LVCMOS_33 のサポートの追加。3.3V バンク制限の削除。
2003/01/07	1.2	3.3V I/O 規格サポートに関する説明の追加。
2003/05/06	1.3	「シリアル PROM コンフィギュレーション」セクションの修正。表 2 の追加。ツールのアップデートによるインプリメンテーション サポート セクションの削除。「そのほかのシステム デザインの考察」セクションの修正。「パッケージの熱管理」セクションで、3.3V I/O 動作の温度 100°C について解説。
2003/12/01	1.4	「オーバーシュート/アンダーシュート」、「V <sub>CCO</sub> を 3.0V に規定」、および「シリアル PROM コンフィギュレーション」セクションの修正。表 2 のシリアルおよびプルアップ抵抗の内容をアップデート。コンフィギュレーション専用でのシリアル抵抗要件について説明する「コンフィギュレーション専用ピン」セクションの追加。絶対最大ジャンクション温度を 125°C に修正。「まとめ」のセクションに、slow スルー レートおよび低電流についての説明を追加。I/O 保護ダイオードの電圧-電流特性について説明する <b>補足資料 A</b> を追加。
2004/02/04	1.5	「補足資料 : 終端」セクションに、伝送ラインおよび終端についての情報を追加。補足資料の前に「まとめ」セクションを移動。