



XAPP689 (v1.0) 2003 年 9 月 16 日

## 大規模 FPGA のグラウンド バウンスの管理

### 概要

高性能な FPGA デバイスを適切に動作させるためには、グラウンドバウンスを制御する必要があります。特に、PCB レイアウトを行う場合のボード レベルでのインダクタンスの最小化には注意が必要です。このアプリケーション ノートでは、FPGA からの信号を受信するデバイスが、入力アンダーシュートおよびロジック Low 電圧の要件を満たしているかを確認するための計算方法について説明します。

### はじめに

IC メーカーは、従来、電源/グラウンド ペアごとに使用できるドライバの数を考慮して、各ドライバタイプごとに同時スイッチ出力 (SSO) のガイドラインの仕様を定めていました。LVTTTL タイプのドライバを使用した場合、グラウンド バウンスは 800 mV にもなり、入力 Low のしきい値を超える可能性があります。このようなグラウンド バウンスのレベルは、もはや現在では受け入れられなくなってきています。

### 変更内容

最近の開発の多くの場合、公表されている SSO のガイドラインを再確認する必要があります。フリップチップ パッケージのリード インダクタンスが、グラウンド ピンごとに 100 pH 以下まで減少してきた一方で、ビア サイズの縮小、トレース幅の縮小、ボードの厚みの増加のために、近年では、ボードレベルのインダクタンスは 2 倍以上の 2 ~ 3 nH になりました。その結果、PCB のグラウンド バウンス電圧が高くなり、SSO ガイドラインでは完全には説明できなくなりました。125 mil の FR4 材質に 8 mil のビアを使用した PC ボードにおける実際のグラウンド バウンス電圧は、ザイリンクスのグラウンド バウンスの期待値 600 mV をはるかに超える可能性があります。

PCB の配線とデバッグを容易にするため、チップの 1 辺にバス幅の広い IO をひとまとめに配置する傾向があります。このことが原因で、パッケージ内で不均等な電流の分配やグラウンド バウンスが発生します。供給電圧が低下すると、コンポーネントは小さいノイズにも反応してしまいます。最近のデバイスでは、入力アンダーシュートが 400 mV までしか許容できないものもあります。また、負荷容量が増加するに従ってグラウンド バウンスは増加します。したがって、大規模 FPGA をデザインする上では、これまで以上に慎重にグラウンド バウンスに対処する必要があります。

### パッケージ レベルの SSO

グラウンド バウンスは、直線的な拡張性があるということに注意が必要です。これにより、さまざまなタイプ、電流、スルーレートの異なる各タイプのドライバを使用するすべてのデザインについて、パッケージレベルの SSO を算出できます。

1 つ目のパッケージレベルの SSO の基準は、同時スイッチ出力数がバンクごとの制限を超えないことを確認します。2 つ目の基準では、高速かつ強力なドライバをパッケージ全体に均一に分配します。3 つ目の基準では、過度なグラウンド バウンスを生成しないことを確認します。SSO の許容値と呼ばれる値は、後者の 2 つの基準の両方で使用でき、ボードレベルのインダクタンス、入力ロジック Low のしきい値、入力アンダーシュートの電圧、および出力負荷容量のようなデザイン指定のパラメータを考慮します。

したがって、次の規則はパッケージレベルに適用されます。

- バンクの WASSO が 100%を超えてはいけない。

© 2003 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.co.jp/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

保証否認の通知 : Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。

- 隣接する 2 個のバンクの WASSO の平均値が SSO の許容値の 105% を超えてはいけません。
- パッケージ WASSO の値が SSO の許容値を超えてはいけません。

Weighted Average SSO (WASSO) の値は、まず I/O バンクごとに WASSO を算出し、隣接する 2 個のバンクに平均化した値を算出した後で、すべてのバンクに均等化してパッケージ全体の効果的な WASSO を算出します。

## SSO の許容値

SSO の許容値は、0% から 100% の範囲の数値であり、3 つの倍率の積です。

1 つ目の倍率は、ザイリンクスが想定したインダクタンスを、ビアの直径、ボードの厚さ、トレース幅およびトレース長などのようなボード形状から算出したユーザーの PCB インダクタンスの合計で除算して算出します。

2 つ目の倍率は、入力アンダーシュート電圧と入力ロジック Low のしきい値の低い方の値を、ザイリンクスの SSO ガイドラインに記載されている最大のグラウンド バウンス電圧 (600 mV) で除算して算出します。

3 つ目の倍率は、15 pF の負荷に対するザイリンクスの 600 mV のグラウンド バウンスを、15 pF を超えると推定した負荷に対するグラウンド バウンスで除算して算出します。ザイリンクスの出力ドライバでは、負荷容量が 1 pF 増加するごとに、グラウンド バウンスが 9 mV 増加します。

- 1 番目の倍率 = 1.0 nH / 1.1 nH  
= 90.9%
- 2 番目の倍率 = 550 mV / 600 mV  
= 91.7%
- 3 番目の倍率 = 600 mV / (((22 pF - 15 pF) \* 9 mV/pF) + 600 mV)  
= 600 mV / 663 mV  
= 90.5%
- SSO の許容値 = 0.909 \* 0.917 \* 0.905  
= 75.4%

## パッケージの SSO を算出

パッケージの SSO の算出例は、次の FF1152 パッケージの Virtex™-II XC2V6000 デバイスの説明を参照してください。

電源/グラウンド ペアごとの SSO の許容値の数およびバンクごとの電源/グラウンド ペアの数については、[www.xilinx.com](http://www.xilinx.com) から次のマニュアルの SSO ガイドラインを参照してください。

- 『Virtex-E 1.8V FPGA 機能の詳細説明』
- 『Virtex-II Platform FPGA ユーザーガイド』
- 『Virtex-II Pro Platform FPGA ユーザーガイド』

手順 0: パッケージの SSO の許容値を算出します。

- (1.0 nH / 1.1 nH) \* (550 mV / 600 mV) \* (600 mV / (((22 pF - 15 pF) \* 9 mV/pF) + 600 mV))  
= 75.4%

手順 1: バンク 0 から各バンクの WASSO を算出します。デザインには、スルーレートが高速な 24 mA のドライバが 43 個、スルーレートが高速な 12 mA のドライバが 30 個、およびスルーレートが低速な 8 mA のドライバが 22 個使用されていると想定します。

- 高速スルーレート 24 mA のドライバによって影響を受ける割合  
= 使用する 43 個のドライバ / (V<sub>CC</sub>/GND ペアごとに使用できる高速スルーレート 24 mA のドライバが 5 個 \* I/O バンク 0 の 13 通りのペア)  
= 43 / 65  
= 66.2%

- 高速スルーレート 12 mA のドライバによって影響を受ける割合  
 = 使用する 30 個のドライバ / ( $V_{CC}/GND$  ペアごとに使用できる 10 個の 12 mA の高速ドライバ \* I/O バンク 0 における 13 通りのペア)  
 = 30 / 130  
 = 23.1%
- 低速スルーレート 8 mA のドライバによって影響を受ける割合  
 = 使用する 22 個のドライバ / ( $V_{CC}/GND$  ペアごとに使用できる低速スルーレート 22 個の 8 mA のドライバ \* I/O バンク 0 における 13 通りのペア)  
 = 22 / 286  
 = 7.7%
- バンク 0 の WASSO = 66.2% + 23.1% + 7.7% = 97%
- バンク 0 の場合と同様に、バンク 1 からバンク 7 における WASSO を算出します。
- この例では、WASSO は 45%、50%、60%、60%、35%、40%、および 15% が算出できると想定します。各バンクの WASSO が 100% を超えないことを確認してください。

手順 2: 隣接する 2 個のバンクの平均 WASSO を算出し、その平均が SSO の許容値を超えないことを確認してください。

- バンク 0 およびバンク 1 の間の WASSO の平均値  
 = (バンク 0 の WASSO + バンク 1 の WASSO) / 2  
 = (97% + 45%) / 2  
 = 71.0%  
 OK!
- 隣接する 2 個のバンクの WASSO 平均が SSO の許容値を超える場合には、これらの 2 個のバンクにグラウンド バウンスを低減する技術を使用してください。

手順 3: パッケージ WASSO を算出し、その値が SSO の許容値を超えないことを確認してください。

- (すべてのバンクにおける WASSO の合計) / (パッケージで使用できるバンク数)  
 = (97% + 45% + 50% + 60% + 60% + 35% + 40% + 15%) / 8  
 = 50.3%  
 OK!
- パッケージの WASSO が SSO の許容値を超える場合には、グラウンド バウンスを低減する技術を使用して WASSO を低減してください。

## WASSO カリキュレータ

ザイリンクスは、前述の手順を自動計算する「WASSO Calculator」というマイクロソフトの Excel のスプレッドシートを提供しています。WASSO Calculator で、ボードの厚み、ビアの直径、トレース幅、トレース長などの PCB 形状からボードのインダクタンスを算出します。すべての入力デバイスにおける最小のアンダーシュートおよびロジック Low のしきい値電圧を算出し、平均の出力容量を算出し、このスプレッドシートに記載されているすべてのボードレベルのデザインパラメータを考慮して SSO の許容値を算出します。さらに、WASSO Calculator でデザイン全体で SSO の許容値を超えていないことを確認するためのチェックを行うことができます。

このカリキュレータは、次のザイリンクスの FTP サイトからダウンロードできます。

<ftp://ftp.xilinx.com/pub/applications/xapp/xapp689.zip>

## おわりに

高性能な FPGA デバイスを適切に動作させるためには、グラウンド バウンスを制御する必要があります。特に、PCB レイアウトを行う場合のボードレベルインダクタンスの最小化には注意が必要です。ザイリンクスは、FPGA からの信号を受信するデバイスが、入力のアンダーシュートおよびロジック Low 電圧の要件を満たしているかを確認するために使用する WASSO Calculator (Excel のスプレッドシート) を提供しています。WASSO を制御するには、グラウンド バウンス低減の技術に従ってください。

## 改訂履歴

次の表に、このアプリケーション ノートの改訂履歴を示します。

日付	バージョン	改訂内容
2003/09/16	1.0	初版リリース