



XAPP703 (v2.4) 2008 年 7 月 9 日

Virtex-4 デバイスでの QDR II SRAM インターフェイス

著者 : Derek Curd

本資料は英語版 (v2.4) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

概要

このアプリケーション ノートでは、Virtex®-4 デバイスにおける 2 ワードまたは 4 ワード バーストのクワッド データ レート (QDR II) SRAM インターフェイスのインプリメンテーションおよびタイミングについて説明します。合成可能なリファレンス デザインでは Virtex-4 ファミリ特有の I/O およびクロックの機能を使用しており、高パフォーマンスを達成できます。

このソリューションで示されるダイレクト クロッキング手法により、使用する FPGA リソース数を最小限に抑えつつ、読み出しデータ取り込み操作を大幅に簡略化できます。提供されているユーザー インターフェイスは単純であり、1 つまたは複数の QDR II インターフェイスを使用する完全な FPGA デザインへ簡単に統合できます。

はじめに

QDR SRAM デバイスは、ネットワークおよび電気通信アプリケーション用の帯域幅の広いメモリの需要に応えるために開発されました。基本的な QDR アーキテクチャは、読み出しと書き込みが同時に実行できるように、それぞれ独立したデータ バスを備えています。どちらのバスにもダブル データ レート (DDR) 転送が使用され、クロック サイクルごとに 2 ワード (クロック エッジの立ち上がりで 1 ワード、立ち下がりで 1 ワード) を転送します。この結果、1 クロック周期につき 4 バス幅のデータ (読み出し 2 ワードと書き込み 2 ワード) を転送します。クワッド データ レートという名前はここから来ています。

QDR および QDR II 仕様は、サイプレス社、IDT 社、NEC 社、サムスン社、およびルネサス社で構成される QDR コンソーシアムによって定義および開発されました。QDR の仕様およびメモリ製品に関する情報の詳細は、「その他の情報」にリストされているメモリ デバイス ベンダーのサイトを参照してください。

QDR メモリ デバイスは、2 ワード バーストおよび 4 ワード バースト アーキテクチャの両方で提供されます。2 ワード バースト デバイスは、読み出しまたは書き込み要求当たり 2 ワードを転送します。DDR アドレス バスにより、クロック周期の前半で読み出し要求が、後半で書き込み要求が許可されます。これに対し、4 ワード バースト デバイスは、読み出しまたは書き込み要求当たり 4 ワードを転送するため、シングル データ レート (SDR) アドレス バスのみを必要とし、データ帯域幅を最大にすることができます。読み出しと書き込み操作は、アドレス バスが共有できるように、交互のクロック サイクル (重複しない) で要求する必要があります。

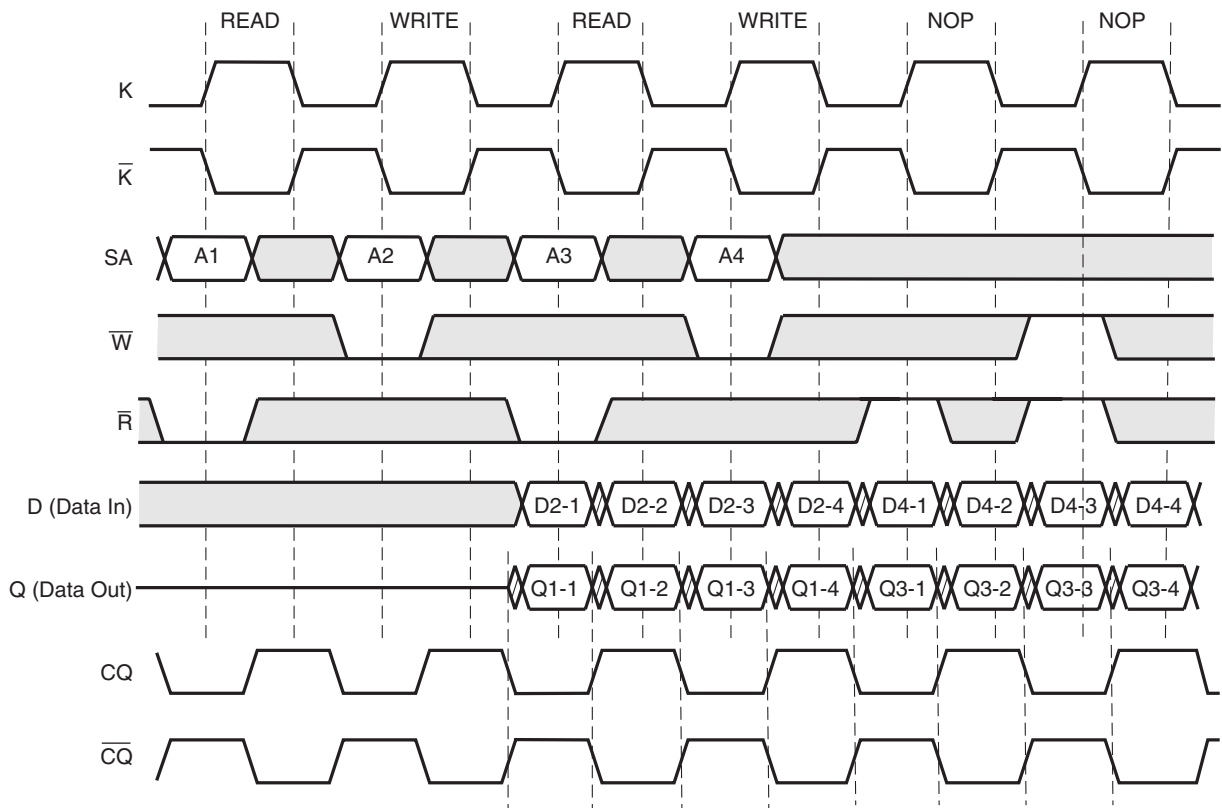
このアプリケーション ノートに含まれるリファレンス デザインは、2 ワード バーストまたは 4 ワード バースト QDR II SRAM デバイスを使用しています。QDR II アーキテクチャ特有の機能の 1 つにエコー クロック (CQ) 出力があります。エコー クロックは、周波数はデバイスの入力クロック (K) にロックされますが、エッジは読み出しバス出力 (Q) に転送されたデータに揃えられます。CQ クロック出力は、QDR II メモリ デバイス内部の遅延ロック ループ (DLL) 回路を使用して、Q データ出力に揃うように調整直されます。このクロック転送 (ソース同期) 方法を使用するインターフェイスでは、最終的なデバイス (このデザインでは Virtex-4 デバイス) での読み出しデータ取り込みのタイミング マージンが広がります。また、リファレンス デザインで使用されている単純で効率的なダイレクト クロッキング手法も可能になります。

© Copyright 2004-2008 Xilinx, Inc. All rights reserved. Xilinx, the Xilinx logo, the Brand Window, Virtex, Spartan, CoolRunner, ISE, and other designated brands included herein are trademarks of Xilinx, Inc. Certain other third-party trademarks are used under license, for further information, see <http://japan.xilinx.com/legal.htm>. All other trademarks are the property of their respective owners. (この日本語訳 (参考のみ) は、<http://japan.xilinx.com/support/documentation/disclaimer.htm> を参照してください。)

図 1 に、4 ワード バースト QDR II メモリ インターフェイスでの読み出し/書き込み同時操作におけるタイミング図を示します。QDR II メモリへのすべての入力は、入力クロック (K および \bar{K}) と同期しており、通常 K および \bar{K} クロックのエッジに中心を合わせてメモリに供給されます。アクティブ Low の読み出し制御 (\bar{R}) ピンと書き込み制御 (\bar{W}) ピンは交互に Low になり、1 つの SDR アドレスバス (SA) を共有していることに注意してください。

書き込みバス データ入力 (D) の値は、書き込み制御ピンがアクティブになってから、次の K クロックの立ち上がりエッジで DDR モードでメモリに転送されます。読み出しバス データ出力 (Q) の値は、CQ および \bar{CQ} エコー クロック出力に同期して、DDR モードでメモリから転送されます。読み出しバスの最初のワードは、 \bar{K} 入力クロックの立ち上がりエッジに続く \bar{CQ} クロック出力の立ち上がりエッジで転送されます。

QDR II メモリにはアクティブ Low のバイトライト (\bar{BW}) イネーブルピンがあり、データ入力 (D) ワードから特定のバイトを取り出してメモリに書き込む場合に使用します。これらの信号は、図 1 には記載されていません。

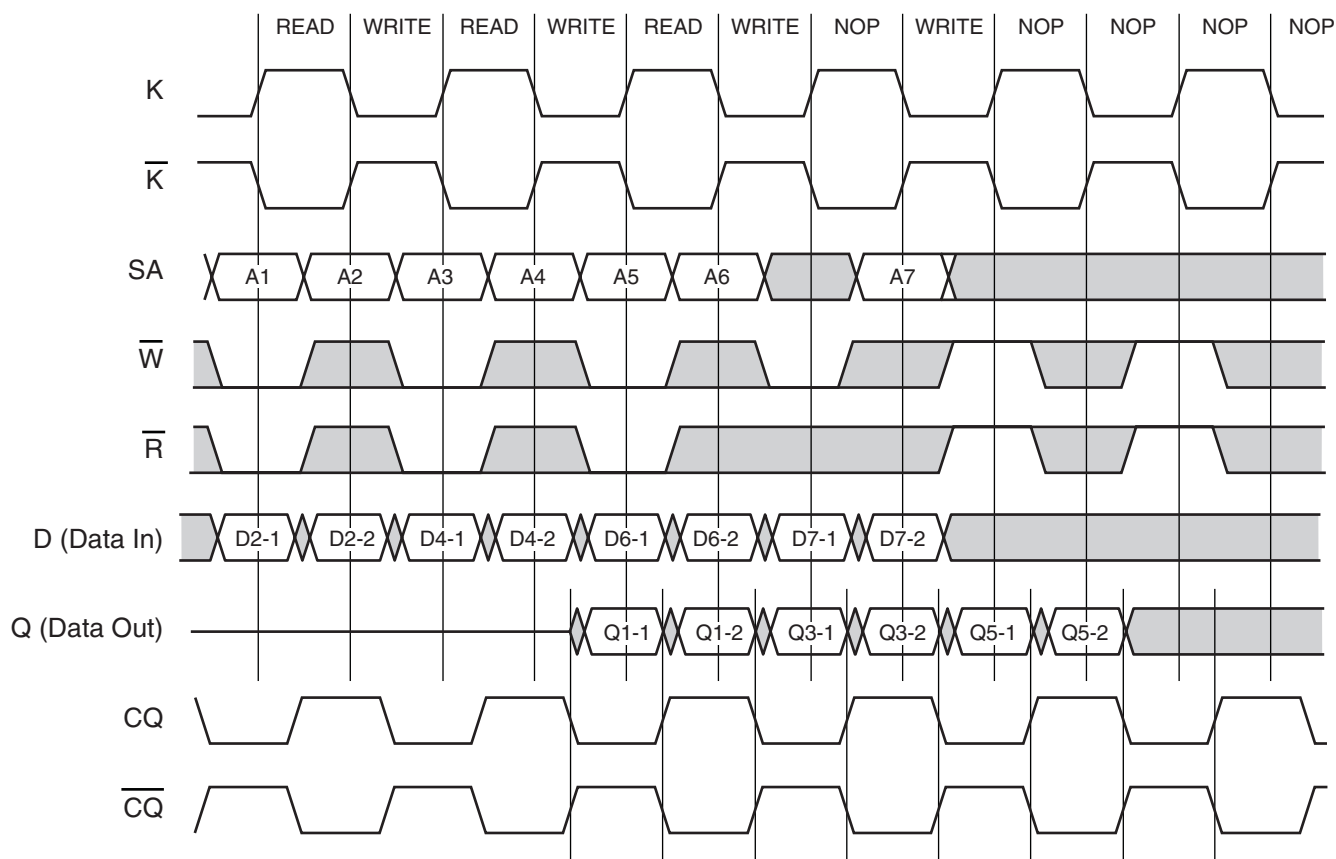


X703_01_090804

図 1：同時読み出し/書き込み操作における 4 ワード バースト QDR II SRAM のタイミング図

図 2 に、2 ワード バースト QDR II メモリ インターフェイスでの読み出し/書き込み同時操作におけるタイミング図を示します。DDR アドレス バスにより、クロック周期の前半に読み出しアドレスが、後半に書き込みアドレスがメモリに送信されます。そのため、アクティブ Low の読み出し制御 (\bar{R}) ピンと書き込み制御 (\bar{W}) ピンは、同じクロック サイクルでアサートされます。

書き込みバス データ入力 (D) の 2 つの値は、書き込みアドレスがアサートされる前に K クロックの立ち上がりエッジで DDR モードでメモリに転送されます。読み出しバス データ出力 (Q) の値は、CQ および \overline{CQ} エコー クロック出力に同期して DDR モードでメモリから転送されます。読み出しバスの最初のワードは、 \bar{K} 入力クロックの次の立ち上がりエッジの後の \overline{CQ} クロック出力の立ち上がりエッジで転送されます。

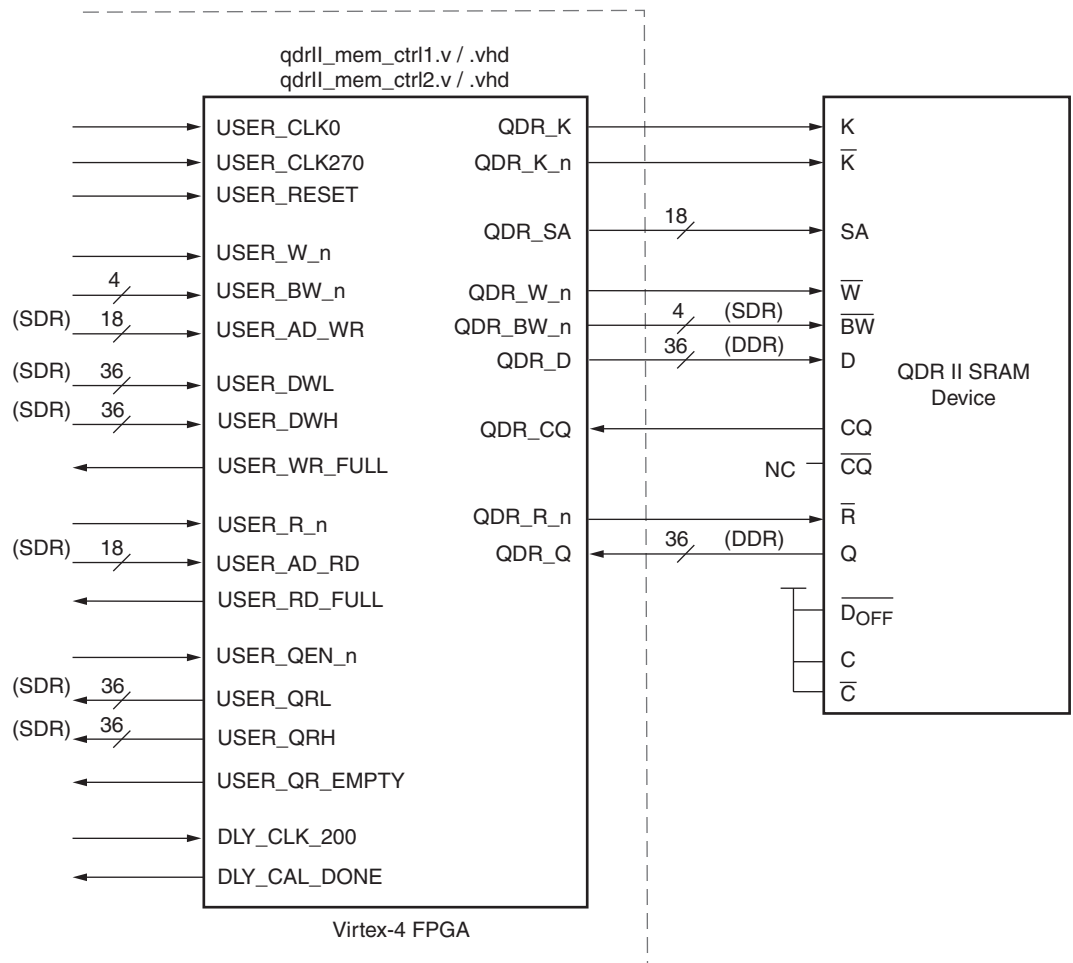


X703_02_052208

図 2：同時読み出し/書き込み操作における 2 ワード バースト QDR II SRAM のタイミング図

デザインの概要

図 3 は、QDR II リファレンス デザインのブロック図です。QDR II メモリ デバイスへの外部接続と、読み出し/書き込み命令を実行する FPGA 内部のインターフェイスの両方を示します。



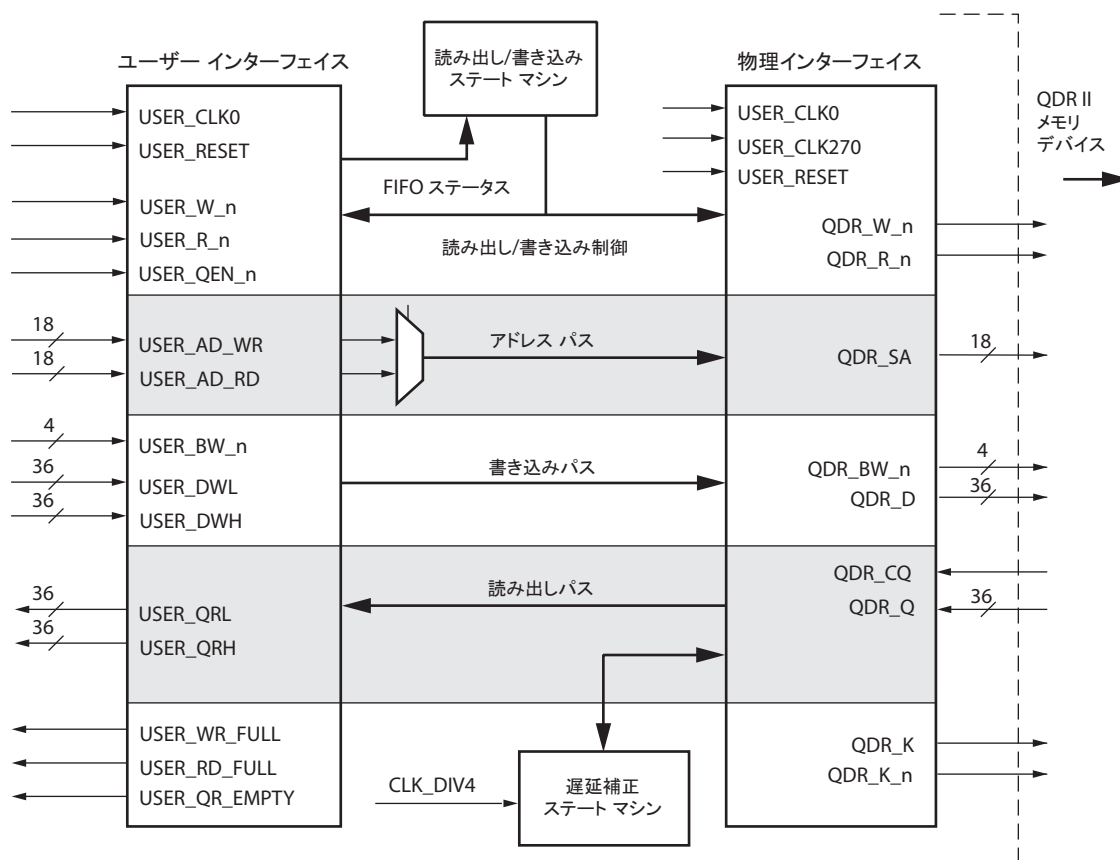
X703_03_050908

図 3: QDR II リファレンス デザイン ブロック図

図 3 に示すように、QDR II デバイスの \overline{D}_{OFF} 、C、および \overline{C} ピンは High に接続されています。このコンフィギュレーションにより QDR II デバイスの CQ エコー クロック機能が有効になります。これは、リファレンス デザインを正しく動作させるために必要です。

QDR II リファレンス デザインは、図 4 に示すように、主に次の 4 つのエレメントで構成されています。

- ユーザー インターフェイス
- 物理インターフェイス
- 読み出し/書き込みステート マシン
- 遅延補正ステート マシン



X703_04_052208

図 4: QDR II リファレンス デザインのコンポーネント

ユーザー インターフェイスでは、SDR 信号に完全に基づく単純なプロトコルを使用して、読み出し/書き込み要求が行われます。このモジュールは主に FIFO16 プリミティブから構成され、実行前と実行後の読み出し/書き込み操作のアドレスおよびデータ値を格納するために使用されます。ユーザー インターフェイスのタイミング プロトコルの詳細は、後のセクションで説明します。

読み出し/書き込みステート マシンでは、ユーザー インターフェイス モジュール内の FIFO のステータスの監視、ユーザー インターフェイスと物理インターフェイス間のデータ フローの調整、外部メモリ デバイスへの読み出し/書き込み命令が行われます。これにより、QDR II メモリ仕様の要件どおりに最短のレイテンシで読み出し/書き込み同時操作を実行できます。

物理インターフェイスでは、タイミング関係の調整と DDR 信号の生成が行われ、命令プロトコルおよびタイミング要件に準拠した外部メモリ デバイスとの通信を実現します。

遅延補正ステート マシンは、FPGA 内の読み出しデータ取り込みを大幅に簡略化しつつ最高のパフォーマンスを達成するために使用されるダイレクト クロッキング手法において不可欠なコンポーネントです。Virtex-4 デバイスの各入力にはプログラマブルな遅延エレメント (IDELAY) があり、入力パスの遅延量 (5ns の範囲内) を動的に制御できます。遅延補正ステート マシンでは、この機能を使用してメモリ デバイスからの読み出しデータのタイミングを調整します。これにより、複雑なローカル クロック供給やデータの再取り込みを行うことなく、グローバルな FPGA システム クロック (USER_CLK0) に直接同期させることができます。ダイレクト クロッキング手法の詳細は、後のセクションで説明します。

表 1 に、パフォーマンス要件およびデバイス リソースの使用量の詳細を含む QDR II リファレンス デザインの仕様を示します。

表 1: QDR II リファレンス デザイン仕様

パラメータ		仕様/詳細	
最大周波数 (スピード グレード別)	-10	200MHz	
	-11	250MHz	
	-12	275MHz	
デバイス リソースの使用量	スライス	174	
	GCLK バッファ	3	
	FIFO16 (ブロック RAM)	6	
QDR II SRAM 動作		2 ワード/4 ワード パースト	
バス幅		36 ビット読み出し/36 ビット書き込み	
I/O 規格		HSTL_I_18 (1.8V の信号供給)	
HDL 言語のサポート		Verilog/VHDL	
検証用ターゲット メモリ デバイス	シミュレーション	2 ワード パースト	サイプレス社 CY7C1314BV18 (512K x 36 ビット)
		4 ワード パースト	サムスン社 K7R323684M (1M x 36 ビット)
	ハードウェア	2 ワード パースト	サイプレス社 CY7C1314BV18 (512K x 36 ビット)
		4 ワード パースト	サムスン社 K7R323684M (1M x 36 ビット)

インプリメンテーションの詳細

QDR II リファレンス デザインは、Virtex-4 ファミリー特有の機能を活用してインプリメントされています。高度な I/O、クロッキング、および記憶エレメント技術により、高性能でターンキー操作のリファレンス デザインを実現しています。この後のセクションで、デザインのインプリメンテーションの詳細を説明します。

ユーザー インターフェイス

ユーザー インターフェイス モジュールでは、6 個の FIFO16 ブロックを使用して読み出し/書き込み操作のアドレスおよびデータ値を格納します。書き込み命令では、書き込みアドレス (USER_AD_WR) とバイト ライト イネーブル信号 (USER_BW_n) を格納するために 1 個、メモリに書き込む Low (USER_DWL) と High (USER_DWH) の 36 ビット データワードを格納するために 2 個、合計 3 個の FIFO16 ブロックが使用されます。読み出し命令でも、読み出しアドレス (USER_AD_RD) を格納するために 1 個、メモリからの Low (USER_QRL) と High (USER_QRH) の 36 ビット データワードを格納するために 2 個、合計 3 個の FIFO16 ブロックが使用されます。

図 5 に、4 ワード バーストのリファレンス デザインを使用する場合に、ユーザー インターフェイスに対して読み出し/書き込み要求を行うために必要なタイミング プロトコルを示します。前述したように、インターフェイスでは、すべての SDR 信号が FPGA デザインのメインのシステム クロック (USER_CLK0) に同期しています。

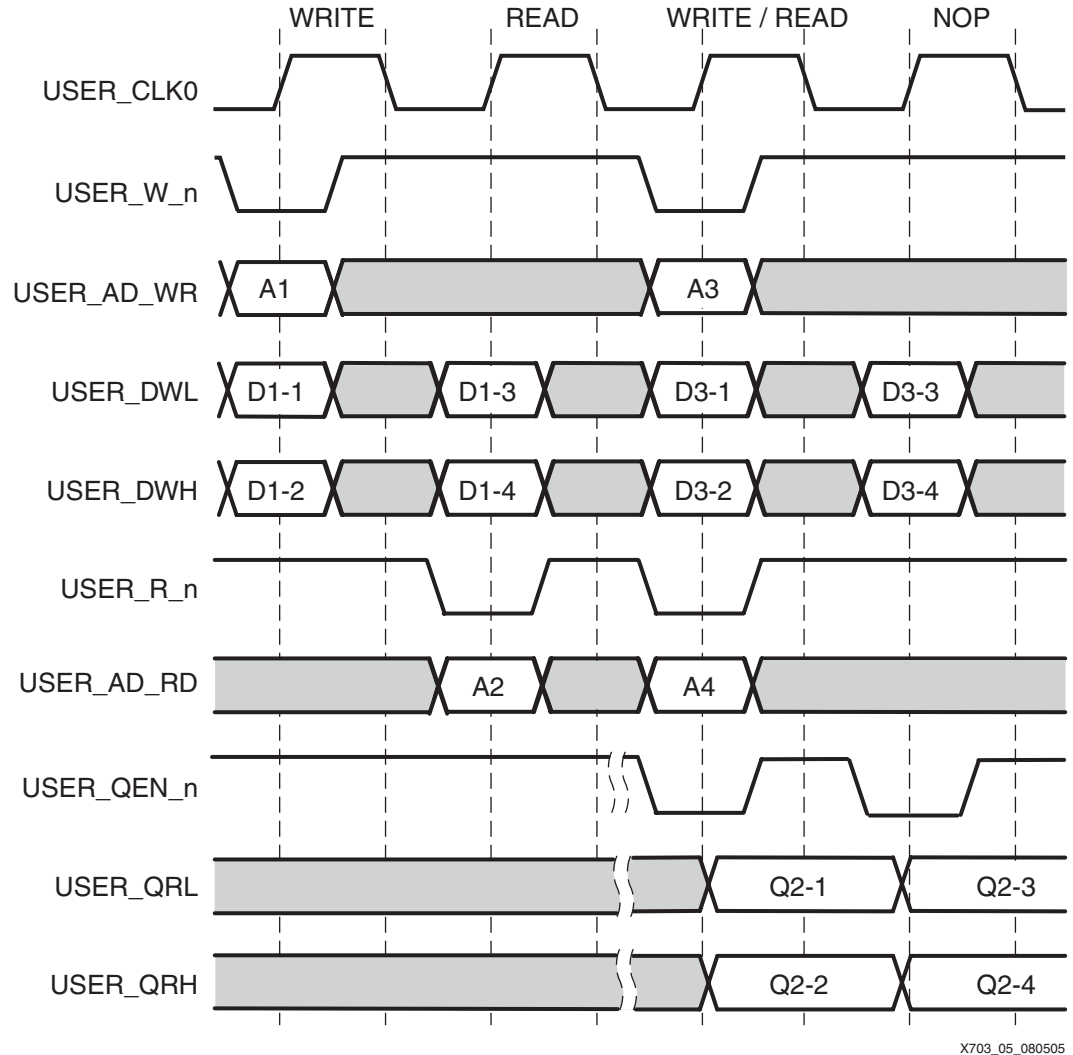


図 5: 4 ワード バースト ユーザー インターフェイスのタイミング プロトコル

書き込み要求は、アクティブ Low の USER_W_n 信号が Low になると、USER_CLK0 の立ち上がりエッジで実行されます。18 ビットの書き込みアドレス (USER_AD_WR) は、この同じクロックのエッジで供給する必要があります。このときに、メモリに書き込む最初の 36 ビット データワードは 36 ビット USER_DWL 入力バスに、2 番目の 36 ビット データワードは 36 ビット USER_DWH 入力バスに供給されます。USER_CLK0 の次の立ち上がりエッジで、4 ワード バーストの 3 番目のワードが USER_DWL に、4 番目のワードが USER_DWH に供給されます。

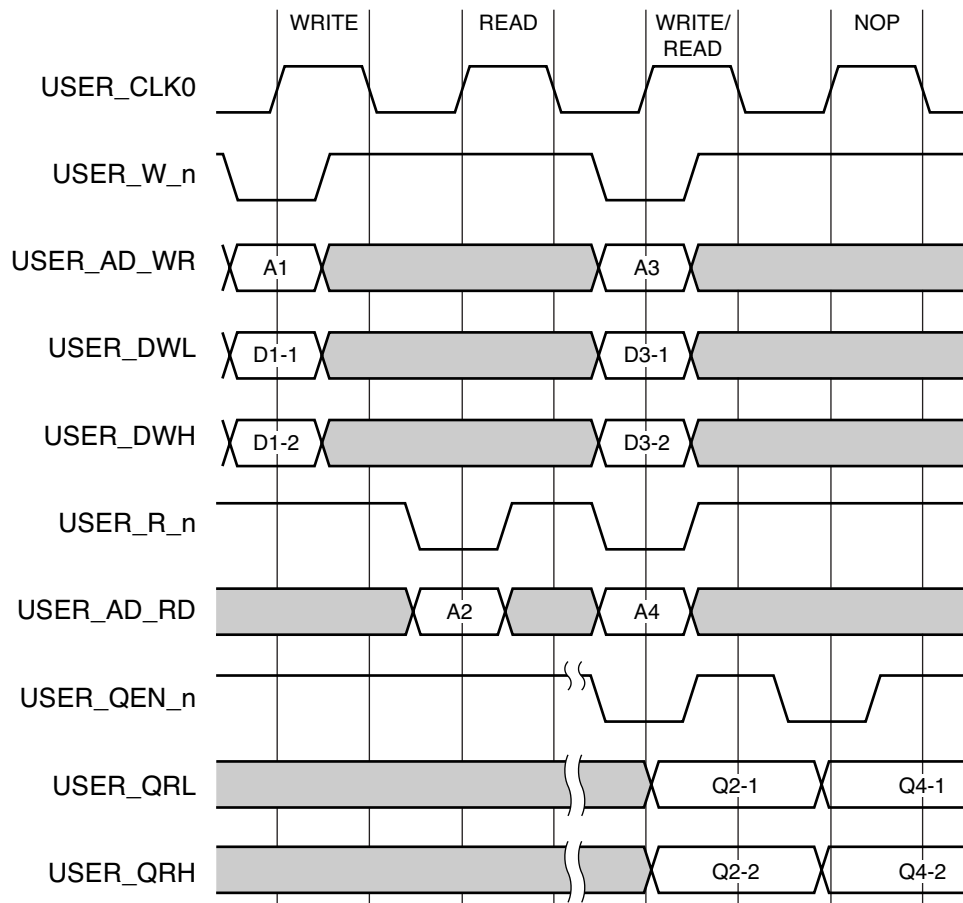
読み出し要求は、アクティブ Low の USER_R_n 信号が Low になると、USER_CLK0 の立ち上がりエッジで実行されます。18 ビットの読み出しアドレス (USER_AD_RD) は、この同じクロックのエッジで供給する必要があります。読み出し命令を実行すると、4 ワード バーストの値が読み出しデータ FIFO に格納されます。アクティブ Low の USER_QEN_n 信号が Low になると、USER_CLK0 の立ち上がりエッジでこれらの値が取り出され、36 ビット USER_QRL 出力および USER_QRH 出力に供給されます。1 番目と 2 番目のワードは USER_QEN_n が Low のときの最初のサイクルで、3 番目と 4 番目のワードは USER_QEN_n が Low のときの次のサイクルで供給されます。

QDR II メモリ自体とは異なり、ユーザー インターフェイスでは、**図 5** の 3 番目のサイクルに示すように、読み出しと書き込み要求を同じクロック サイクルで受信できます。読み出し/書き込みステート マシンにより外部メモリ デバイスへの読み出しおよび書き込み要求が交互になるよう制御されるため、ユーザー インターフェイスの負担が軽くなります。

ユーザー インターフェイスには、**図 5** に示していない読み出し/書き込み FIFO のステータスを示す信号も含まれます。アクティブ High の **USER_WR_FULL** 出力は、書き込み FIFO がフルであることを示します。書き込み FIFO がフルの場合、待機中の書き込み要求が減少するまで書き込み要求は許可されません。**USER_WR_FULL** が High の場合、書き込み要求はすべて無視されます。読み出し要求における **USER_RD_FULL** 信号も同様です。

アクティブ High の **USER_QR_EMPTY** 出力は、読み出しデータ FIFO に読み出しデータ値がないことを示します。読み出しデータ値がない場合、値を **USER_QRL** および **USER_QRH** バスに読み出そうとしても無視されます。別の読み出し命令が実行され、関連するデータ値が読み出しデータ FIFO に格納されるまでこの状態が続きます。

図 6 に、2 ワード バーストのリファレンス デザインを使用する場合に、ユーザー インターフェイスに対して読み出し/書き込み要求を行うために必要なタイミング プロトコルを示します。書き込み要求は、アクティブ Low **USER_W_n** 信号が Low になると、**USER_CLK0** の立ち上がりエッジで実行されます。18 ビットの書き込みアドレス (**USER_AD_WR**) は、この同じクロックのエッジで供給する必要があります。このときに、メモリ に書き込む最初の 36 ビット データワードが 36 ビット **USER_DWL** 入力バスに、2 番目の 36 ビット データワードが **USER_DWH** 入力バスに供給されます。2 ワード バーストと 4 ワード バーストのユーザー インターフェイス プロトコルは、その他すべての点で類似しています。



X703_06_072805

図 6：2 ワード バースト ユーザー インターフェイスのタイミング プロトコル

読み出し/書き込みステート マシン

図 7 に、4 ワード バースト 読み出し/書き込みステート マシンのステート ダイアグラムを示します。このステート マシンでは、ユーザー インターフェイスと物理インターフェイス間のデータフローが調整されます。ユーザー インターフェイス FIFO に格納された要求に基づいて、外部メモリ デバイスへ読み出し/書き込み命令を開始します。

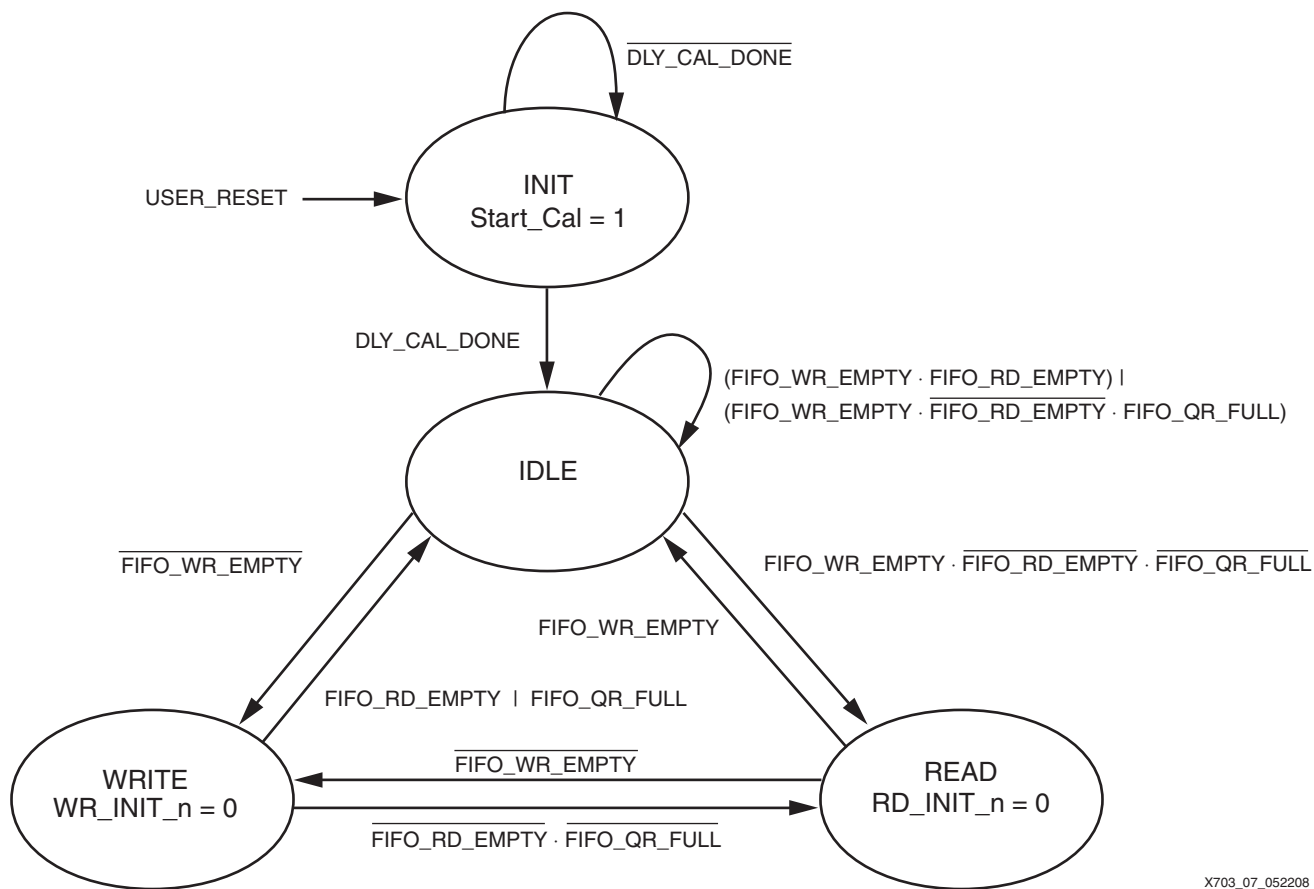
USER_RESET が適用されると、ステート マシンは INIT ステートに戻ります。INIT ステートでは、遅延補正ステート マシンで、すべての QDR_Q 入力に対する IDELAY ブロックの遅延が調整され、FPGA のシステム クロックである USER_CLK0 に読み出しパスのデータの中心が揃うまで、メモリ操作が一時停止します。この調整が完了すると、アクティブ High の DLY_CAL_DONE 入力が High になり、読み出し/書き込みステート マシンは IDLE ステートに遷移して、ユーザー インターフェイスからの読み出し/書き込み要求を待ちます。

IDLE ステートからは、書き込み命令が優先されます。待機中の読み出しまたは書き込み要求がない場合、IDLE ステートが繰り返されます。

ユーザー インターフェイス FIFO に待機中の書き込み要求がある場合は書き込みステートに遷移し、内部 WR_INIT_n ストロープによって書き込み命令が開始されます。このストロープによって FIFO から書き込みアドレスおよびデータ値が取り出され、外部 QDR_W_n 書き込み制御ストロープによってメモリ デバイスへの書き込み命令が開始されます。

待機中の読み出し要求がある場合はステート マシンは読み出しステートに遷移し、内部 RD_INIT_n ストロープがアクティブになります。このストロープによって FIFO から読み出しアドレスが取り出され、外部 QDR_R_n ストロープによってメモリ デバイスへの読み出し命令が開始されます。これにより、読み出しデータ FIFO 内の戻り値も取り込まれます。

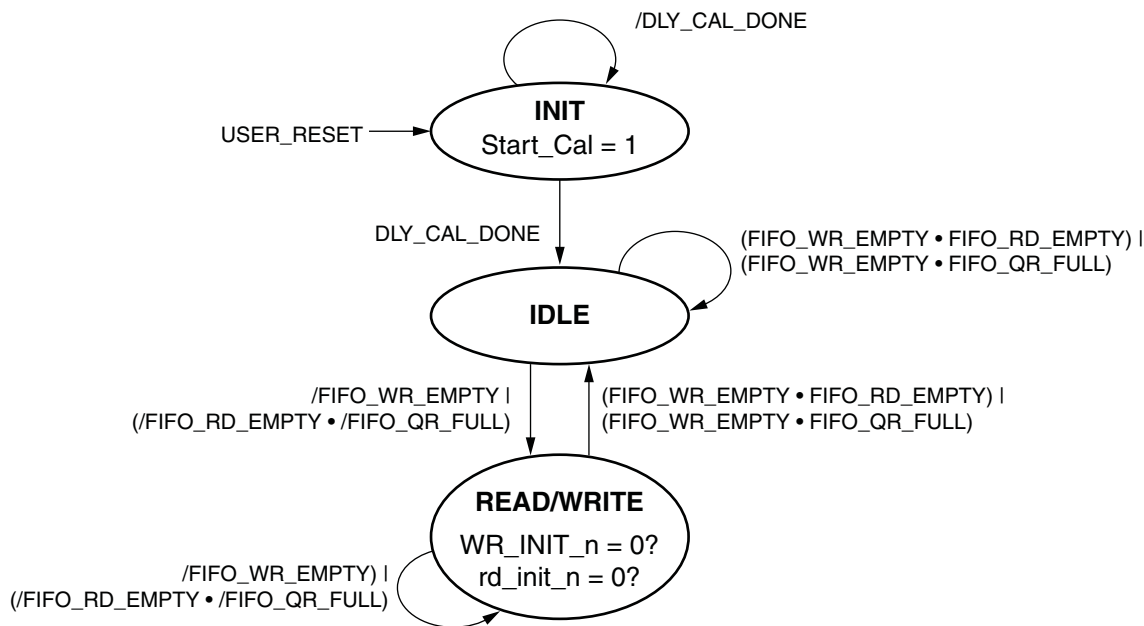
読み出し/書き込みステート マシンでは、ユーザー インターフェイスの FIFO のステータス信号を常に監視し、待機中の読み出し/書き込み要求があるかどうかを判断します。同時読み出し/書き込み要求が連続すると、ステート マシンで読み出しと書き込みのステートが交互に発生し、要求が適切に交互に外部メモリへ送信されます。書き込み要求が続くと IDLE ステートと書き込みステートが交互に発生し、読み出し要求が続くと IDLE ステートと読み出しステートが交互に発生します。



X703_07_052208

図 7: 4 ワード バースト 読み出し/書き込みステート マシン

図 8 に、2 ワード バースト 読み出し/書き込みステート マシンのステート ダイアグラムを示します。このステート マシンの動作は、メモリへの読み出しと書き込み要求が 1 つの READ_WRITE ステートで制御される点を除き、4 ワード バーストのステート マシンと同様です。すべての 2 ワード バースト QDR II メモリ デバイスでは、読み出し/書き込み要求が同じステートから開始できるように同じクロック サイクルで行われます。



X703_08_052208

図 8：2ワードバースト読み出し/書き込みスタートマシン

物理インターフェイス

QDR II リファレンス デザインの物理インターフェイスでは、DDR 信号を含む読み出し/書き込み命令を外部メモリ デバイスに転送する際の I/O 信号が生成され、タイミング関係が調整されます。また、デザイン全体のパフォーマンス仕様を満たすために必要なタイミング マージンおよび I/O 信号規格が提供されます。QDR II デザインのすべての I/O 信号には HSTLI 信号が使用されます。このセクションでは、物理インターフェイスの各コンポーネントについて説明します。

クロッキング手法

QDR II デザインでは、Virtex-4 デバイスのすべての I/O ブロックにある入力 DDR (IDDR) および出力 DDR (ODDR) が多数使用されています。このビルトイン レジスタ機能により、QDR II メモリ デバイスとの通信に使用されるクロック、アドレス、データ、および制御信号の生成が大幅に簡略化されます。IDDR プリミティブおよび ODDR プリミティブのどちらにもさまざまな操作モードがあり、取り込みまたは転送された DDR データを FPGA および I/O ピンに送信する方法を決定できます。IDDR および ODDR 操作モードの詳細は、『Virtex-4 FPGA User Guide』(UG070) の第 8 章「Advanced SelectIO Logic Resources」を参照してください。

QDR II デザインのクロッキング手法 (図 9) では、ODDR レジスタを OPPOSITE_EDGE モードで使用し、メモリ デバイス用の QDR_K クロックおよび QDR_K_n クロックを生成します。このクロック信号のタイミングは、QDR II のアドレス、データ、および制御信号とほぼ同一であるため、タイミング マージンを考慮する際に FPGA の clock-to-out パラメータを含める必要がなくなります。このため、外部から転送されるすべての信号は、clock-to-out パラメータに対して一致します。

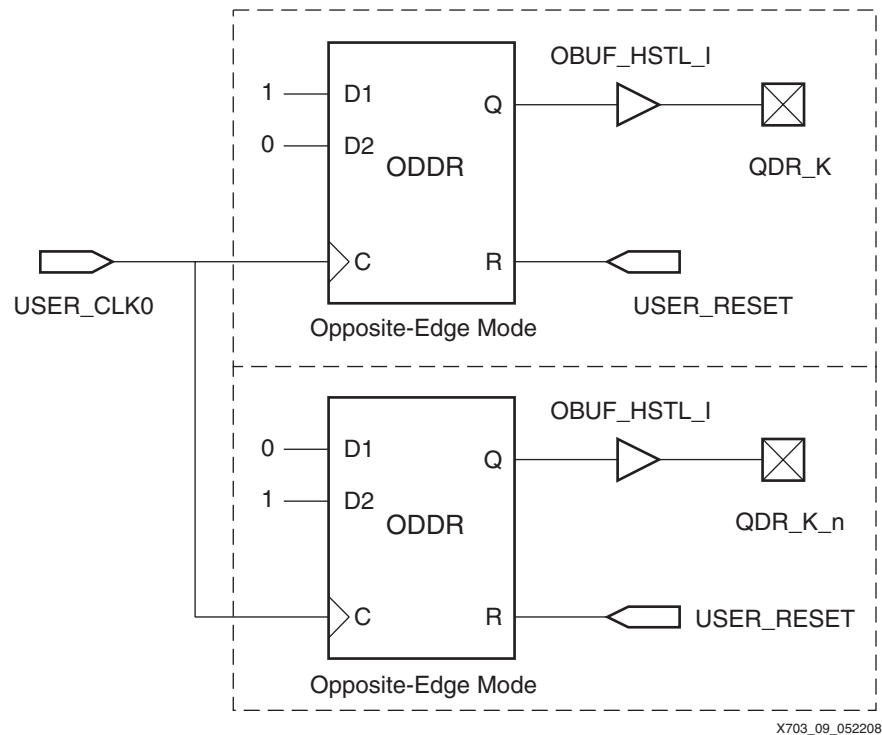


図 9：ODDR レジスタ機能を使用したクロック転送手法

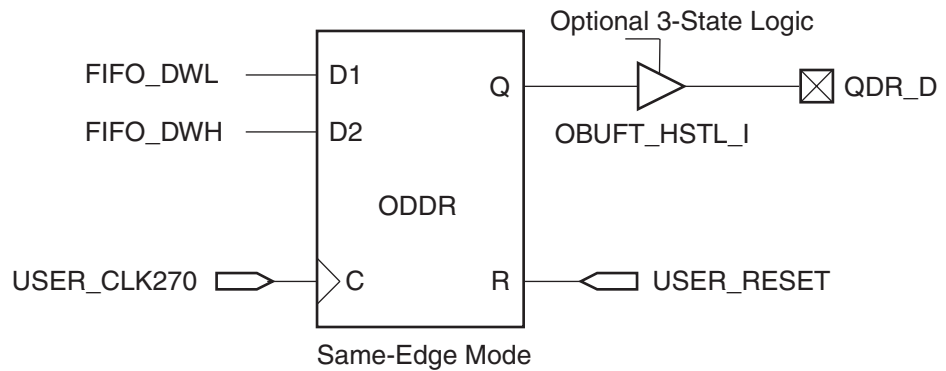
書き込みパス

QDR II メモリへの書き込みパスには、書き込み操作の実行に必要なアドレス、データ、および制御信号が含まれます。書き込みアドレス信号 (QDR_AD_WR)、制御ストローブ信号 (QDR_W_n)、およびバイト ライト イネーブル信号すべてに SDR フォーマットが使用されます。ただし、書き込みデータ値 (QDR_D) では DDR 信号転送を使用し、割り当てられたクロック周期内で 2 ワードまたは 4 ワードバーストを達成します。

これらすべての書き込みパスの信号は、QDR_K クロックおよび QDR_K_n クロックのエッジに中心を合わせて供給する必要があります。このため、これらの信号の出力レジスタは、USER_CLK270 クロックに同期しています。USER_CLK270 クロックは、USER_CLK0 と周波数が同じで、位相を 270° (クロック周期の 75%) シフトしたものです。これにより、入力 QDR_K クロックと QDR_K_n クロックのエッジに対するメモリ デバイスのセットアップ タイムおよびホールド タイムが十分になります。

図 10 に、USER_CLK270 および ODDR レジスタを使用して QDR_D 書き込みデータパスに必要な DDR 信号を生成する方法を示します。ODDR レジスタは SAME_EDGE モードに設定され、同じ USER_CLK270 の立ち上がりエッジで、36 ビット データワード (FIFO_DWL と FIFO_DWH の両方) が FPGA から取り込まれます。FIFO_DWL 値はこの立ち上がりエッジの直後に QDR_D 書き込みデータパスに転送され、USER_CLK270 の次の立ち下がりエッジで FIFO_DWH 値が ODDR ブロックから転送されます。このプロセスが繰り返され、4 ワード書き込みデータバーストが生成されます。

同様に、読み出し/書き込みアドレス、バイト ライト イネーブル、および読み出し/書き込み制御ストローブは、I/O ブロック内の単一フリップフロップを使用して生成され、USER_CLK270 と同期する SDR 信号が生成されます。



X703_10_052208

図 10：書き込みデータパスのインプリメンテーション

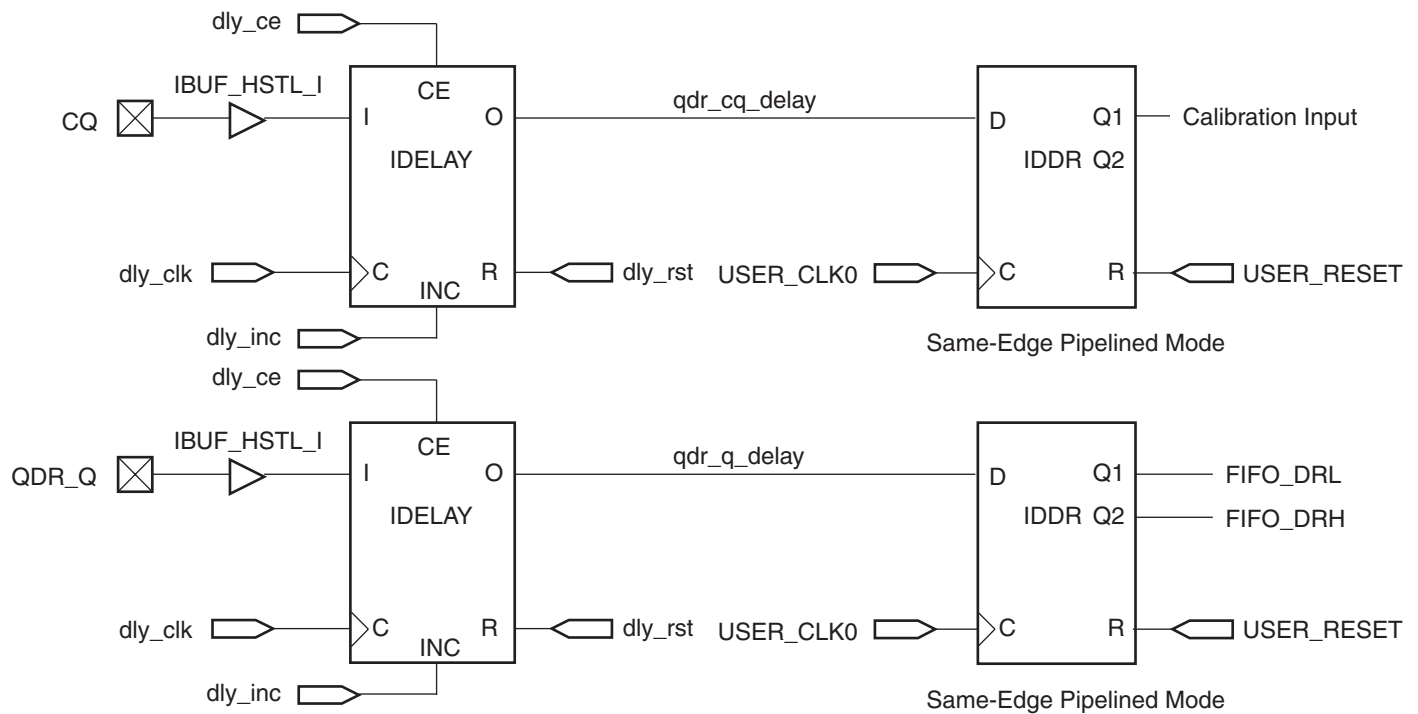
読み出しパス

読み出しデータ取り込みは、書き込みデータ転送よりも複雑ですが、QDR II リファレンス デザインのダイレクトクロッキング手法を使用すると、大幅に簡略化できます。

前述したように、Virtex-4 FPGA の各入力ピンにはプログラマブルな遅延エレメント (IDELAY) があります。IDELAY エレメントを動的に調整することにより、入力パスの遅延量を制御します。各 IDELAY ブロックにはそれぞれ 64 のタップ遅延 (各 75ps) が含まれ、入力信号のタイミングを 5ns の範囲内で調整できます。IDELAY ブロックを使用するには、IDELAY エレメントを使用して IDELAYCTRL プリミティブを I/O バンクにインスタンス化する必要があります。IDELAYCTRL ブロックは 200MHz のリファレンスクロック (精度は ±1000ppm) を使用し、プロセス、電圧、および温度の変動にかかわらず、IDELAY のタップ遅延の値を 75ps に補正します。図 3 に示す最上位デザインへの DLY_CLK_200 入力、QDR II デザインの 200MHz クロック入力となります。

図 11 に、IDELAY プリミティブを使用して、読み出しデータ取り込みのダイレクトクロッキング手法をインプリメントする方法を示します。「はじめに」で説明したように、ダイレクトクロッキング手法では QDR II メモリデバイスの CQ エコークロックを使用します。CQ エコークロックはトレーニング信号として使用され、QDR 読み出しデータの中心を FPGA のシステムクロックである USER_CLK0 に合わせます。

CQ クロックは、QDR_Q データバス信号と同様に、HSTL 入力バッファ、IDELAY ブロック、IDDR レジスタを介して FPGA に供給されます。すべての IDELAY ブロックは可変遅延モードに設定されているため、タップ遅延設定を動的に調整できます。また、すべての IDELAY ブロックは遅延補正ステートマシンからの同じ信号 (dly_clk、dly_ce、dly_inc) によって制御されます。

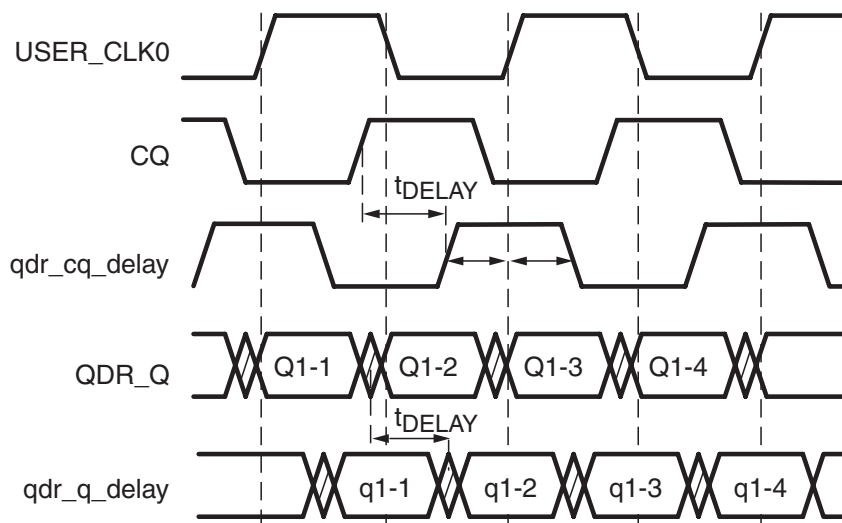


X703_11_052208

図 11：読み出しパス データ取り込みのためのダイレクト クロッキングのインプリメンテーション

遅延補正ステート マシンでは、USER_CLK0 の立ち上がりエッジで IDDR レジスタに取り込まれた CQ クロック入力のステートを監視します。エッジ検出アルゴリズムにより、CQ クロック入力の IDELAY タップ遅延設定を変更することで CQ クロックの立ち上がりエッジおよび立ち下がりエッジの位置が検出されます。エッジが検出された後、USER_CLK0 の立ち上がりエッジの近くの CQ クロック エッジに中心が揃うようタップ遅延設定が調整されます。CQ クロックは、メモリ デバイスから入力される QDR_Q データ バスにエッジが揃えられます。同じタップ遅延設定が QDR_Q データ バスに適用されると、USER_CLK0 信号が入力される読み出しデータ ワードのデータ有効ウィンドウの中心に自動的に合わせられます。これにより、読み出しデータ値は直接 FPGA システム クロック ドメインに取り込まれ、複雑なデータの再取り込みや、クロック境界をまたぐ場合に通常必要なタイミング解析は必要ありません。

図 12 に、CQ クロックおよび QDR_Q 信号を同一のタップ設定の IDELAY ブロックによって遅延させ、これらの信号の中心を USER_CLK0 に合わせる方法を示します。qdr_cq_delay 信号および qdr_q_delay 信号は、IDELAY エレメントを通過した後の IDDR レジスタへの入力波形を表します。



X703_12_052208

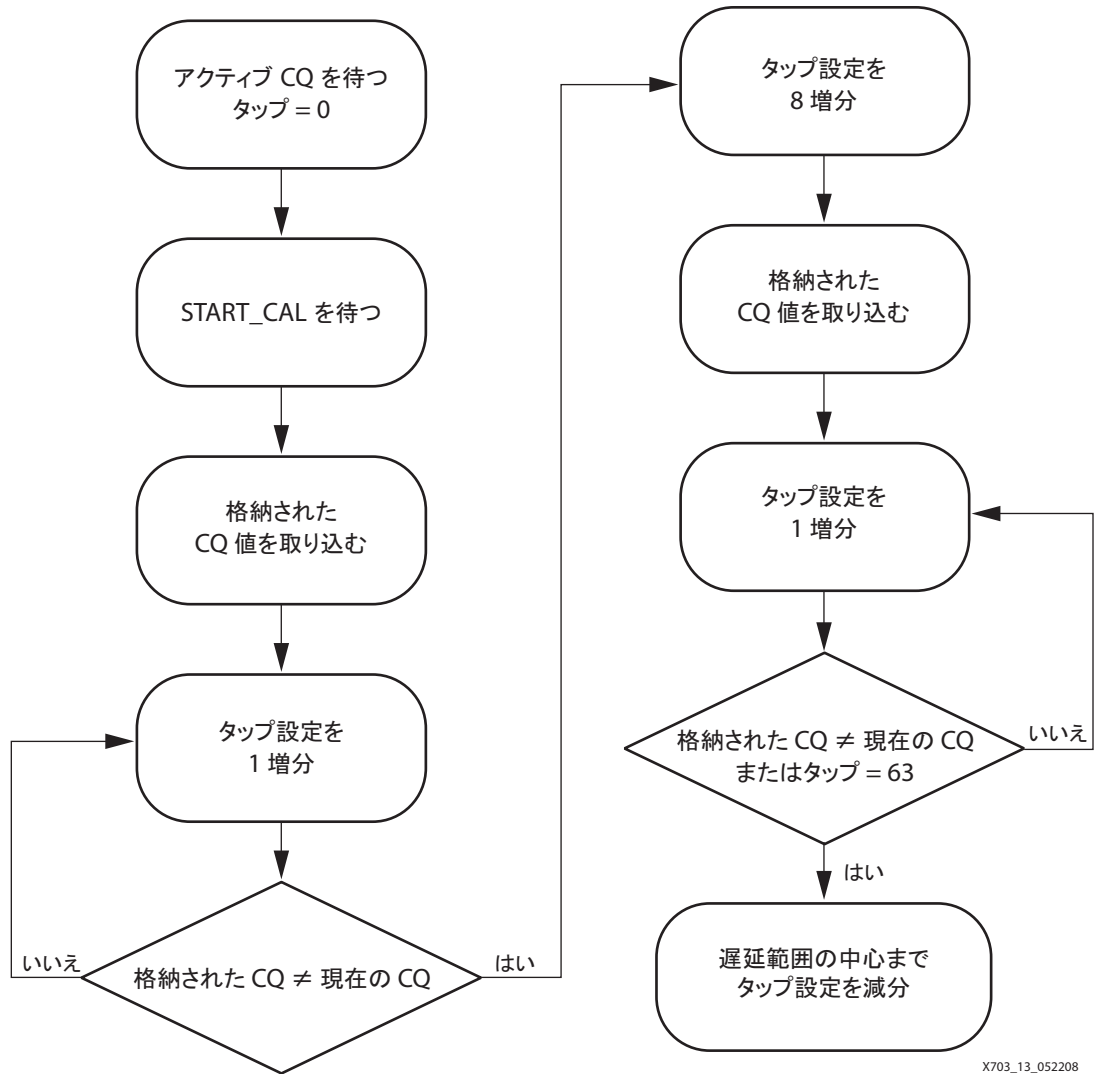
図 12：タップ遅延を使用した USER_CLK0 に対する QDR_Q 入力の配置

図 13 に、遅延補正ステート マシンで使用されるアルゴリズムを示します。CQ クロックのエッジ検出に基づいて、QDR_Q 入力における適切な IDELAY タップ設定が決定されます。最初、CQ クロックと QDR_Q バス信号のタップ遅延値は両方とも 0 に設定されています。ステート マシンでは、まず連続する 1024 のクロック エッジを検出して CQ クロックがアクティブになるのを待ちます。これにより、エッジを検出するトレーニングシーケンスに対して安定したクロック信号が確実に供給されます。

次に、このステート マシンは、主要な読み出し/書き込みステート マシンを待って遅延補正を開始します。CQ 補正入力の値は、その後初期のタップ遅延設定で取り込まれます。この格納されている CQ 値 (1 または 0) は、エッジ検出における基準となります。この時点で、ステート マシンは CQ クロック信号および QDR_Q バス信号両方のタップ遅延設定の増分を開始します。タップ設定を変更するたびに、IDDR レジスタに取り込まれたフリーランニング CQ クロックの値が格納されている元の CQ 値と比較され、CQ 信号のエッジが 1 つ検出されます。このプロセスは、現在の CQ 値が格納されている CQ 値の逆のステートになる (エッジが検出される) まで続きます。このプロセスで決定された最後のタップ遅延値が、遅延ウィンドウの一端になります。

CQ クロックの次のエッジ位置も同様に決定されます。まず、タップ遅延設定を現在よりも 8 増分し、CQ 遷移領域から離れた地点で新しく格納された CQ 値が取り込まれるようにします。次に、ステートマシンでタップ遅延設定の増分を開始し、取り込まれた CQ 値のステートが格納された CQ 値と逆になるのを確認することにより、エッジを検出します。タップ遅延設定は、次のエッジが検出されるか、またはタップ遅延値が最大値である 63 に到達するまで増分されます。この最後のタップ値が、遅延ウィンドウのもう一端になります。

遅延補正ステート マシンの最後の動作では、CQ 信号および QDR_Q 信号のタップ遅延値を遅延ウィンドウ範囲の中心値まで減分します。これで、USER_CLK0 信号が Virtex-4 デバイスに入力される読み出しデータワードのデータ有効ウィンドウの中心に揃えられます。QDR_Q 信号のタップ遅延設定は、CQ 入力の設定で制御されるため、CQ を中心に揃えるアルゴリズムが完了した後は、QDR_Q 信号の中心も USER_CLK0 のエッジに揃えられます。



X703_13_052208

図 13: USER_CLK0 を QDR_Q データ有効ウィンドウの中心に合わせるエッジ検出アルゴリズム

読み出し FIFO ストローブの生成

内部読み出しストローブを SRL16 シフトレジスタ機能を使用して適切なクロックサイクル数分遅延させることにより、読み出しデータ FIFO 用のライト イネーブルを生成します。これにより、ライト イネーブルが QDR II デバイスから送信された読み出しデータ (Q) と同期します。ダイレクトクロッキング手法では Virtex-4 デバイス内にあるすべてのコンポーネントが USER_CLK0 と同期しているため、この手法が可能です。

読み出しストローブパスを遅延するクロックサイクル数は、qdrII_mem_ctrl2.v/.vhd ファイルの上部にある RD_FIFO_DELAY 値によって指定します。デフォルトでは、この値は 2 (バイナリ 0010) に設定されています。これは、ほとんどのシステムで適切ですが、必要に応じて値を調整し、FIFO に入力される読み出しデータにライト イネーブルストローブが揃うようにします。

リファレンス デザイン

QDR II SDRAM インターフェイスのリファレンス デザインは、CORE Generator™ に含まれる Memory Interface Generator (MIG) ツールに組み込まれています。CORE Generator は、次のサイトからダウンロードできます。

<http://japan.xilinx.com/support/download/index.htm>

ボード設計上の注意事項

Virtex-4 ファミリーでは、アドバンス I/O やクロック供給に関連する機能が多数提供されており、メモリ インターフェイス デザインを大幅に簡略化できますが、パフォーマンスおよび信頼性の高いインターフェイスを実現するには、基本的なボード設計のガイドラインに従う必要があります。

特に、読み出し/書き込みパスのインターフェイスはソース同期であるため、インターフェイス クロック、データ、および制御信号のボード トレース長は一致させる必要があります。

たとえば、QDR II デバイスの入力信号 (QDR_K、QDR_K_n、QDR_W_n、QDR_R_n、QDR_SA、QDR_BW_n、QDR_D) のトレース長は、制御、アドレス、およびデータ ラインを適切なセットアップ タイムおよびホールド タイムでメモリ デバイスに供給するため一致させる必要があります。物理インターフェイスをインプリメントすることにより、これらの信号が FPGA デバイスから出力されるときに、QDR_K クロックと QDR_K_n クロックのエッジに中心が揃えられます。これらの信号がメモリ デバイスに入力されるまで、ボード トレースでこの関係を保持する必要があります。

同様に、QDR II デバイスの出力信号 (QDR_Q、QDR_CQ) のトレース長は、Virtex-4 デバイスへの入力時にこれらすべての信号のエッジが揃うようにするため、一致させる必要があります。これは、ダイレクト クロッキング手法の読み出しデータ取り込みのインプリメンテーションにおいて重要です。ボード設計ツールを使用すると、これらのトレースを許容範囲内で簡単に一致させることができます。

タイミング解析

QDR II リファレンス デザインでは、デバイス特有の I/O 機能およびクロック機能を使用して高パフォーマンスを達成すると同時に、詳細な配置やピン配置解析の必要性を大幅に削減できます。

このセクションでは、アドレス/制御パス、書き込みデータ パス、および読み出し (取り込み) データパスのタイミング解析例を示します。

アドレス/制御パス

前述したように、読み出し/書き込みアドレス パス、バイト ライト イネーブル信号、および読み出し/書き込み制御ストローブは、すべて USER_CLK270 クロックに同期しています。これにより、メモリ デバイスに供給されるこれらの SDR 信号で、USER_CLK0 から生成される QDR_K クロックおよび QDR_K_n クロックのエッジに対するセットアップ タイムおよびホールド タイムが適切になります。

表 2 に、これらの信号のタイミング解析例を示します。この解析には、Virtex-4 デバイス (-11 スピードグレード) にインプリメントされた 250MHz の 4 ワード バースト QDR II メモリ デバイスが使用されています。

表 2：アドレス信号と制御信号のタイミング解析

パラメータ	値 (ps)	立ち上がりエッジの不確定値	立ち下がりエッジの不確定値	説明
T _{CLOCK}	4000	-	-	250MHz のクロック周期
T _{CLOCK_SKEW_FPGA}	±50	50	50	TRACE (Timing Reporter and Circuit Evaluator) 解析でのクロック スキュー
T _{PACKAGE_SKEW}	±30	30	30	バンク内の最大パッケージ スキュー
T _{SETUP}	500	500	0	メモリ データシートのセットアップタイム
T _{HOLD}	500	0	500	メモリ データシートのホールド タイム
T _{PCB_LAYOUT_SKEW}	±50	50	50	許容誤差値の予測に基づいたボード トレース間の最大スキュー
T _{PHASE_OFFSET_ERROR_DCM}	±140	140	140	デジタル クロック マネージャ (DCM) の異なる出力間の最大オフセット
T _{JITTER}	±50	50	50	USER_CLK0 と USER_CLK270 間の差に関連したジッタ コンポーネント
不確定値の合計	-	820	820	
有効ウィンドウ	2360	820	3180	ワースト ケース ウィンドウ = 2360ps

図 14 に、アドレス信号と制御信号のタイミング マージンを示します。これらの信号は USER_CLK270 を基準としているので、QDR_K クロックのエッジに対しては、立ち上がりエッジ マージンよりも立ち下がりエッジ マージンの方が長くなります。これにより、使用するグローバル クロック バッファの数が少なくなり、立ち上がりエッジのマージンも適切なものになります。

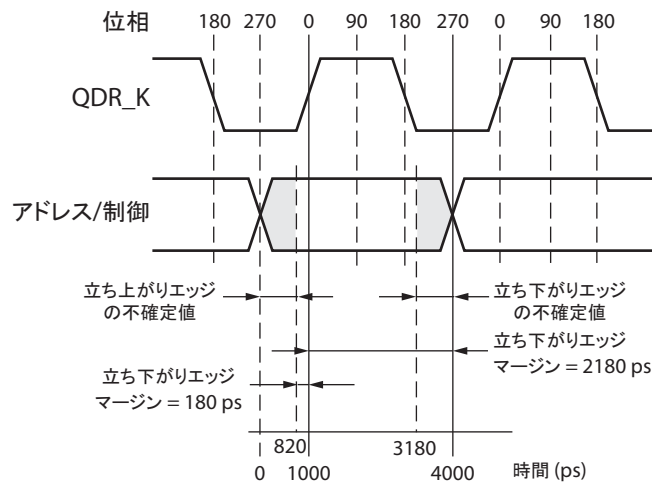


図 14：アドレス信号と制御信号のタイミング マージン

書き込みデータパス

書き込みデータパス (QDR_D) も USER_CLK270 に同期していますが、書き込みデータワードは DDR 値として転送されるので、QDR_K と QDR_K_n の両方の立ち上がりエッジに対してセットアップ タイムおよびホールド タイムを適切にする必要があります。表 3 に示す書き込みデータパスのタイミング解析には、メモリ クロックのデューティ サイクルの最大歪みが含まれています。この解析にも、Virtex-4 デバイス (-11 スピード グレード) にインプリメントされた 250MHz の 4 ワード バースト QDR II メモリ デバイスが使用されています。

表 3: 書き込みデータパスのタイミング解析

パラメータ	値 (ps)	立ち上がりエッジの不確定値	立ち下がりエッジの不確定値	説明
T _{CLOCK}	4000	-	-	250MHz のクロック周期
T _{CLOCK_PHASE}	2000	-	-	クロック位相 (クロック周期の 50%)
T _{DCD}	150	-	-	メモリ クロックのデューティ サイクルの歪み
T _{DATA_PERIOD}	1850	-	-	データ周期の合計、 T _{CLOCK_PHASE} - T _{DCD}
T _{CLOCK_SKEW_FPGA}	50	50	50	TRACE 解析でのクロック スキュー
T _{PACKAGE_SKEW}	±30	30	30	バンク内の最大パッケージ スキュー
T _{SETUP}	350	350	0	メモリ データシートのセットアップタイム
T _{HOLD}	350	0	350	メモリ データシートのホールド タイム
T _{PCB_LAYOUT_SKEW}	±50	50	50	許容誤差値の予測に基づいた ボード トレース間の最大スキュー
T _{PHASE_OFFSET_ERROR_DCM}	±140	140	140	DCM の異なる出力間の最大オフセット
T _{JITTER}	±50	50	50	USER_CLK0 と USER_CLK270 間の差 に関連したジッタ コンポーネント
不確定値の合計	-	670	670	立ち上がりと立ち下がり のワースト ケースの不確定値は同時に発生しない
有効ウィンドウ	510	670	1180	ワースト ケース ウィンドウ = 510ps

図 15 に、書き込みデータパスのタイミング マージンを示します。QDR_K に関する解析のみを示します。QDR_K_n に関する解析はこれと同一です。

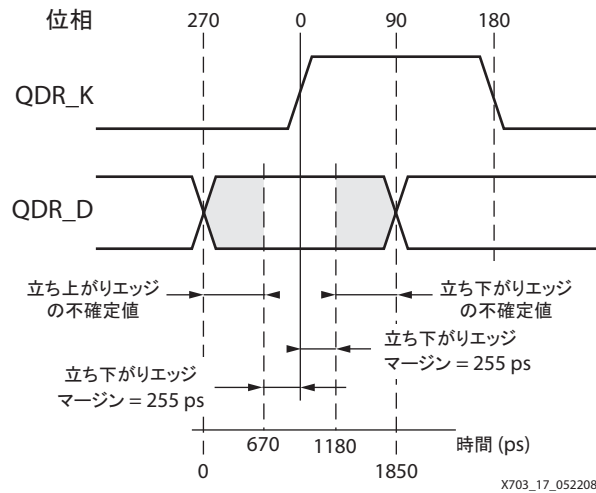


図 15：書き込みデータパスのタイミング マージン

読み出しデータパス (データ取り込み)

読み出しデータパス (QDR_Q) の値は、前述のダイレクト クロッキング手法を使用して、USER_CLK0 クロックドメインに直接取り込まれます。そのため、データ取り込みのタイミング解析は USER_CLK0 を基準にし、IDELAY タップ遅延の精度を考慮する必要があります。また、メモリからの CQ エコー クロックは、QDR_Q バスの中心を USER_CLK0 に揃えるエッジ検出アルゴリズムでトレーニング信号としてのみ使用されますが、CQ クロックと QDR_Q バス間のスキューも考慮する必要があります。表 4 に、QDR II デバイスを -11 スピード グレードの Virtex-4 FPGA に接続した場合の読み出しのタイミング解析を示します。

表 4：読み出しデータパスのタイミング解析

パラメータ	値 (ps)	説明
T _{CLOCK}	4000	250MHz のクロック周期
T _{CLOCK_PHASE}	2000	クロック位相 (クロック周期の 50%)
メモリの不確定値		
T _{MEM_DCD}	150	受信クロックのデューティ サイクルの歪み
T _{CQ_TO_Q_SKEW}	600	メモリ データシートの CQ とデータ間のスキュー
FPGA の不確定値		
T _{SAMP}	500	さまざまな圧力、電圧、タイミング (PVT) での Virtex-4 FPGA DDR 入力レジスタの合計サンプリング エラー (IOB レジスタのセットアップおよびホールド、クロック ジッタ、タップの不確定値 150ps を含む)
T _{CLOCK_SKEW}	100	TRACE 解析でのクロック スキュー
T _{PACKAGE_SKEW}	20	バンク内の最大パッケージ スキュー
T _{PCB_LAYOUT_SKEW}	50	許容誤差値の予測に基づいた ボード トレース間の最大スキュー

表 4 : 読み出しデータパスのタイミング解析(続き)

パラメータ	値 (ps)	説明
IDELAY タップ ジッタ	480	IDELAY でデータを遅延させることにより発生するジッタ。IDELAYPAT_JIT 値 12ps をタップのワースト ケース値 (クロック周期の 3/4) として使用。
データ ウィンドウ	100	

まとめ

このアプリケーション ノートでは、Virtex-4 デバイスにおける 2 ワードまたは 4 ワード バースト QDR II SRAM インターフェイスのインプリメンテーションおよびタイミングについて説明しました。ダイレクト クロッキング手法により FPGA での読み出しデータ取り込みを大幅に簡略化することにより、パフォーマンスおよび信頼性の高い拡張可能なメモリ インターフェイス ソリューションを、現在また次世代の QDR II SRAM メモリ デバイスに提供します。

その他の情報

QDR II SRAM メモリ デバイスベンダー

- サイプレス セミコンダクタ社 : <http://www.cypress.com/?l=2>
- ルネサス テクノロジ社 : <http://japan.renesas.com/>
- IDT 社 : <http://www.idt.com/japan/>
- サムスン社 : <http://www.samsung.com/jp/index.htm>
- NEC 社 : <http://www.necel.com/memory/index.html>

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2004年9月10日	1.0	初期リリース
2005年5月12日	2.0	<ol style="list-style-type: none"> 1. 4分の1レートクロック (CLK_DIV4) で実行するため遅延補正ステートマシンを修正。 2. IDELAY タップ カウントが0から開始するよう遅延補正ステートマシンのアルゴリズムを変更。 3. 読み出し FIFO ライト イネーブル ストロープを生成するための2つの手法を追加。 4. ISE デザイン例をアップデートし、読み出し FIFO ストロープの生成方法のインプリメンテーションを表示。 5. タイミング解析のセクションにアップデートされたタイミング数を使用。 6. すべての変更を反映した新しいリファレンス デザイン ファイルをリリース。
2005年8月10日	2.1	<ol style="list-style-type: none"> 1. 2ワードバーストメモリデバイスの資料を追加。 2. 図2、図6、および図8を追加。 3. 2ワードバーストリファレンスデザインファイルを追加。
2006年4月11日	2.2	リファレンスデザインへのリンクを更新。
2006年9月6日	2.3	表1および表4をアップデート。図18を削除。スペルミスを修正。
2008年7月9日	2.4	<ul style="list-style-type: none"> • QDR Consortium へのリンクを削除。 • 図3から信号を削除。 • 「デザインの概要」から RD_STB_n_out の説明を削除。 • 図4から信号を削除。 • 「読み出しパス」からテキストを削除。 • 「読み出し FIFO ストロープの生成」からテキストを削除。 • 「読み出し FIFO ストロープの生成」から図を削除。 • 「リファレンス デザイン」からテキストを削除。 • 「リファレンス デザイン」から図を削除。 • 「リファレンス デザイン」へのリンクをアップデート。

免責事項

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.

(この日本語訳 (参考のみ) は、<http://japan.xilinx.com/support/documentation/disclaimer.htm> を参照してください。)