



XAPP704 (v1.3) 2005 年 6 月 6 日

Virtex-4 高速 シングル データ レート LVDS トランシーバ

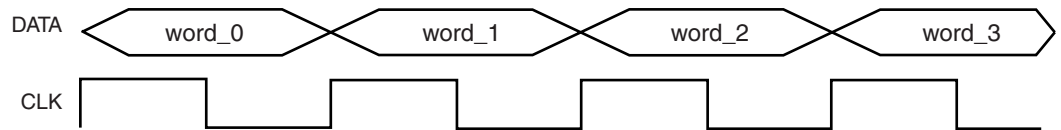
著者 : Markus Adhiwiyogo

概要

このアプリケーション ノートでは、SFI-4 規格または XSBI 規格に準拠したアプリケーションに最適な、17 (1 クロックおよび 16 データ チャンネル) の低電圧差動信号 (LVDS) ペアを使用した Virtex-4™ FPGA のシングルデータレート (SDR) トランスミッタ (Tx) およびレシーバ (Rx) インターフェースについて説明します。デザインでは、ChipSync™ 機能を使用してインプリメントされており、リファレンス デザイン ファイルには、Virtex-4 XC4VLX25-FF668 デバイスを対象とした例が含まれています。また、ザイリンクスの開発ボード ML450 を使用して、このデザインをインプリメントするための UCF ファイルが提供されています。デザインに必要な詳細については、デザイン特性および推奨サマリを参照してください。

はじめに

SDR インターフェースでは、[図 1](#) で示すように、データ ビットに対して、クロックのポジティブおよびネガティブ遷移が一度しか発生しません。したがって、データ レートが 500Mb/s の場合、クロック 周波数は 500MHz となります。SDR の LVDS インターフェースに関しては、SFI-4 や XSBI 以外のさまざまな規格でも解説されています。



x704_01_090504

図 1 : SDR クロックおよびデータ インターフェース

このアプリケーション ノートでは、デジタル クロック マネージャ (DCM) の最大周波数を超過した周波数で SDR トランシーバをインプリメントする方法について説明します。また、700MHz で、AC タイミング特性の保証範囲内でデザインを作成する、Virtex-4 アーキテクチャに特化したコンポーネントや機能を使用します。

[図 2](#) に全体のシステム コンフィギュレーションを示し、Virtex-4 デバイスおよび SDR トランシーバを持つその他のデバイス間における全二重対応の SDR リンクを示します。Virtex-4 デバイスは、伝達クロックを生成するため、SDR クロック周波数で動作する LVDS または LVPECL 差動出力信号のどちらかおよびリファレンス クロックを必要とします。[図 2](#) に、SDR クロック周波数で動作する各クロック ソースを示します。

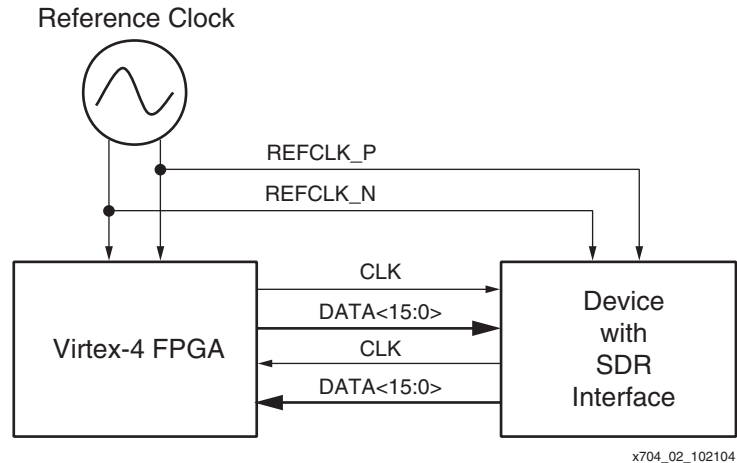


図 2：一般的な SDR リンク システム

Virtex-4 インプリメンテーション

図 3 に、リファレンス デザイン SDR_LVDS_TX_RX で使用した、Virtex-4 の SDR トランシーバの簡略ブロック図を示します。このモジュールは、IDELAYCTRL、TX_CLK_AND_DAT、RX_CLK_AND_DAT および RST_MACHINE で構成されています。各モジュールの詳細については、後に説明します。

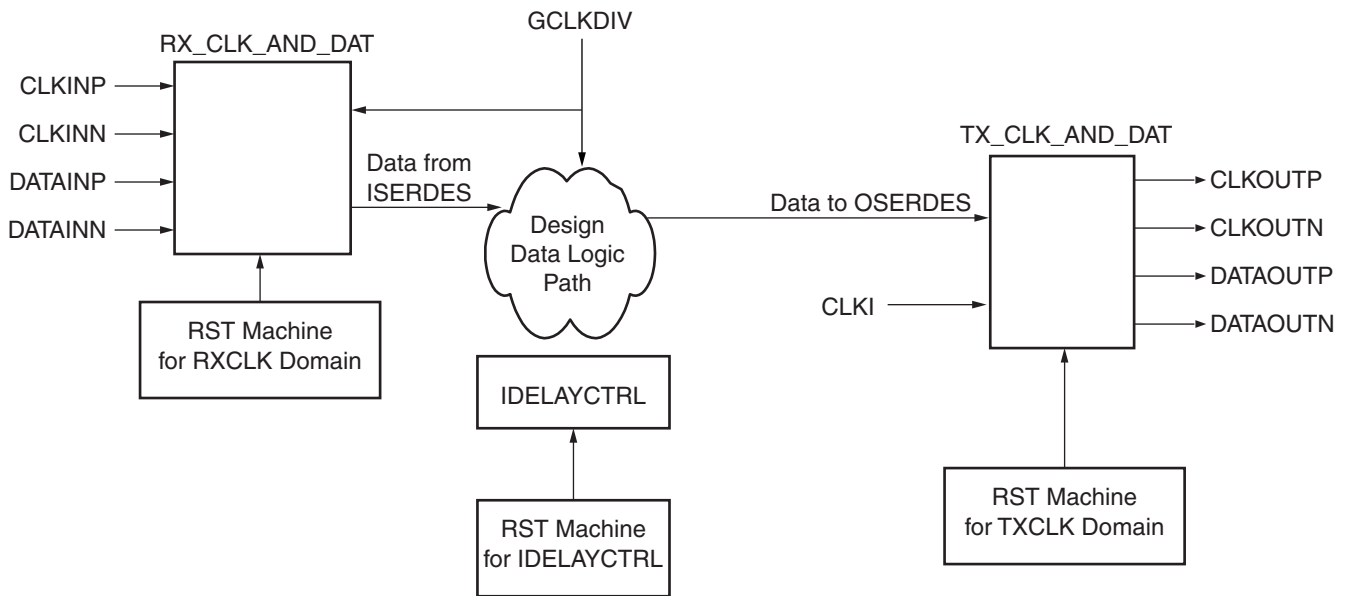


図 3：Virtex-4 の SDR トランシーバの簡略ブロック図

1 つの Virtex-4 FPGA に複数のトランスミッタおよびレシーバをインプリメントできます。複数のインスタンスが必要な場合には、TX_CLK_AND_DAT および RX_CLK_AND_DAT モジュールのみを複製し、TX_CLOCKS モジュールは複製せずに、有効なグローバル クロック リソースを保持します。

開発ボード ML450 用のコード サンプルおよびデザイン サンプルは、リファレンス デザイン ファイル SDR_LVDS_AND_LOGIC_TOP にて提供しています。

TX_CLK_AND_DAT モジュール

TX_CLK_AND_DAT モジュールには、OSERDES を使用した送信に必要なデータおよびクロック トランスミッタがあります。また、このモジュールは、必要なクロック周波数をすべて生成します。

TX_CLK_AND_DAT モジュールでは、TXCLK と TXCLKDIV という 2 つのクロックが生成されます。リファレンス デザインでは、SDR のクロック入力 (CLKI) を使用して、この 2 つのクロックを生成しています。CLKI 入力には、必ず IOCLK (BUFIO) およびリージョナル (BUFR) クロック ネットワークを使用します。BUFIO および BUFR には、同期可能な I/O を使用してアクセスします。図 4 に、SDR の入力クロック ネットワーク図を示します。

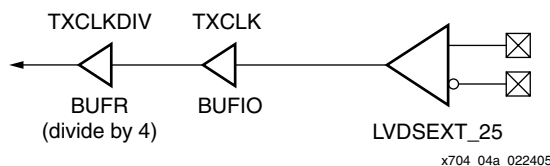


図 4: TXCLK および TXCLKDIV ジェネレータのブロック図

図 5 に、生成されたクロックを図示します。

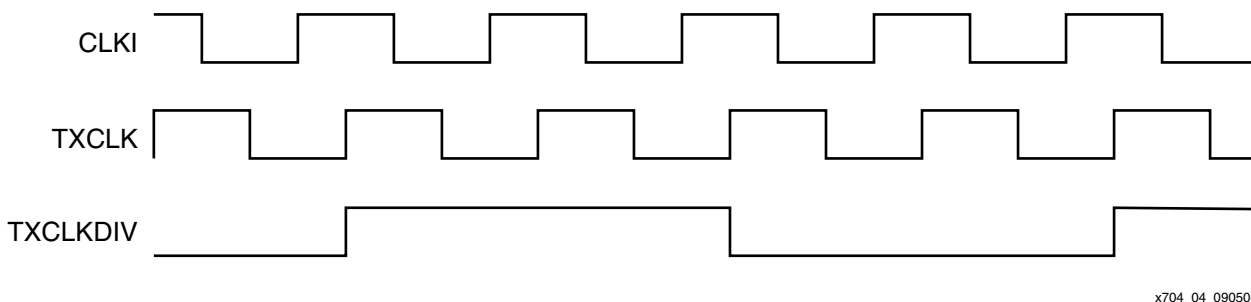


図 5: TX_CLOCKS モジュールのクロック波形

このクロック回路を使用することによって、TXCLK および TXCLKDIV のスキューを最低限に抑えます。

このアプリケーション ノートでは、FIFO が FPGA で処理されたデータをグローバル クロック ドメインからリージョナル クロック ドメインへ転送します。データは、リージョナル クロック ドメインのリソースを使用して送信されます。送信前のデータ 処理に必要なロジックの使用は、3 つのクロック領域内に限定されていないため、FPGA 全体にロジックをインプリメントできます。

このアプリケーション ノートで使用する 2 つのクロック ドメインは、FABRIC_CLOCK (グローバル クロック ドメイン) と TXCLKDIV (リージョナル クロック ドメイン) です。

2 つの FIFO16 プリミティブをインスタンス化して、2 つの 512 x 36 ビット FIFO を作成します。OSERDES でシリアル化されるデータは 64 ビットであるため、リファレンス デザインでは FIFO16 を 2 つ使用しています。

FIFO16 に新たに制御ロジックがインプリメントされるのは、次の条件を満たす場合です

- FIFO が full でなければデータの書き込みを開始する
- FIFO に少なくとも 5 つのエントリがある場合にリージョナル クロック ドメインへのデータの読み出しを開始する
- FIFO の空きスペースが 5 未満となった場合に、グローバル クロック ドメインから FIFO へのデータの書き込みを中断する
- Almost Full および Almost Empty フラグはユーザーが定義する

ザイリンクスでは、書き込みクロックを、読み出しクロックと同速またはそれ以下の周波数に設定することを推奨します。このクロック周波数の条件を満たす限り、FIFO はオーバーフローしません。

トランスミッタの出力モジュールは、データ チャネル用の OSERDES とクロック出力用の ODDR の 2 種類を使用します。データ チャネルのインスタンス名は、TX_DAT_OUT_ の後に、ビット数を意味する 2 桁の数字を付けて表します。一方、クロック チャネルのインスタンス名は、TX_CLK_OUT_ の後に

2桁の数字を付けて表します。このようなブロックをさらにインスタンス化することができます。
表 1 で、モジュールのピンについて説明します。

表 1 : TX_CLK_AND_DAT モジュールのピンの説明

I/O の種類	モジュールのピン名	内容
入力	ORST	アクティブ High リセット
	OCE	アクティブ High 出力イネーブル
	DATA_IN<63:0>	64 ビット 平行データ入力
	CLKI	SDR クロック入力
	FABRIC_CLOCK	グローバル クロック ドメイン
出力	CLKOUTP CLKOUTN	差動送信クロック出力
	DATAOUTP<15:0> DATAOUTN<15:0>	16 ビットの差動データ クロック出力
	TXCLK	SDR クロック
	TXCLKDIV	4 分周した SDR クロック

このモジュールには、16 の OSERDES ブロックがあり、64 ビットの平行データ入力に対応しています。各 OSERDES は 4:1 でシリアル化するように設定されています。表 2 に、すべての OSERDES データチャンネルに対応する設定を示します。

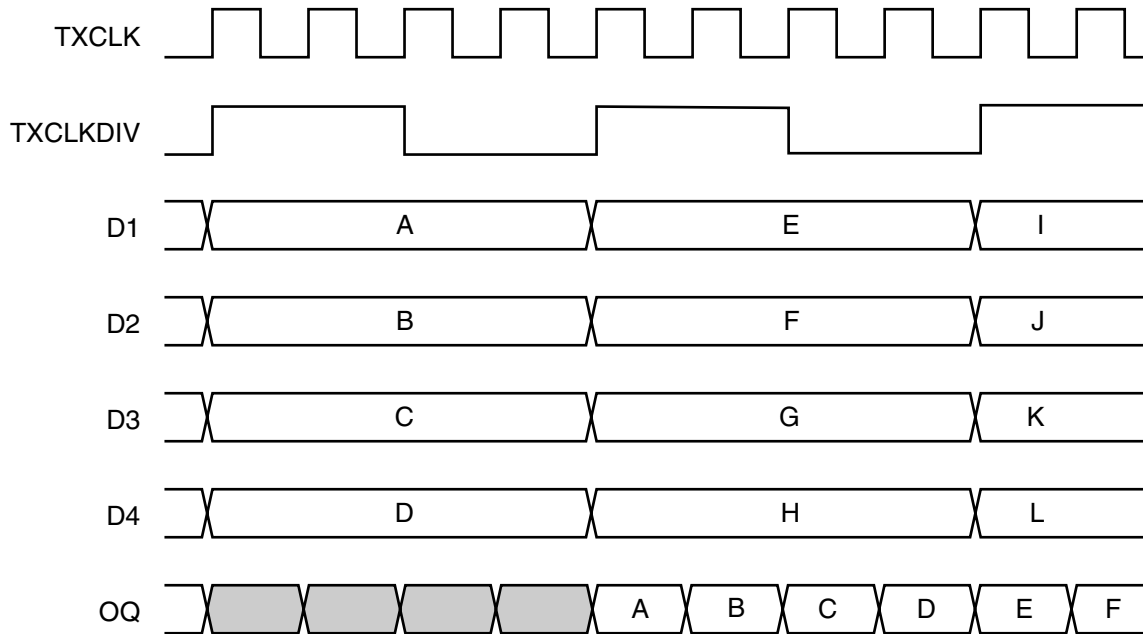
表 2 : OSERDES データ チャンネル設定

パラメータ名	パラメータの値
DATA_RATE_OQ	SDR
DATA_WIDTH	4
SERDES_MODE	MASTER

OSERDES では、TXCLK 信号の立ち上がりエッジごとに、D1 から D4 へ (LSB から MSB へ) 順次データが送信されます。シリアライズ設定が 4:1 より大きい場合には、データは MASTER OSERDES の D1 から D6 へ送信され、続いて SLAVE OSERDES の D3 から D6 へ送信されます。トライステートを使用しないため、トライステートピン (TCE および T1 ~ T4) はすべてロジック Low に固定します。トライステート属性は「Don't Care」のままにします。

ODDR は、Virtex-4 FPGA からの SDR 送信クロックの転送に使用されます。使用する場合には、TXCLK を ODDR クロック (C) 入力ピンに接続し、D1 および D2 ピンをそれぞれロジック High およびロジック Low に設定します。Virtex-4 FPGA から外部デバイスへクロックを転送するには、ODDR を使用します。

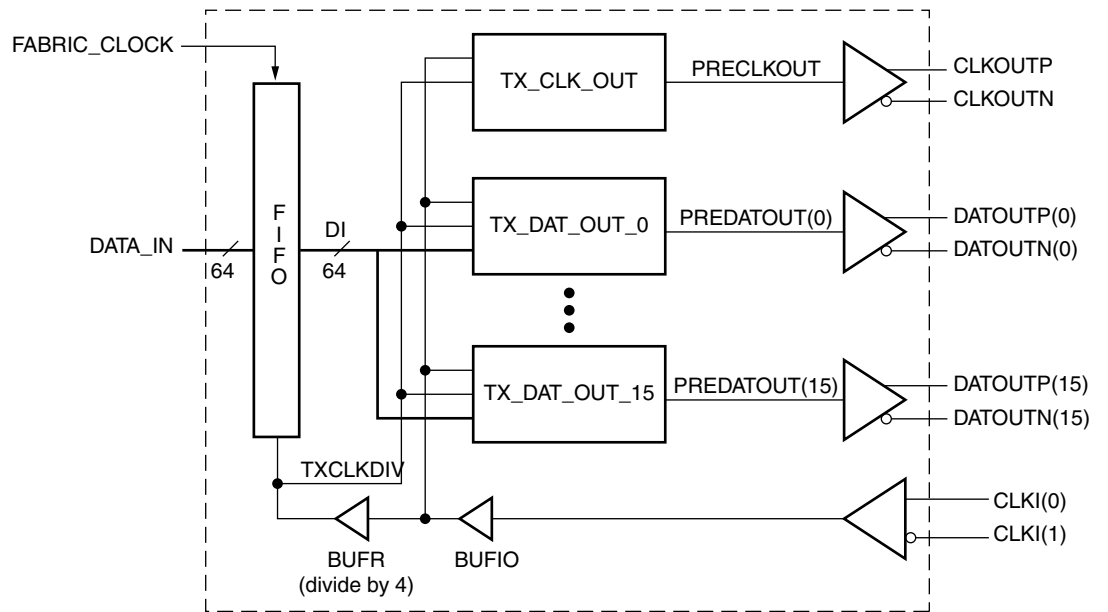
図 6 に、TXCLK および TXCLKDIV のデータ送信のタイミング波形を示します。



x704_06_102104

図 6 : TX_CLK_AND_DAT の出力波形

このモジュールのすべての出力ピンは、LVDS_25 出力バッファに接続されています。図 7 に、TX_CLK_AND_DAT モジュールのブロック図を示します。



x704_07_022405

図 7 : TX_CLK_AND_DAT モジュールのブロック図

RX_CLK_AND_DAT モジュール

レシーバ モジュール (RX_CLK_AND_DAT) には、クロック リカバリ ブロックおよびデータ リカバリ ブロックがあります。

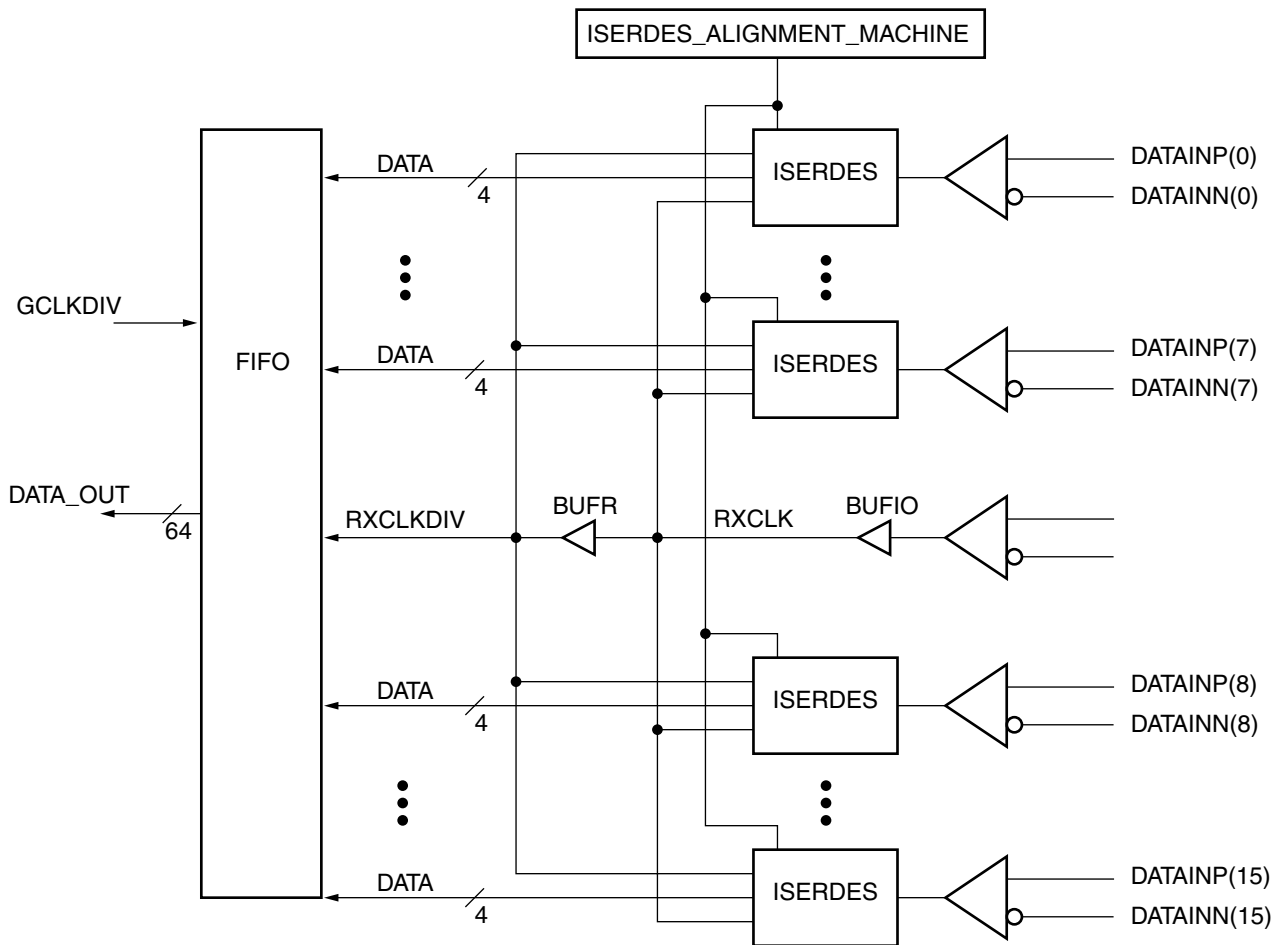
クロック リカバリブロック

- BUFR - IOCLK ネットワークにアクセスする
- BUFR - リージョナル クロック ネットワークにアクセスする

データ リカバリ ブロック

- ISERDES - データのデシリアライズに使用する SERDES
- ISERDES_ALIGNMENT_MACHINE - IDELAY および BITSLLIP を使用した 1 つのチャンネルで、データ リカバリを制御するためのロジック
- FIFO16 - リージョナル クロック ネットワークからグローバル クロック ネットワークへデータを移動させる 1 つの FIFO

図 8 に、RX_CLK_AND_DAT モジュールの簡略ブロック図を示します。



x704_08_120204

図 8 : RX_CLK_AND_DAT モジュールのブロック図

サブブロックの機能については、次のセクションで説明します。表 3 で、このモジュールのピンについて説明します。

表 3 : RX_CLK_AND_DAT モジュールのピンの説明

I/O の種類	モジュールのピン名	内容
入力	CLKINP CLKINN	差動受信クロック入力
	DATAINP<15:0> DATAINN<15:0>	16 ビットの差動受信データ入力
	IRDY	ロジック High のとき、IDELAY は使用可能
	USE_BITSLIP	ロジック High のとき、データ リカバリ ステート マシンでは、TRAINING_PATTERN でトレーニング パターンが確認されるまで BITSLIP が実行される
	RST	アクティブ High リセット - すべてのロジックに適用
	IRST	アクティブ High リセット - すべての ISERDES に適用
	SCE	アクティブ High クロック イネーブル
	TRAINING_PATTERN<3:0>	4 ビットのトレーニング パターン
	LOCKED	LOCKED 信号入力
	GCLKDIV	グローバル クロック入力 - RXCLKDIV とほぼ同周波数
出力	RXCLKDIV	4 分周した受信クロック
	DATA_OUT<63:0>	64 ビットの平行データ出力
	DATA_ALIGNED	ロジック High のとき、1 つのデータ チャネルに対するアライメント プロセスを完了
	BUS_ALIGNED	ロジック High のとき、すべてのデータ チャネルに対するアライメント プロセスを完了
	SEND_CLOCK	ロジック High のとき、アライメント マシンはデータ入力ピンでクロック信号を要求

すべての転送済みクロック ピンおよびデータ入力ピンは、LVDSEXT_25 入力バッファに接続されます。

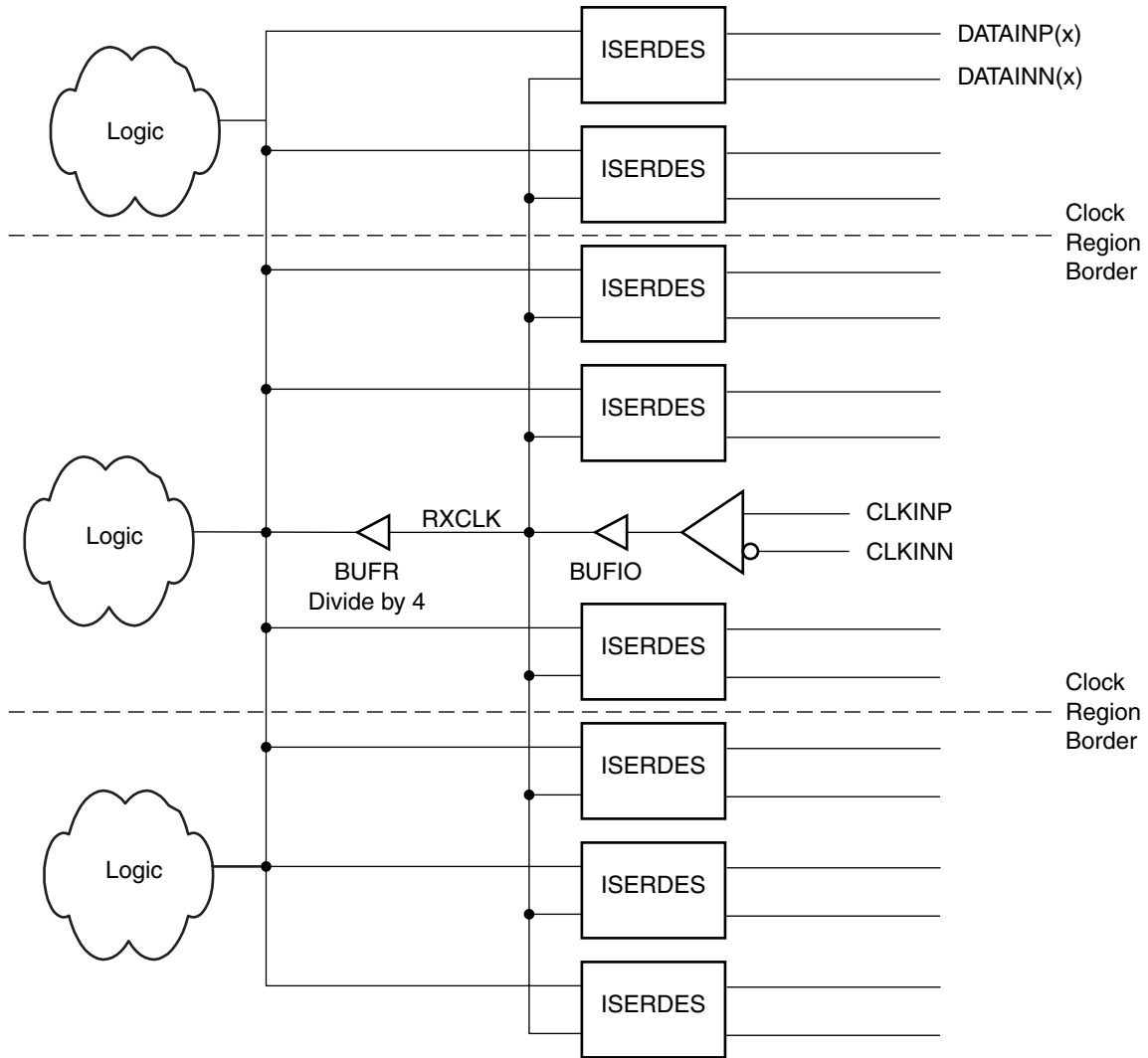
RX_CLK_AND_DAT モジュール クロック ネットワーク

リファレンス デザインでは、リカバリ クロックを、同期可能な I/O の入力バッファに接続する必要があります。クロックは、入力バッファの次に BUFIO、BUFR に転送されます。

BUFIO を使用すると、リカバリ クロックを IOCLK ネットワークにアクセスできます。ISERDES の CLK (高速または SDR クロック入力) は、IOCLK クロック ネットワークを使用します。IOCLK は隣接する 3 クロック領域内で使用できます。

BUFR を使用して、リージョナル クロック ネットワークにアクセスし、クロックを分周します。BUFR は、ISERDES の CLKDIV (低速または分周した SDR クロック入力) を供給します。リージョナル クロック ネットワークは、隣接する 3 クロック領域となります。BUFR の分周機能は、1:4 のデシリアル化に対応する 4 に設定されます。

図 9 に、リカバリ クロック ネットワークを示します。



x704_09_102104

図 9 : RX_CLK_AND_DAT のクロック ネットワーク

ISERDES ブロックの特性

このモジュールには、ISERDES ブロックが 16 あり、16 のシリアル データ 入力に対応しています。各 ISERDES は 1:4 でデシリアル化するように設定されています。表 4 は、すべての ISERDES データ チャネルに対応する設定を示します。

表 4 : ISERDES の設定

パラメータ名	パラメータ値
BITSLIP_ENABLE	TRUE
DATA_RATE	SDR
DATA_WIDTH	4
INTERFACE_TYPE	NETWORKING
IOBDELAY	IFD

表 4 : ISERDES の設定 (続き)

パラメータ名	パラメータ値
IOBDELAY_TYPE	VARIABLE
IOBDELAY_VALUE	0
NUM_CE	1
SERDES_MODE	MASTER

ISERDES を使用する場合、データが RXCLKDIV の各サイクルでファブリックに受信される順序は、Q1 から Q4 (ラスト インからファースト イン) となります。4:1 より大きいシリアル化の場合、データは MASTER ISERDES の Q1 から Q6 (ラスト インからファースト イン) に続き、SLAVE ISERDES の Q3 から Q6 に受信されます。図 10 に、ISERDES から FPGA ファブリックへのデータ送信順序を図示します。

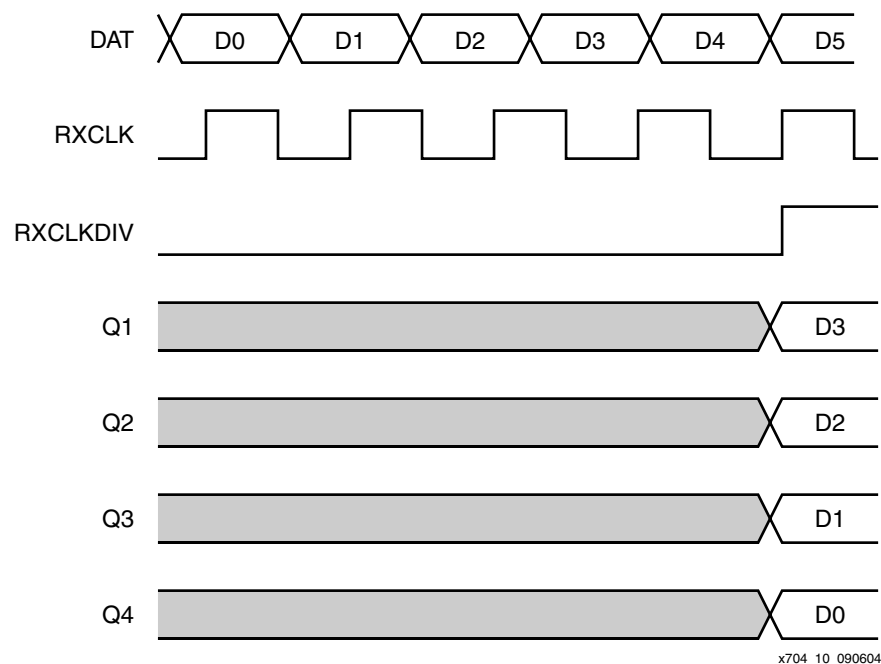


図 10 : ISERDES の入力データおよび出力データの関係

IDELAY および BITSLIP 機能がオンであるため、BITSLIP、DLYINC、DLYCE および DLYRST はコントロールピンに接続されます。

ISERDES_ALIGNMENT_MACHINE モジュール

ISERDES_ALIGNMENT_MACHINE は、ISERDES の IDELAY 機能を使用して、リカバリ クロックを受信データのデータ有効ウィンドウ中央にアライメントします。このモジュールでは、必要に応じて BITSLLIP 機能を使用し、トレーニング パターンのデータの順序を変更します。

表 5 に、このモジュールで使用可能なすべてのピンを示します。

表 5 : ISERDES_ALIGNMENT_MACHINE モジュールのピンの説明

I/O の種類	モジュールのピン名	内容
入力	RXCLKDIV	4 分周した受信クロック
	RST	アクティブ High リセット - すべてのロジックに適用
	SAMPLED_CLOCK<3:0>	IDELAY タップ数でクロックをサンプリングした場合のロジック値
	IRDY	ロジック High のとき、IDELAY は使用可能
	USE_BITSLIP	ロジック High のとき、データ リカバリ ステートマシンでは、TRAINING_PATTERN でトレーニングパターンが確認されるまで BITSLLIP が実行される
	TRAINING_PATTERN<3:0>	4 ビットのトレーニングパターン
	SAP	ロジック High のとき、アライメントプロセスを最初から実行する
	RXDATA<3:0>	ISERDES からリカバリした 4 ビットのデータ
出力	INC	使用した IDELAY タップ数をインクリメントまたはデクリメント
	ICE	使用した IDELAY タップ数でのイネーブルまたはディスエーブル変更
	BITSLIP	ロジック High のとき ISERDES は BITSLLIP プロセスを実行する
	DATA_ALIGNED	ロジック High のとき、使用中のデータ チャネルに対するアライメント プロセスを完了
	SEND_CLOCK	ロジック High のとき、アライメント マシンはデータ入力ピンでクロック信号を要求。チャネルアライメントの方法については、「付録 A」を参照。

このアプリケーション ノートでは、バス アライメントはデータ リカバリの方法の 1 つとして説明します。この方法を使用してデータ リカバリすると、すべてのデータがクロック中央にアライメントされます。この方法を用いる場合は、先にすべてのクロック チャネルとその入力データ間のスキューを最小限に抑えてください。また、データ遷移のタイミングが入力クロックの立ち上がりにはほぼ揃うため、SFI-4 などのトレーニングパターンを供給しないトランスミッタのアプリケーションに有効です。

バスをアライメントする方法を用いた場合、受信クロックは 1:4 の SDR SerDes(ISERDES) でサンプリングされます。4 つの ISERDES 出力によって、クロック入力に IDELAY タップが適用された場合のデータ遷移を監視します。遷移状態の監視および使用したタップ数によって、データの有効ウィンドウ幅とタップの位置を決定し、クロック中央にデータをアライメントします。

この方法では、受信クロックをサンプリングする必要があるため、リカバリ クロックのネットワーク接続を多少変更しています。クロック入力を BUFIO に直接接続する代わりに、ISERDES が間に接続されています。

設計の際には、クロックを ISERDES D 入力に接続してください。使用する ISERDES 出力は、レジスタなし出力 (O) およびレジスタ付き出力 (Q) です。O 出力は、BUFIO に入力します。IDELAY は、Q 出力だけに使用します。表 6 に、ISERDES の設定を示します。

表 6 : ISERDES の設定

パラメータ名	パラメータの値
BITSLIP_ENABLE	FALSE
DATA_RATE	SDR
DATA_WIDTH	4
INTERFACE_TYPE	NETWORKING
IOBDELAY	IFD
IOBDELAY_TYPE	VARIABLE
IOBDELAY_VALUE	0
NUM_CE	1
SERDES_MODE	MASTER

図 11 に、Clock-to-Data リカバリのブロック図を示します。

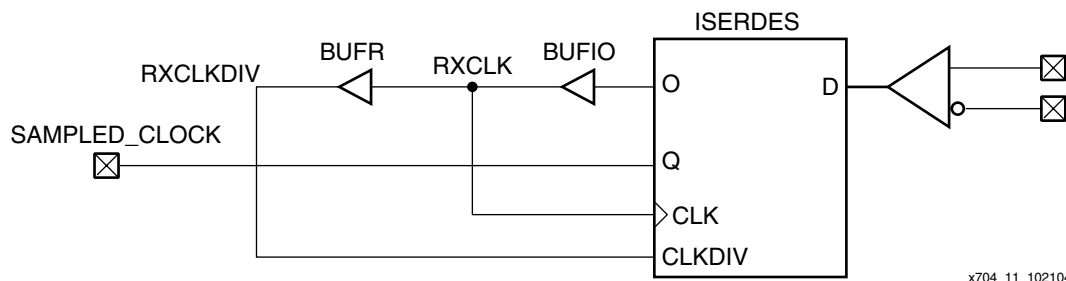


図 11 : Clock-to-Data センタリング回路

ウィンドウ幅を決定し、データを中央にアライメントする方法を次に示します。

1. 1 から 0 への遷移が確認されるまで IDELAY タップをインクリメントする。最初の 1 から 0 への遷移が、データの有効ウィンドウの先頭を示す
2. IDELAY タップ数のカウントを開始する
3. 1 から 0 への遷移が次に確認されるまで IDELAY タップをインクリメントし続ける。1 から 0 への 2 度目の遷移が確認されたら、データの有効ウィンドウ幅が決定される
4. データ有効ウィンドウ幅の 1/2 だけ IDELAY タップをデクリメントする。これにより、IDELAY タップが使用されたデータの有効ウィンドウ幅の中央に配置される
5. IDELAY タップの移動が、手順 4 で確認した値で、すべてのデータ チャネルに対して実行される

このアライメント方法では、すべてのデータ チャネルとクロック チャネル間の最低限のスキューを想定し、データ遷移のタイミングを受信クロックの立ち上がりとはほぼ揃えます。

図 12 に、受信クロック (RXCLK) およびサンプリング/遅延クロックのアルゴリズムを図示します。

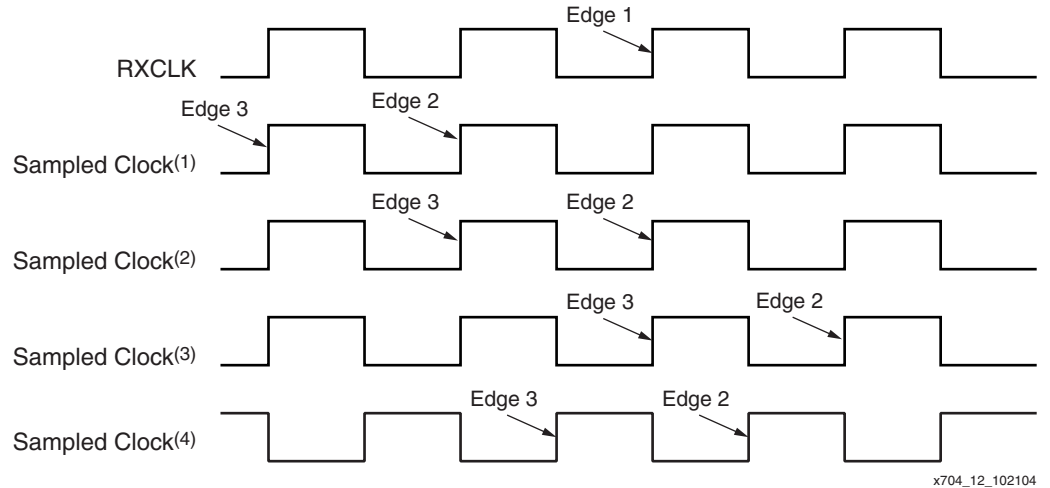


図 12: Rx クロックとサンプル クロックのタイミング

図 12 では、RXCLK は、サンプリングされるクロックの後で、Edge 1 が Edge 2 の後に来ます。サンプリングされるクロックは、1 から 0 への遷移が ISERDES の Q 出力で確認されるまで、タップ遅延によりインクリメントされます。この遷移が確認されると、Edge 2 は Edge 1 の後に来ます。サンプリングクロックは、次の 1 から 0 への遷移が確認されるまで、継続的にインクリメントされます。この遷移が確認されると、Edge 3 が Edge 1 の後に来ます。最後に Edge 1 が Edge 2 と Edge 3 の間に配置され、データは、クロックの中央にアライメントされます。

DATA_ALIGNED ピンおよび SEND_CLOCK ピンの組み合わせによって、バス アライメントモジュールの状態を表します。表 7 に、この 2 つのピンと、モジュールのアライメント プロセスについて示します。

表 7: DATA_ALIGNED および SEND_CLOCK のアライメント

DATA_ALIGNED および SEND_CLOCK の値	STATE
00	ワード アライメントを実行 (オプション)
01	ビット アライメントを実行
10	すべてのアライメント プロセスを完了
11	Don't Care - アライメント プロセスがすべて完了したことを示すデフォルト値

Clock-to-Data アライメントのプロセスが完了すると、モジュールでアライメントのデータ再順配が実行されます。USE_BITSLIP ピンをロジック High にアサートし、TRAINING_PATTERN を任意の 4 ビットのトレーニング パターンに設定した後は、再順配された部分に特定の 4 ビットのトレーニングパターンを確認するまで BITSLIP パターンが使用されます。同時に、送信デバイスからパターンを送信する必要があります。

使用するスライス数を減らす場合には、0101 および 0110 という状態と、その状態を生成する制御ピンを解除して、ステート マシンのロジックを分離します。さらに、ISERDES と BITSLIP ピンの接続を解除し、BITSLIP_ENABLE を FALSE に設定します。

IDELAY および BITSLIP が共に完了すると、DATA_ALIGNED ビットが High にアサートされます。

FIFO16 モジュール

このアプリケーション ノートでは、リカバリしたデータをリージョナル クロック ドメインからグローバル クロック ドメインに転送するため、FIFO が必要になります。グローバル クロック ドメインに転送することにより、リカバリしたデータのプロセスに必要とされるロジックは、3 クロック 領域内に限定されません。FPGA 全体でロジックをインプリメントできます。

2 つの FIFO16 プリミティブをインスタンス化して、2 つの 512 x 36 ビット FIFO を生成します。ISERDES でデシリアル化するデータは 64 ビットであるため、リファレンス デザインでは FIFO16 を 2 つ使用しています。

FIFO16 に制御ロジックが新たにインプリメントされるのは、次の条件を満たす場合です。

1. すべての ISERDES がアライメント プロセスを完了し、リージョナル クロック ドメインから FIFO への書き込みを開始する
2. FIFO に少なくとも 50 つのエントリがある場合にグローバル クロック ドメインへのデータの読み出しを開始する
3. FIFO の空きスペースが 50 未満となった場合に、リージョナル クロック ドメインから FIFO へのデータの書き込みを中断する

これらの条件は、状況に合わせて変更することができます。ザイリンクスでは、書き込みクロックを、読み出しクロックと同速またはそれ以下の周波数に設定することを推奨しています。このクロック条件を満たす限り、FIFO はオーバーフローしません。

IDELAYCTRL モジュール

このデザインでは IDELAY を使用し、Virtex-4 FPGA の IDELAY を正常に動作させる IDELAYCTRL が必要となります。IDELAYCTRL を正常に動作させるためには、次の 2 つの条件があります。

- 入力のリファレンス クロック (REFCLK) が 200MHz であること
- スタートアップ後のアクティブ High リセット パルスが、最低 50ns であること

IDELAYCTRL についての詳細は、『Virtex-4 ユーザー ガイド』を参照してください。

RST_MACHINE モジュール

このモジュールを使用して、与えられたクロック ドメインのすべてのエレメントに対して同期リセットを生成します。また、このモジュールを使用して、時間内にアクティブ High リセット パルスを生成します。IDELAYCTRL が必要とするアクティブ High リセット時間は (50ns) 内です。

このリセット パルスの生成には、入力クロックおよびステイミュラスを使用します。RST_MACHINE モジュールによって生成されたリセット パルスは、デザイン内で、入力クロックに同期するすべてのエレメントに接続します。

アクティブ High リセットに要するクロック サイクル数は、このモジュールのステート マシンの COUNT_VALUE のコンパレータ値となります。所要時間を短縮または延長する場合には、このコンパレータ値を変更します。

表 8 に、このモジュールで使用可能なすべてのピンを示します。

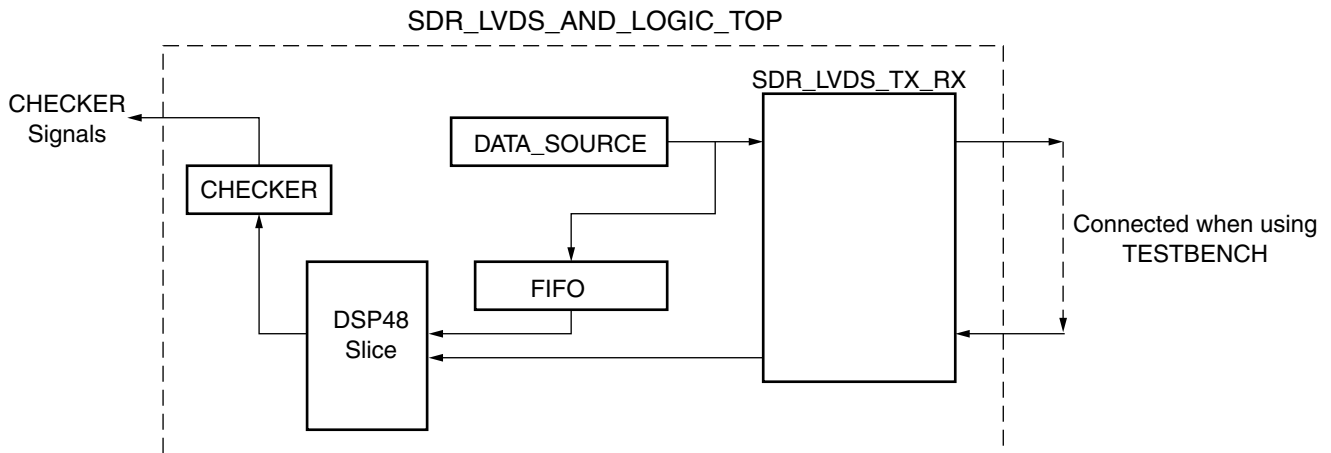
表 8 : RST_MACHINE モジュールのピンの説明

I/O の種類	モジュールのピン名	内容
入力	CLK_generic	リセットパルスが必要な場合のクロックドメイン
	RST_stimulus	アクティブ High のとき、DOMAIN_RST が生成される
	IRDY	IDELAYCTRL の READY 信号
出力	DOMAIN_RST	アクティブ High リセットパルス出力 - CLK_generic 入力ピンに接続されるクロックに同期するすべてのリセットピンのエレメントに接続しなくてはならない

最上位モジュール - SDR_LVDS_AND_LOGIC_TOP

このモジュールでは、Virtex-4 FPGA および開発ボード ML450 を使用して、Tx および Rx のループバックについて説明します。SDR_LVDS_TX_RX は、アライメントプロセス中に IDELAY および BITSLLIP を実行します。また、1つの PRBS データジェネレータ、転送データの保存用として1つの FIFO、そして DSP48 スライスを使用して受信データと送信データを比較するチェッカーが含まれています。ML450 をターゲットボードとした UCF ファイルは、SDR_LVDS_AND_LOGIC_TOP.ucf です。FINAL_BUS_ALIGNED および FINAL_DATA_CHECK が共に High にアサートされているとき、デザイン通りに動作します。

図 13 に、このモジュールの簡略ブロック図を示します。



x704_12_112904

図 13 : SDR_LVDS_AND_LOGIC 簡略ブロック図

SDR_LVDS_AND_LOGIC のシミュレーション

リファレンス デザインは Modelsim SE 5.8b を使用してシミュレーションされています。シミュレーションのテストベンチは、SDR_LVDS_AND_LOGIC_TOP_TESTBENCH.v で、スクリプトは top.do となります。Modelsim のコマンドプロンプトで、「Run top.do」と入力すると、呼び出されます。このシミュレーションでは、デザインは、FINAL_BUS_ALIGNED および FINAL_DATA_CHECK が共に High にアサートされた場合に正常に動作します。作業ディレクトリまたはライブラリの場所に合わせて、DO ファイルの一部を変更してください。

ISE でのインプリメント

デザインは、ISE 6.3i を使用してコンパイルされています。インプリメントに必要なファイルを次に示します。

- SDR_LVDS_TX_RX.v
- SDR_LVDS_AND_LOGIC_TOP.v (最上位ファイル)
- SDR_LVDS_AND_LOGIC_TOP.ucf

UCF ファイルは、SDR_LVDS_AND_LOGIC_TOP.v に関連づけます。

開発ボード ML450 を使用する際には、ターゲット デバイスに XC4VLX25-11FF668 を選択してください。

次の項目を、オンまたはオフに設定してください。

- Synthesize - [XST] - [Equivalent Register Removal] (チェック ボックスをオフにします)
- Implement Design - [MAP Properties] - [Trim Unconnected Signals] (チェック ボックスをオフにします)

警告メッセージが表示される場合があります。これらのメッセージについては、README.txt ファイルを参照してください。

表 9 に、開発ボード ML450 での Virtex-4 デバイス使用率を示します。

表 9：開発ボード ML450 での SDR LVDS デバイスの使用

コンポーネント名	デバイス使用率
外部 IOB	107
外部 IOBM	17
外部 IOBS	17
DSP48	4
FIFO16	6
ISERDES	17
OLOGIC	2
OSERDES	16
スライス	650
BUFG	3
BUFIO	2
BUFR	2
DCM	2
IDELAYCTRL	16 (IDELAYCTRL には LOC 制約が適用されていない)

デザイン概要

Virtex-4 のリファレンス デザインでは、次のデザイン パラメータを想定しています。

- Virtex-4 FPGA のフリップ チップ パッケージを使用
- レシーバに LVDSEXT を使用
- デザインに 4:1 のシリアライザ/デシリアライザ (SERDES) を使用

- I/O 列の左右いずれかに Tx および Rx ピンを配置
- Tx ピンをまとめ、ボードおよびデバイス上のスキューを可能な限り低減
- Rx ピンをまとめ、クロック領域の使用数、ボードおよびデバイス上のスキューを可能な限り低減

表 10 に、このデザインのデバイス使用率（開発ボード ML450 のデザイン使用率を除く）を示します。

表 10： Virtex-4 デバイスのSDR LVDS デバイス使用率

コンポーネント名	デバイス使用率
IOB	17 の差動データおよびクロック入力 17 の差動データおよびクロック出力 2 つの差動クロック入力 (SDR クロックおよび REFCLK)
FIFO16	4 (Tx および Rx 用)
ISERDES	17 (データ用 16、バス アライメント用に 1)
OSERDES	16
OLOGIC	1 (Tx クロック転送用)
BUFIO	2
BUFR	2
IDELAYCTRL	16 (IDELAYCTRL は LOC 制約が適用されていない)
BUFG	3
スライス	63

表 11 に、リファレンス デザインのパフォーマンスを示します。

表 11： デザイン パフォーマンス

スピード グレード	温度範囲	周波数
-10	コマーシャル	622MHz
-11	コマーシャル	644MHz
-12	コマーシャル	700MHz
-10	インダストリアル	622MHz
-11	インダストリアル	644MHz

おわりに

Virtex-4 デバイスでは、700MHz での SDR、16 ビット、LVDS 方式でのデータ送信および受信が実現できます。このデザインでは、データ幅を容易に 16 ビット以上に拡張できます。

付録 A

ISERDES_ALIGNMENT_MACHINE を変更してチャンネルアライメントを実行するには

このチャンネルアライメント方法によって、各データチャンネルがクロックの中央へアライメントされ、最適化されます。この方法は、バスアライメントごとに異なります。すべてのデータチャンネルとクロックチャンネル間のスキューを最低限に抑える必要はありませんが、トランスミッタによるトレーニングパターンが必要となります。

チャンネルアライメント方式では、トレーニングパターンを使用し、各データチャンネルのデータ有効ウィンドウを決定します。トレーニングパターンは、SDR クロック周波数の 1/2 で 1 か 0 に変化することが想定されています。この方法では、遷移エッジを使用して、データの有効ウィンドウの幅を決定し、クロックの中央にデータをアライメントします。

ウィンドウ幅を決定し、データを中央にアライメントする方法を次に示します。

1. SEND_CLOCK ピンをアサートし、クロック信号を送信するようトランスミッタに要求する
2. 0 から 1 への遷移が確認されるまで遅延をインクリメント。最初の遷移が、データの有効ウィンドウの先頭を示す
3. IDELAY タップ数のカウントを開始する
4. 1 から 0 への遷移が確認されるまで IDELAY タップのインクリメントを継続する。この遷移が、データの有効ウィンドウの幅が確認されたことを示す
5. データ有効ウィンドウ幅の 1/2 だけ IDELAY タップをデクリメントする。これにより、データの有効ウィンドウ幅の中央で IDELAY タップが使用できる
6. アライメントしたデータチャンネルの IDELAY タップが、手順 5 で確認した値だけ移動する
7. 次のデータチャンネルでこの手順を繰り返し、すべてのデータチャンネルに対してアライメントして、ROUND_ROBIN_ALIGN_CONTROL モジュールにインプリメントされる

図 14 に、アライメントプロセス中のデータおよびクロックの関係について示します。

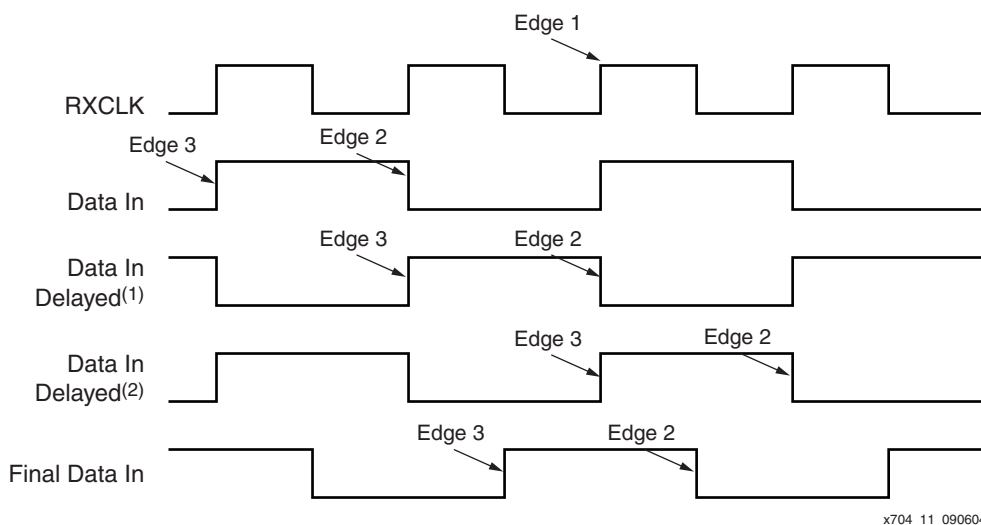


図 14: データとクロックのタイミング関係図

図 14 に示すタイミング図では、RXCLK の Edge 1 が「Data In」をサンプリングします。「Data In」遅延は、RXCLK の Edge 1 で、Edge 2 の立ち上がりエッジを確認するまでインクリメントされます。この状態が、図中の「Data In Delayed (1)」です。RXCLK の Edge 1 によって Edge 3 の立ち下りエッジが確認されるまで、遅延は引き続きインクリメントされます。この状態が、図中の「Data In Delayed (2)」です。最後に、「Data In」の遅延がインクリメントされた値の 1/2 だけデクリメントされ、RXCLK の Edge 1 のデータが中央にアライメントされます。これでアライメントプロセスが完了します。

チャンネル アライメント モジュールの状態は、DATA_ALIGNED ピンおよび SEND_CLOCK ピンの組み合わせによって示されます。

ROUND_ROBIN_ALIGN_CONTROL モジュール

このモジュールは、チャンネル アライメント が実行された場合の各受信データ チャンネルのアライメント プロセスを制御します。このモジュールでは、チャンネル 1 から x までアライメント プロセスを開始し、チャンネル 1 から次のチャンネルまで 1 つずつ実行していきます。その間、ISERDES_ALIGNMENT_MACHINE から DATA_ALIGNED ピンが High にアサートされると、DATA_ALIGNEDCHANNEL_LOCKED の値が 1 ずつインクリメントされます。CHANNEL_LOCKED の値が更新されると、このモジュールが SAP ピンをロジック High に設定し、ISERDES_ALIGNMENT_MACHINE モジュールは、次のチャンネルのアライメント プロセスを実行します。すべてのチャンネルがアライメントされると、CHANNEL_LOCKED の値がデザインのチャンネルの数 (この例では 16) と同数になります。アライメントするチャンネル数を変更するには、RX_CLK_AND_DAT で、次に示すコードの CHANNEL_LOCKED のコンパレータの値を変更し、任意のチャンネル数および CHANNEL_LOCKED のコンパレータ値に指定します。

```
assign BUS_ALIGNED = (CHANNEL_LOCKED == 5'h10) ? 1'b1 : 1'b0;
```

ROUND_ROBIN_ALIGN_CONTROL の次のコードを変更して、任意のチャンネル数から 1 をひいた数に設定します。

```
else if((DATA_ALIGNED == 1'b1) && (CHANNEL_LOCKED != 5'h0F))
begin
COUNT_CHANNEL = 1'b1;
NEXT_STATE = 2'b01;
end
else if((DATA_ALIGNED == 1'b1) && (CHANNEL_LOCKED == 5'h0F))
begin
COUNT_CHANNEL = 1'b1;
NEXT_STATE = 2'b10;
End
```

ROUND_ROBIN_ALIGN_CONTROL が完了すると、RX_CLK_AND_DAT の BUS_ALIGNED ピンが High にアサートされます。

表 12 は、このモジュールで使用可能なすべてのピンを示します。

表 12 : ROUND_ROBIN_ALIGN_CONTROL モジュールのピンの説明

I/O の種類	モジュールのピン名	内容
入力	RXCLKDIV	4 分周した受信クロック
	RST	アクティブ High リセット - すべてのロジックに適用
	DATA_ALIGNED	ロジック High のとき、選択チャンネルがアライメントを終了
出力	START_ALIGN_PROCESS	ロジック High のとき、選択中のチャンネルのアライメント プロセスを開始
	CHANNEL_LOCKED<4:0>	与えられた時間にロックしたチャンネルの数 (5 ビット)

改訂履歴

次の表に、このアプリケーション ノートの改訂履歴を示します。

日付	バージョン	改訂内容
2004/11/01	1.0	初版リリース
2004/12/10	1.1	図 8 、 図 13 、 表 5 、 表 9 、 表 10 、「デザイン概要」セクションを改訂
2005/02/08	1.2	2 ページの「 TX_CLK_AND_DAT モジュール」、 図 5 、 表 9 、 表 10 を、DCM のみの使用に変更
2005/06/06	1.3	「 Virtex-4 インプリメンテーション 」を変更、 図 5 および 表 1 を削除。 表 9 および 表 10 を改訂。 表 11 の追加