



XAPP721 (v2.1) 2007 年 10 月 12 日

# ISERDES と OSERDES を使用した高性能 DDR2 SDRAM インターフェイスのデータ キャプチャ

著者 : Maria George

本資料は英語版 (v2.1) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

## 概要

このアプリケーション ノートでは、高性能 DDR2 SDRAM インターフェイスのデータ キャプチャ手法を説明します。この手法では、Virtex™-4 I/O の入力シリアルライザ/デシリアルライザ (ISERDES) と出力シリアルライザ/デシリアルライザ (OSERDES) を使用します。

## はじめに

DDR2 SDRAM インターフェイスはソース同期であり、読み出しデータと読み出しストロブがエッジで揃えられて送信されます。この送信データを Virtex-4 FPGA で取り込むため、ストロブまたはデータのどちらかを遅延させることができます。このデザインでは、遅延させたストロブ ドメインで読み出しデータをキャプチャし、ISERDES の FPGA クロック ドメインで再キャプチャします。受信信号であるダブル データ レート (DDR) 読み出しデータは、ISERDES を使用してインターフェイスの周波数の 4 ビット パラレル データに変換します。メモリ モードの ISERDES の OCLK および CLKDIV 入力とは同じ高速クロックで駆動されるので、4 ビット パラレル データはインターフェイスの周波数と同じです。

差動ストロブは、BUFIO クロック ソースにアクセスするため、クロック信号を処理可能な I/O に配置します。遅延された読み出し DQS から対応するデータ ISERDES クロック入力への配線には、BUFIO クロック リソースが使用されます。FPGA からの書き込みデータおよび書き込みストロブの送信には、書き込みトランザクションで OSERDES が使用されます。OSERDES は、インターフェイスの半周波数の 4 ビット パラレル データを、インターフェイスの周波数の DDR データに変換します。コントローラ、データパス、ユーザー インターフェイス、およびその他の FPGA スライス ロジックはインターフェイスの半周波数で駆動されており、267MHz 以上の周波数でデザイン マージンが改善されています。

## クロック供給方法

図 1 に、このデザインのクロック供給方法を示します。デジタル クロック マネージャ (DCM) が 1 つと位相一致クロック分周器 (PMCD) が 1 つ含まれています。コントローラは CLKdiv\_0 を使用してインターフェイスの半周波数で駆動されるので、アドレス、バンク アドレス、コマンド信号 (RAS\_L、CAS\_L、および WE\_L) はメモリ インターフェイス クロックの 2 クロック サイクル (2T タイミング) 間アサートされます。制御信号 (CS、CKE、および ODT) は、高速メモリ インターフェイス クロックの 1 クロック サイクル間アサートされるように、半周波数クロック CLKdiv\_0 の 2 倍のレート (DDR) となっています。クロックは、Virtex-4 I/O 内の出力デュアル データ レート (ODDR) フリップフロップを使用して外部メモリ デバイスに転送されます。転送されたクロックは、CLKfast\_0 と 180° 位相がずれています。

© 2005-2007 Xilinx, Inc. All Rights Reserved. XILINX、Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリックスのロゴ、およびザイリックスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。

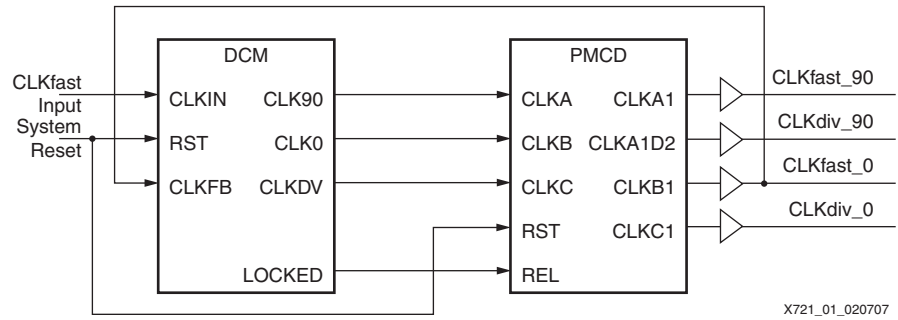


図 1：高性能メモリ インターフェイス デザインのクロック供給方法

図 2 に、コマンド信号と制御信号のタイミングを示します。

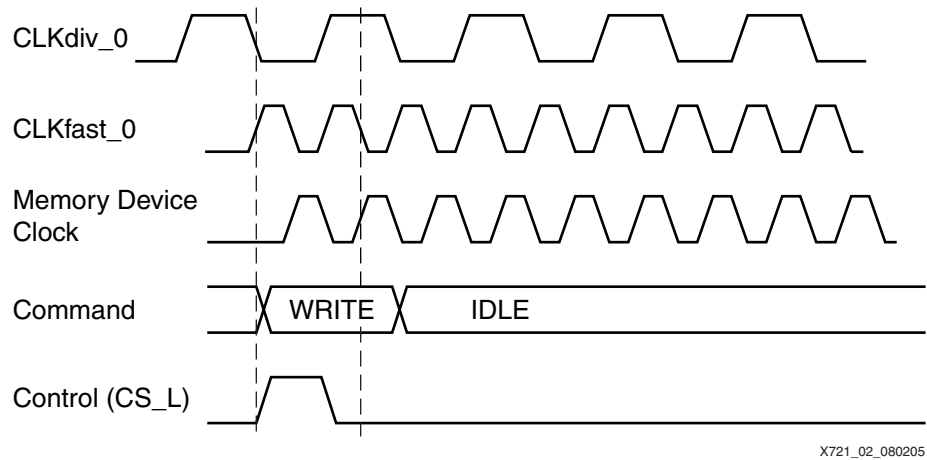
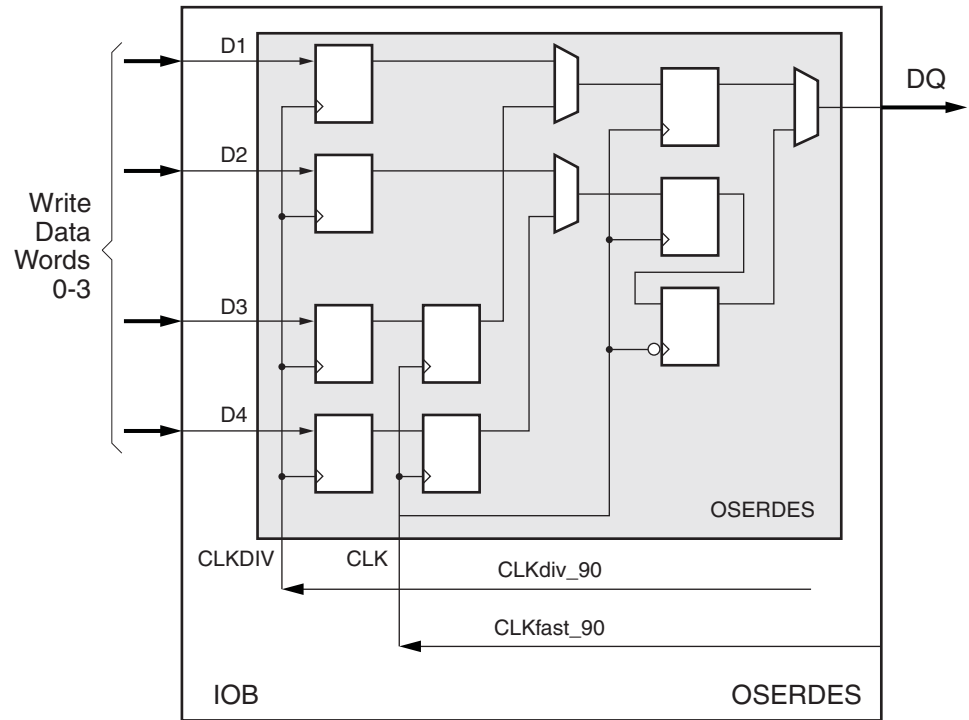


図 2：コマンド信号と制御信号のタイミング

## 書き込みデータパス

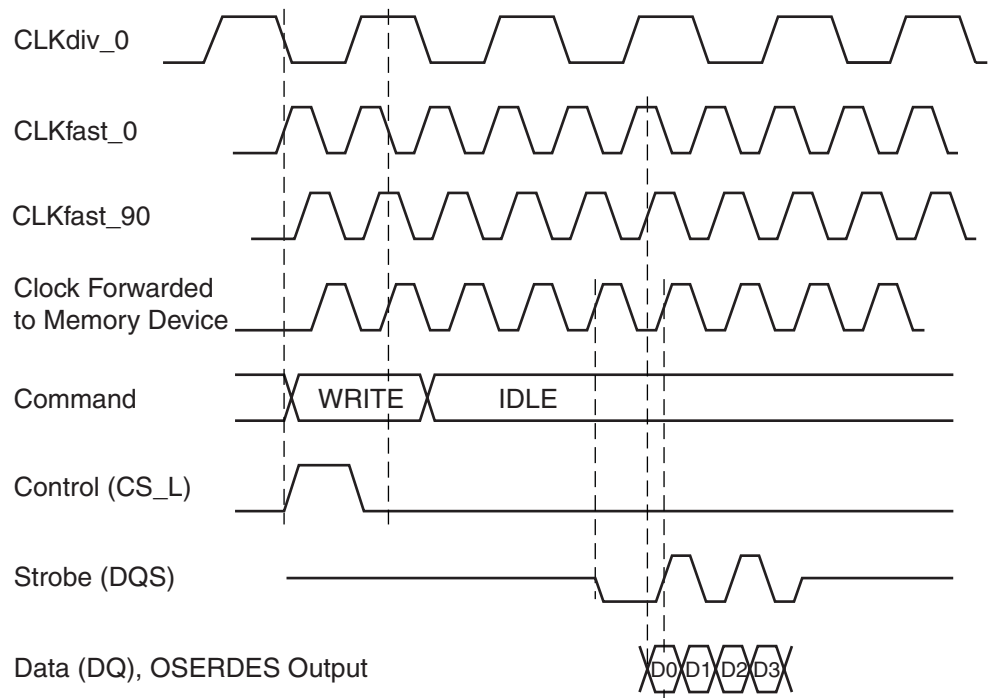
書き込みデータパスには、Virtex-4 I/O に含まれるビルトイン OSERDES が使用されます。OSERDES は、データ (DQ) とストロープ (DQS) 信号を送信します。メモリ仕様に従い、DQS を DQ の中央に揃えて送信する必要があります。メモリに転送されるストロープ (DQS) は、CLKfast\_0 と位相が 180° ずれているので、OSERDES を使用して送信する書き込みデータは、図 3 に示すように CLKfast\_90 と CLKdiv\_90 で駆動する必要があります。



X721\_03\_020807

図 3： OSERDES を使用して送信する書き込みデータ

図 4 に、書き込み DQS と DQ 信号のタイミングを示します。



X721\_04\_120505

図 4： 書き込みストローブ (DQS) とデータ (DQ) のタイミング (書き込みレイテンシ 4)

## 書き込みタイミング解析

表 1 に、300MHz (600Mb/s) のインターフェイスでの書き込みタイミング解析を示します。

表 1：書き込みタイミング解析 (300MHz)

不確定パラメータ	値	DQS 前の 不確定値	DQS 後の 不確定値	説明
T <sub>CLOCK</sub>	3333			クロック周期
T <sub>MEMORY_DLL_DUTY_CYCLE_DIST</sub>	150	150	150	DCM デューティサイクルの歪み
T <sub>DATA_PERIOD</sub>	1666			データ周期は、クロック周期の半分からデューティサイクルの歪みを減算した値
T <sub>SETUP</sub>	300	300	0	メモリ ベンダが指定
T <sub>HOLD</sub>	300	0	300	メモリ ベンダが指定
T <sub>PACKAGE_SKEW</sub>	20	20	20	パッケージ スキューを考慮するため、DQS の PCB トレース遅延および対応する DQ ビットが調整されています。値は、誘電率の変動を表しています。
T <sub>JITTER</sub>	0	0	0	DQS と DQ の生成に同じ DCM を使用
T <sub>CLOCK_SKEW-MAX</sub>	100	100	100	バイト内の DQ ビット間のクロック スキュー
T <sub>PMCD_CLK_SKEW</sub>	150	150	150	1 つの PMCD の異なるクロック出力間で発生する位相オフセット エラー
T <sub>PCB_LAYOUT_SKEW</sub>	50	50	50	ボード上のデータ ラインと対応するストロープ間のスキュー
不確定値の合計		770	770	
有効ウィンドウの開始点と終点		770	896	
最終的なウィンドウ幅			126	最終的なウィンドウ幅は 896 - 770

## メモ：

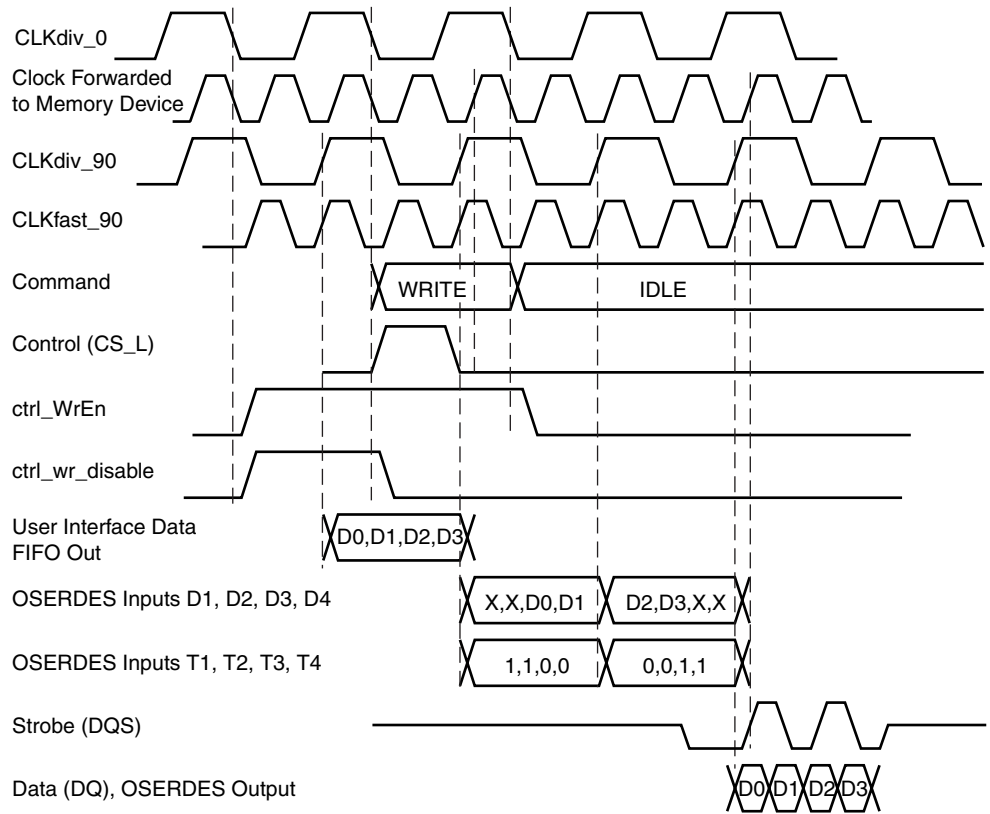
1. 同じバンク内の出力フリップフロップと出力バッファ間のスキューは、電圧および温度の全範囲にわたって最小限であると考えられます。

## コントローラから書き込みデータパスへのインターフェイス

表 2 に、コントローラから書き込みデータパスに必要な信号を示します。

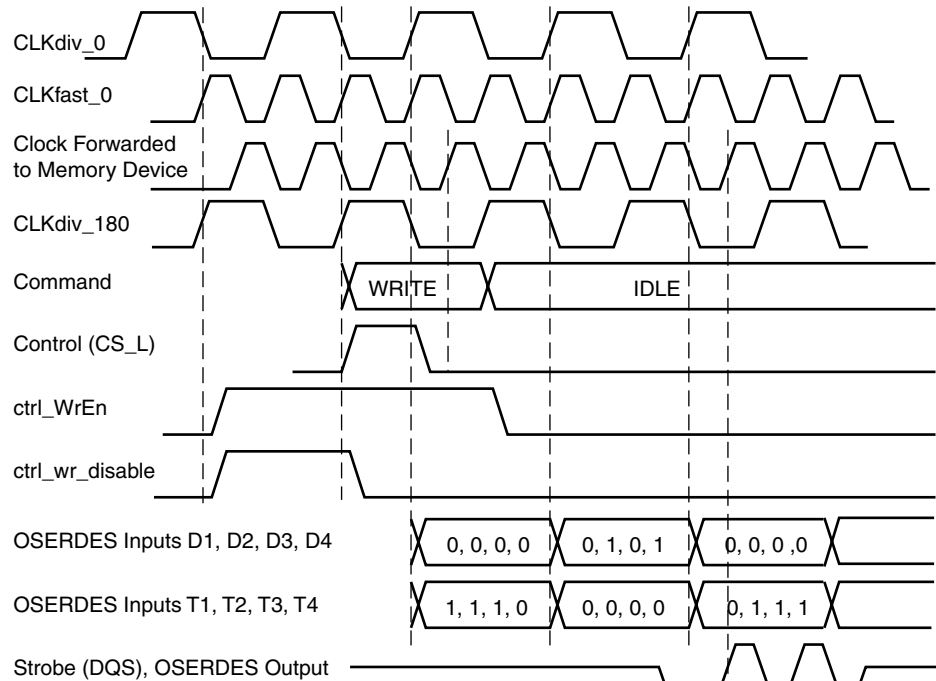
表 2: コントローラから書き込みデータパスへの信号

信号名	幅	説明	メモ
ctrl_WrEn	1	コントローラから書き込みデータパスへの出力。 この信号がアサートされると、書き込み DQS および書き込み DQ の生成が開始します。	バースト長 4 の場合は 2 CLKDIV_0 サイクル間、バースト長 8 の場合は 3 CLKDIV_0 サイクル間アサートされます。 CAS レイテンシの値が 4 および 5 の場合は、WRITE コマンドの 1 CLKDIV_0 サイクル前にアサートされます。 図 5 および図 6 に、WRITE コマンドに対するこの信号のタイミングを示します。
ctrl_wr_disable	1	コントローラから書き込みデータパスへの出力。 この信号がデアサートされると、書き込み DQS および書き込み DQ の生成が終了します。	バースト長 4 の場合は 1 CLKDIV_0 サイクル間、バースト長 8 の場合は 2 CLKDIV_0 サイクル間アサートされます。 CAS レイテンシの値が 4 および 5 の場合は、WRITE コマンドの 1 CLKDIV_0 サイクル前にアサートされます。 図 5 および図 6 に、WRITE コマンドに対するこの信号のタイミングを示します。
ctrl_Odd_Latency	1	コントローラから書き込みデータパスへの出力。	選択された CAS レイテンシが奇数 (5 など) の場合にアサートされます。 正しい書き込みレイテンシ (WRITE コマンド発行後のクロック サイクル数) 後の書き込み DQS および書き込み DQ の生成に必要です。 書き込みレイテンシ = CAS latency - 1



X721\_05\_080205

図 5：書き込み DQ の生成 (書き込みレイテンシ 4、バースト長 4)



X721\_06\_101207

図 6：書き込み DQS の生成 (書き込みレイテンシ 4、バースト長 4)

## 読み出しデータパス

読み出しデータパスは、読み出しデータ キャプチャ段と再キャプチャ段で構成されます。どちらの段も、Virtex-4 I/O に含まれるビルトイン ISERDES でインプリメントされます。メモリ モードでは、ISERDES に CLK、OCLK、CLKDIV の 3 つのクロック入力があります。このデザインの以前のバージョン (MIG1.6) では、3 つのクロックは次のように供給されていました。

- CLK : BUFIO に配線された読み出し DQS を供給
- OCLK : CLKfast\_90 クロックを供給
- CLKDIV : BUFGMUX からの CLKdiv\_90 またはその反転クロックから選択。キャリブレーション中に、必要な IDELAY タップに応じて分周クロックの立ち上がりエッジまたは立ち下がりエッジを選択可能で、タップ数が低くなる CLKDIV エッジが選択されていました。

このデザインの以前のバージョンではまた、データに必要な合計タップ数はワースト ケースでは高速クロック周期の 3/4 でした。この手法では、PMCD でクロックを反転できないため、分周クロックを反転するために DCM がもう 1 つ必要でした。OCLK 入力と比較すると、ISERDES の CLKDIV 入力に追加のジッタが発生していました。

このデザインの最新バージョン (MIG1.7) では、追加の DCM は使用せず、クロック ジッタを削減しており、分周クロックは ISERDES に入力されません。ISERDES の OCLK 入力と CLKDIV 入力は、インターフェイスと同じ周波数の高速クロック CLKfast\_90 で駆動されています。ワースト ケースでは、読み出しストロブ (DQS) と読み出しデータ (DQ) を FPGA クロック (CLKfast\_90) の立ち上がりエッジに揃えるのに必要な IDELAY タップの合計数は、高速クロック周期の 3/4 のままです。このデザインの利点は、DCM 1 つと BUFGMUX 1 つが節約されており、クロックのジッタが低いことです。クロック入力は、次のように供給されます。

- CLK : BUFIO を使用して配線された読み出し DQS を供給 (図 7 を参照)
- OCLK : ハードウェアの OSERDES の CLK 入力に接続。このデザインでは、CLKfast\_90 クロックが ISERDES の OCLK 入力と OSERDES の CLK 入力に供給されます。OCLK に使用されるクロック位相は、書き込みデータに必要な位相によって異なります。
- CLKDIV : CLKfast\_90 を供給

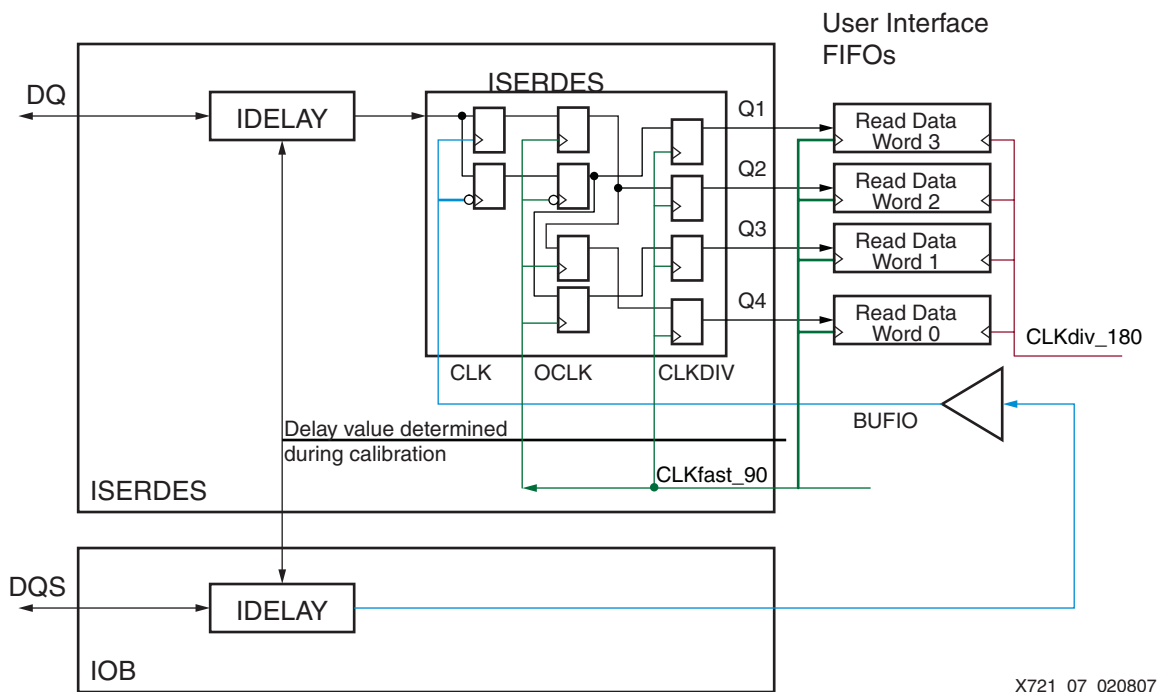


図 7: ISERDES を使用した読み出しデータ キャプチャ

## 読み出しタイミング解析

ISERDES でエラーなしで読み出しデータをキャプチャするには、読み出しデータと読み出しストローブを遅延させ、FPGA クロックドメインのフリップフロップのセットアップタイムとホールドタイムを満たすようにする必要があります。FPGA で受信される読み出しデータ (DQ) と読み出しストローブ (DQS) は、エッジが揃っています。差動 DQS ペアは、BUFIO ソースにアクセスするため、クロック信号を処理可能な I/O に配置する必要があります。受信された DQS は、BUFIO リソースを介して対応するデータビットの ISERDES の CLK 入力に配線されます。BUFIO とクロック配線リソースを介した遅延により、DQS がデータの右にシフトされます。BUFIO とクロックリソースの合計遅延は、-11 スピードグレードデバイスでは 595ps、-12 スピードグレードデバイスでは 555ps です。

表 3 に、300MHz でのデータマージンを判断するのに必要な読み出しタイミング解析を示します。

表 3: 読み出しタイミング解析 (300MHz)

パラメータ	値 (ps)	説明
T <sub>CLOCK</sub>	3333	クロック周期
T <sub>PHASE</sub>	1667	DDR データのデータ周期
T <sub>SAMP_BUFIO</sub>	350	Virtex-4 データシートからの -12 デバイスのサンプルウィンドウ (IOB FF のセットアップおよびホールド、クロックジッタ、タップの不確定値 150ps を含む)
T <sub>BUFIO_DCD</sub>	100	BUFIO クロックリソースのデューティサイクルの歪み
T <sub>DQSQ</sub> + T <sub>QHS</sub>	580	ワーストケースのメモリの不確定値 (VT の変動、DQS と対応する DQ のスキューを含む)
IDELAY タップジッタ	348	29 タップを使用した場合の合計タップジッタ。各タップのワーストケースジッタは 12ps。
不確定値の合計	1378	
ウィンドウ	289	ワーストケースウィンドウ

メモ:

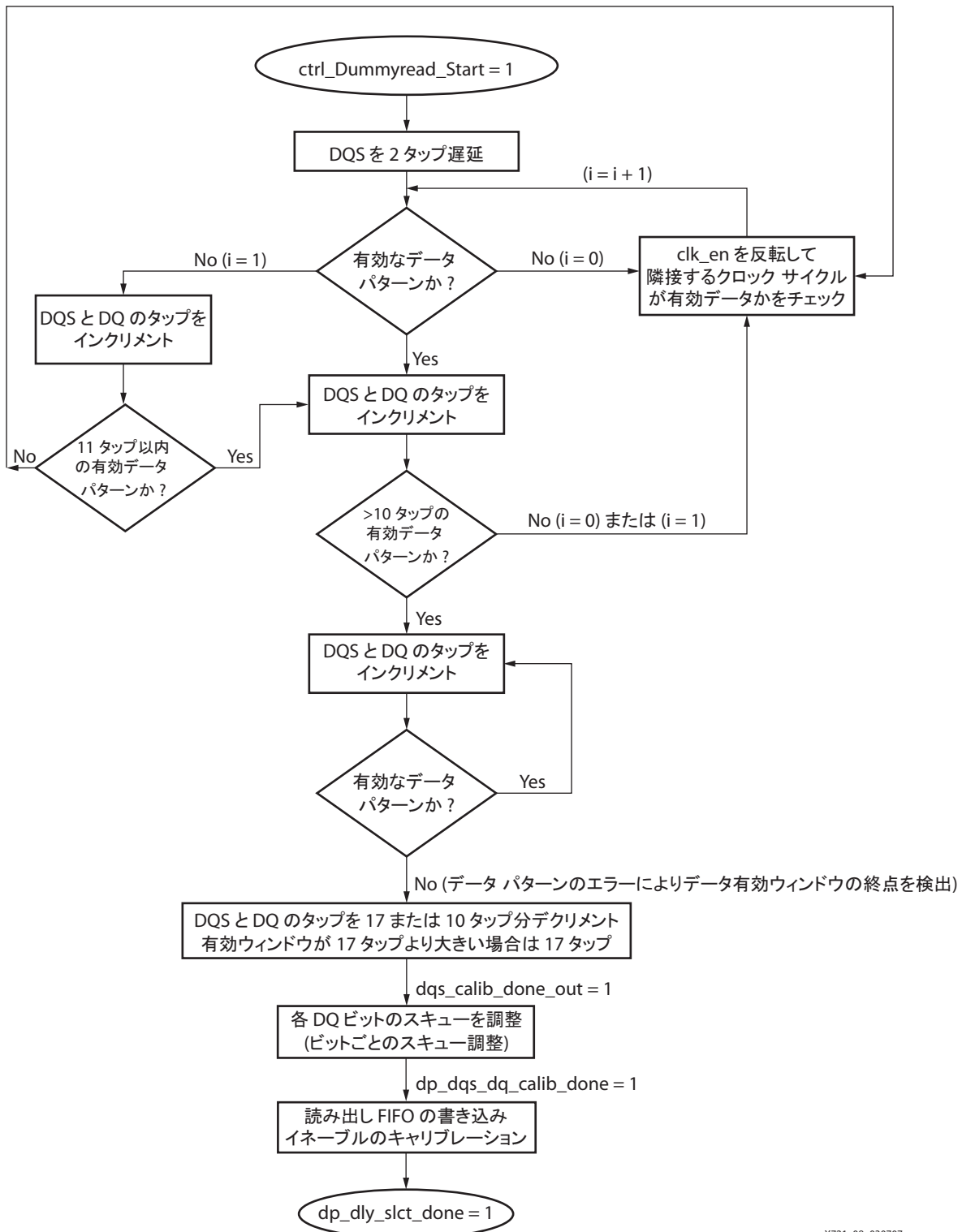
1. T<sub>SAMP\_BUFIO</sub> は、BUFIO クロックリソースと IDELAY を使用した場合に IOB に含まれる DDR 入力の VT で発生するサンプリングエラーです。
2. ビットごとのキャリブレーション手法を使用する際は、ここに示すすべてのパラメータを考慮する必要があります。
3. BUFIO スキュー、package\_skew、pcb\_layout\_skew、TDQSQ と TQHS の一部は、ビットごとのキャリブレーション手法で削除されます。シンボル間干渉、クロストーク、動的スキューの原因は、この解析では考慮されていません。

## ビットごとのスキュー調整データキャプチャ手法

ISERDES の OCLK ドメインおよび CLKDIV ドメインでのデータが正しくキャプチャされることを確実にするには、メモリの初期化後にトレーニングシーケンスが必要です。コントローラで WRITE コマンドを発行して、最初の立ち上がりデータが FF、最初の立ち下がりデータが 00、2 番目の立ち上がりデータが AA、2 番目の立ち下がりデータが 55 という既知のデータパターンを送信します。その後、連続した読み出しコマンドを発行し、指定した場所から書き込まれたデータを読み出して、DQ バスの ISERDES 出力 Q1、Q2、Q3、Q4 を既知のデータパターンと比較します。

BUFIO とクロックリソースの伝搬遅延により、DQ の遅延よりも DQS の遅延の方が大きくなります。DQS にはさらに 2 タップの遅延が追加されており、DQ の有効ウィンドウに収まるようにしています。図 8 に、キャリブレーションアルゴリズムのフローを示します。





X721\_08\_030707

図 8: 読み出しデータと読み出しストロブの遅延キャリブレーション フロー

図 9 に、バースト長 8 の場合の読み出しタイミング波形を示します。読み出しデータ DQ はまず DQS ドメインにキャプチャされ、FPGA 高速クロック ドメイン (CLKfast\_90) に転送されます。この波形では、DQS と DQ は FPGA クロック ドメインに正しく揃えられており、ISERDES の出力に正しいデータシーケンスが現れています。バースト長 8 では、クロック サイクルの 1 つおきに有効なデータが現れます。このデザインの周波数範囲の下限は、IDELAY ブロックで使用可能なタップ数、PCB トレース遅延、およびメモリ デバイスの CAS レイテンシによって制限されます。

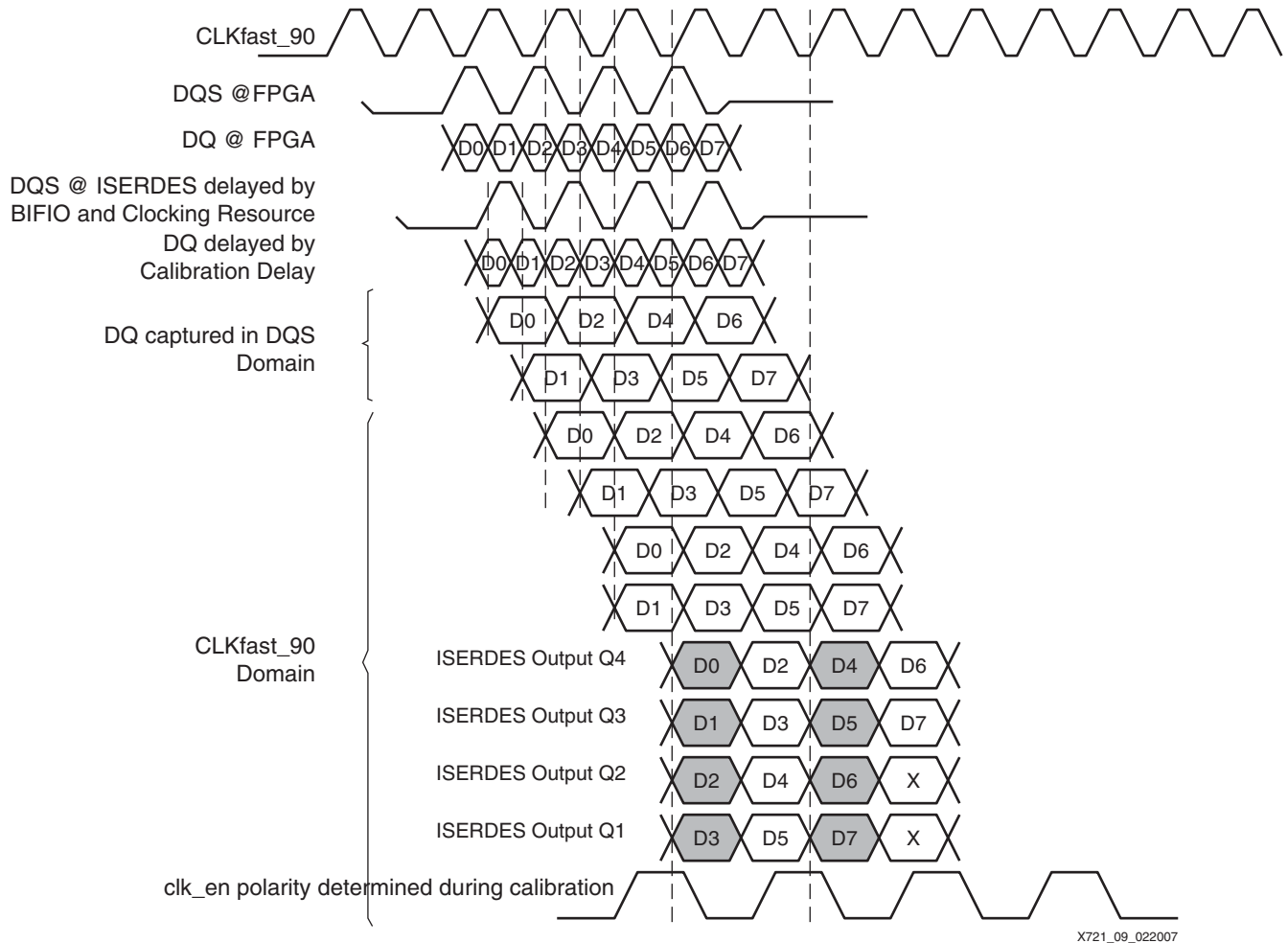


図 9：読み出しデータとストローブのキャプチャ タイミング (バースト長 8)

## コントローラから読み出しデータパスへのインターフェイス

表 4 に、コントローラと読み出しデータパスの間で使用される制御信号を示します。

表 4: コントローラと読み出しデータパス間の信号

信号名	幅	説明	メモ
ctrl_Dummyread_Start	1	コントローラから読み出しデータパスへの出力。アサートされると、ストロブおよびデータのキャリブレーションが開始します。	データパスに有効な読み出しデータがある場合は、この信号が必ずアサートされます。 dp_dly_slct_done 信号がアサートされると、ディアサートされます。
dp_dly_slct_done	1	読み出しデータパスからコントローラへの出力。ストロブおよびデータのキャリブレーションが終了したことを示します。	データおよびストロブのキャリブレーションが終了すると、アサートされます。 通常の操作は、この信号のアサート後に開始されます。
ctrl_RdEn_div0	1	コントローラから読み出しデータパスへの出力。読み出しデータ キャプチャ FIFO へのライト イネーブルとして使用します。	この信号は、バースト長 4 の場合は 1 CLKdiv_0 クロックサイクル間、バースト長 8 の場合は 2 CLKdiv_0 クロックサイクル間アサートされます。 この信号と読み出しステートのタイミング関係は、CAS レイテンシと追加レイテンシ値により決定されます。図 10 に、CAS レイテンシが 5、追加レイテンシが 0 の場合のバースト長 4 におけるこの信号のタイミング波形を示します。

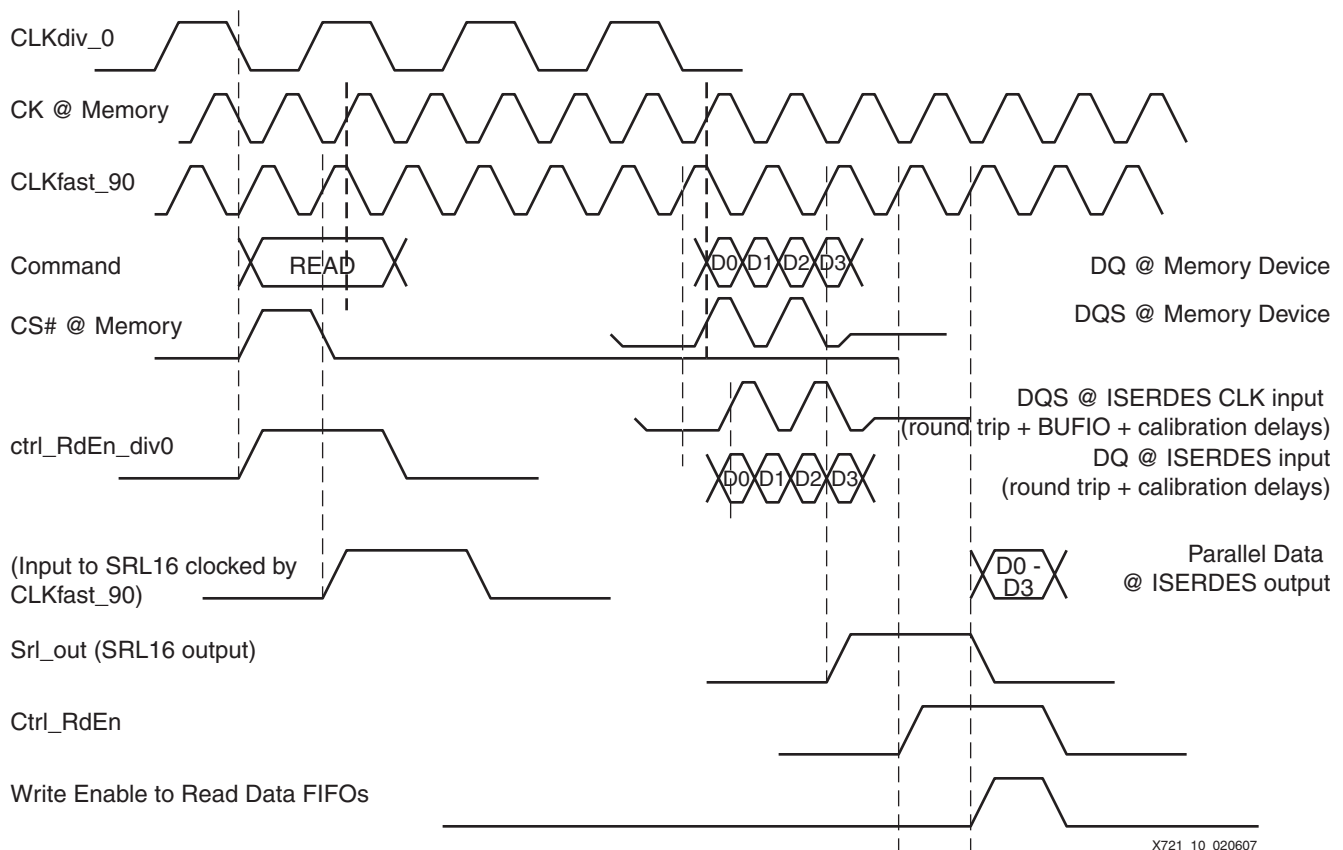


図 10: ライト イネーブルのタイミング (CAS レイテンシ 5、バースト長 4)

DDR2 SDRAM デバイスからは、読み出しデータと共にリードバリッドまたはリードイネーブル信号は供給されないので、読み出しデータが有効かどうかを判断するため **ctrl\_RdEn** 信号が必要です。このリードイネーブル信号は、CAS レンテンシおよびバースト長に基づいてコントローラで生成され、**SRL16** (LUT ベースのシフトレジスタ) に入力されます。リードイネーブル信号を **ISERDES** の読み出しデータ出力に揃えるために必要なレジスタの段数は、キャリブレーション中に判断されます。各データバイトに対し、1つのリードイネーブル信号が生成されます。

図 11 に、リードイネーブルロジックのブロック図を示します。

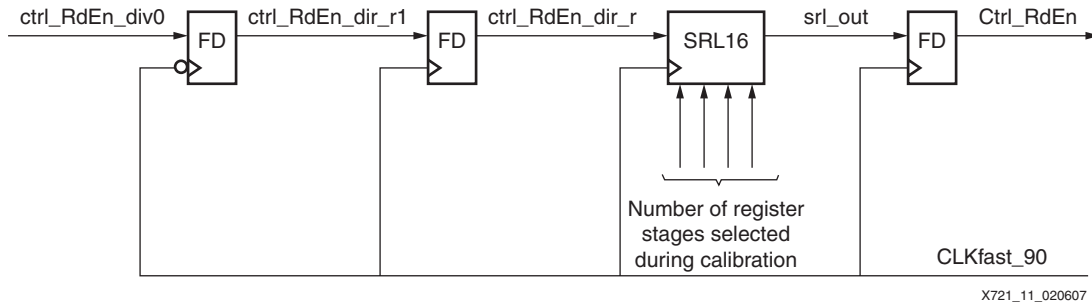


図 11：読み出しデータ FIFO のライトイネーブルのロジック

## リファレンス デザイン

図 12 に、リファレンスデザインの階層を示します。mem\_interface\_top が最上位モジュールです。DDR2SDRAM インターフェイスのリファレンスデザインは、ザイリンクス CORE Generator™ に統合されている MIG ツールに含まれています。最新のリファレンスデザインを入手するには、次のザイリンクスの Web サイトから IP アップデートをダウンロードしてください。

<http://japan.xilinx.com/support/download/index.htm>

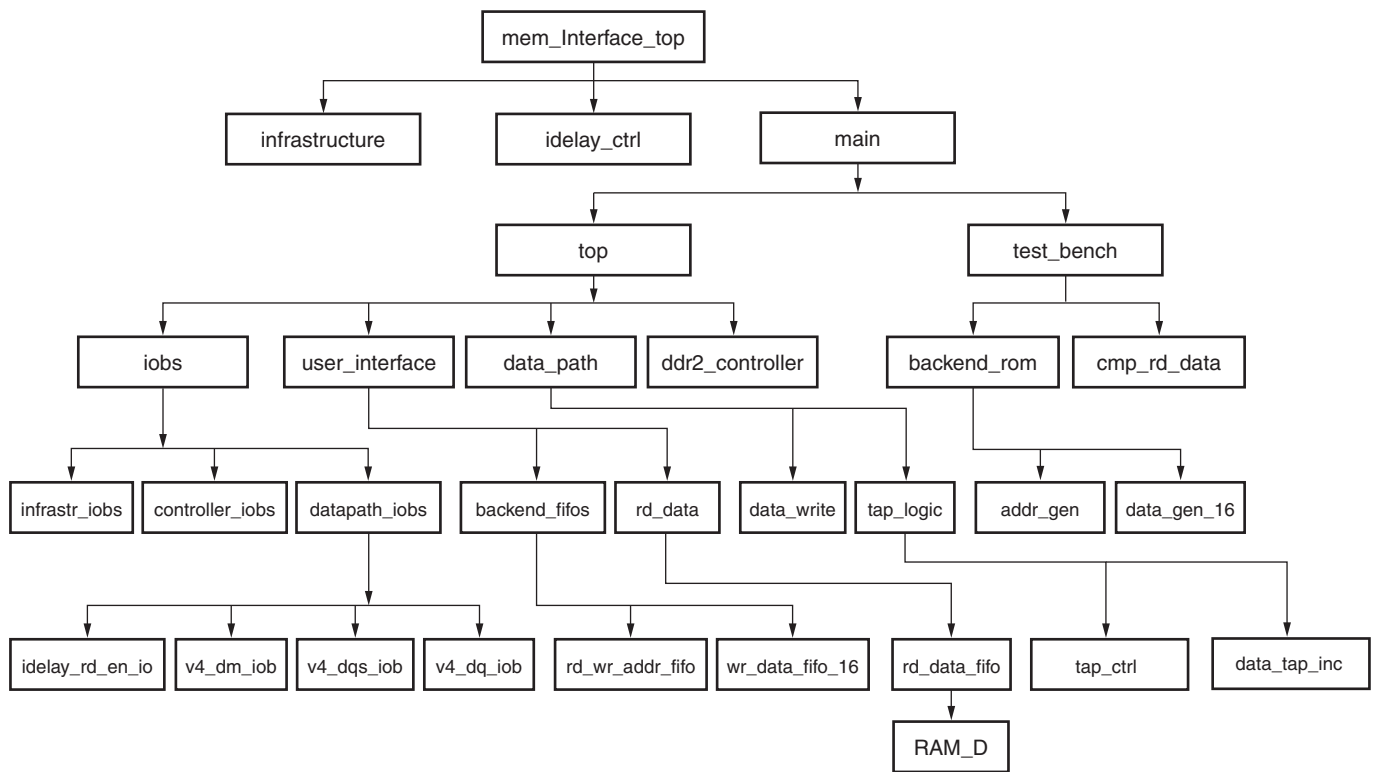


図 12：リファレンスデザインの階層

## リファレンス デザインのサマリ

表 5 に、72 ビット インターフェイスの最大周波数をスピード グレード別に示します。

表 5: 72 ビット インターフェイスのスピード グレード別の最大周波数

スピード グレード	最大周波数 (MHz)
-10	230
-11	267
-12	300

表 6 に、72 ビット インターフェイスのリファレンス デザインのサマリを示します。

表 6: 72 ビット インターフェイスのリファレンス デザインのサマリ

パラメータ	詳細/メモ
デバイスの使用量	スライス 6714 個 (コントローラ、合成可能なテストベンチ、ユーザー インターフェイス、物理層を含む)
	BUFG 6 個 (IDELAY ブロック用の 200MHz のリファレンス クロックに使用される BUFG 1 つを含む)
	BUFIO 9 個 (インターフェイス内のストロブ数と同じ)
	DCM 1 個
	PMCD 1 個
	ISERDES 72 個 (インターフェイス内のデータ ビット数と同じ)
	OSERDES 99 個 (データ ビット、ストロブ、およびデータ マスク ビットの合計数と同じ)

## まとめ

このアプリケーション ノートでは、ISERDES を使用した高性能メモリ インターフェイスのデータ キャプチャ手法を説明しました。このデザインでは、FPGA 内のキャリブレーション ロジックを除くすべてのロジックがインターフェイスの半周波数で駆動され、クリティカル パスが削減されるため、高いマージンを達成できます。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2005 年 12 月 15 日	1.0	初期リリース
2005 年 12 月 20 日	1.1	表 1 を変更。
2006 年 1 月 4 日	1.2	リファレンス デザイン ファイルへのリンクを変更。
2006 年 2 月 2 日	1.3	表 4 を変更。
2006 年 5 月 25 日	1.4	「クロック供給方法」、「読み出しデータパス」、および「ビットごとのスキュー調整データ キャプチャ手法」セクション、図 1、図 7、表 3、および表 6 を変更。リファレンス デザインへのリンクを変更。

日付	バージョン	改訂内容
2007年3月12日	2.0	<ul style="list-style-type: none"> <li>• 「概要」を変更。</li> <li>• 「はじめに」を変更。</li> <li>• 「クロック供給方法」のテキストおよび図 1 を変更。</li> <li>• 「書き込みタイミング解析」のテキストおよび表 1 を変更。</li> <li>• 表 2 を変更。</li> <li>• 「読み出しデータパス」のテキストおよび図 7 を変更。</li> <li>• 「読み出しタイミング解析」および表 3 を変更。</li> <li>• 「ビットごとのスキュー調整データキャプチャ手法」のテキストおよび図 8 を変更。</li> <li>• 図 9 とその説明を追加。その他の図の番号を変更。</li> <li>• 図 9 を図 10 に置換。</li> <li>• 図 10 を図 11 に置換。</li> <li>• 図 11 の番号を図 12 に変更。</li> <li>• セクションタイトル「Reference Design Utilization」を「Reference Design Summary」(「リファレンスデザインのサマリ」)に変更。</li> <li>• 表 6 のタイトル「Resource Utilization for a 64-Bit Interface」を「Reference Design Summary for a 72-Bit Interface」(「72 ビット インターフェイスのリファレンスデザインのサマリ」)に変更。表 6 のテキストを変更。</li> <li>• 「まとめ」を変更。</li> </ul>
2007年10月12日	2.1	<ul style="list-style-type: none"> <li>• 図 6 : CLKdiv_0 と CLKdiv_180 のクロック位相関係を修正。</li> </ul>