



XAPP741 (v1.1) 2012 年 4 月 30 日

AXI インターコネクトを使用した 7 シリーズ FPGA による高性能ビデオシステムのデザイン

著者 : Sateesh Reddy Jonnalagada, Vamsi Krishna

概要

このアプリケーション ノートでは、LogiCORE™ IP Advanced eXtensible Interface (AXI) インターコネクト コアの性能、特性を活かしたビデオ システムを設計する際の検討事項について解説します。デザインは、 F_{MAX} で動作する AXI インターコネクト コアを用いて DDR メモリ帯域幅の約 80% を使用することで高いシステム スループットを実現すること、およびデザインの特長領域を最適化することに重点を置きます。

デザインでは 8 つの AXI ビデオ ダイレクト メモリ アクセス (VDMA) エンジンを用い、16 のストリームを同時に転送します (8 つの送信ビデオ ストリームと 8 つの受信ビデオ ストリーム)。各ストリームのフォーマットは 1920 x 1080 ピクセルで、リフレッシュレートは 60 または 75Hz、ピクセルあたりのデータビットは最大 32 ビットです。各 VDMA は、必要なビデオ タイミング信号を設定するために、ビデオ タイミング コントローラー (VTC) ブロックを使用してテスト パターン ジェネレーター (TPG) から駆動されます。AXI VDMA によって読み出されたデータは、複数のビデオ ストリームを単一の出力ビデオ ストリームに多重化またはオーバーレイ処理する、共通のオンスクリーン ディスプレイ (OSD) コアに送信されます。OSD コアの出力は、色空間コンバーターを介して、オンボード HDMI (High Definition Media Interface) ビデオ ディスプレイ インターフェイスを駆動します。

DDR メモリの性能を確認するために、パフォーマンス モニター ブロックが追加されています。DDR トラフィックは、8 つの VDMA パイプラインを介して 16 のビデオ ストリームを転送する AXI インターコネクトを通過します。AXI VDMA ブロックによって転送された 16 のビデオ ストリームは、共有された DDR3 SDRAM でバッファリングされ、MicroBlaze™ プロセッサによって制御されます。

リファレンス システムは、ザイリンクスの KC705 評価ボード (リビジョン C または D) に搭載された Kintex-7 FPGA XC7K325TFFG900-1 をターゲットとしています [参照 1]。

含まれるシステム

リファレンス デザインは、ISE® Design Suite : System Edition に含まれる Xilinx Platform Studio (XPS) ツールのバージョン 13.4 を使用して作成および構築されています。XPS によって、IP ブロックをインスタンス化、コンフィギュレーション、および接続して複雑なエンベデッド システムを構築する作業が簡略化されます。デザインには、ザイリンクスのソフトウェア開発キット (SDK) を使用して構築されたソフトウェアも含まれます。このソフトウェアは、MicroBlaze プロセッサ サブシステム上で実行され、制御、ステータス、モニターの各機能をインプリメントします。このアプリケーション ノートでは、XPS および SDK の完全なプロジェクト ファイルが提供されており、これらをデザインの検査および再構築に活用したり、新規デザインのテンプレートとして使用することが可能です。

はじめに

ザイリンクスの AXI IP を活用して、高性能なビデオ システムを作成できます。AXI インターコネクト、メモリ インターフェイス ジェネレーター (MIG)、VDMA の各 IP ブロックを使用して、複数のビデオ ストリームの処理や共通の DDR3 SDRAM メモリを共有するフレームバッファに対応できるビデオ システム コアを作成できます。AXI は、AMBA® (Advanced Microcontroller Bus Architecture) 仕様に基づいて標準化された IP インターフェイス プロトコルです。リファレンス デザインで使用されている AXI インターフェイスは、AMBA AXI4 仕様に記載された AXI4、AXI4-Lite、および AXI4-Stream の各インターフェイスで構成されています [参照 2]。これらのインターフェイスは、デザインを構築するための共通 IP インターフェイス プロトコルのフレームワークを提供します。

また、AXI インターコネクと AXI MIG は、複数のデバイスが 1 つのメモリ デバイス を共有するアプリケーションで使用される、高帯域幅のマルチポート メモリ コントローラー (MPMC) をインプリメントします。これは、複数のソースからのデータが共通のメモリ デバイス (通常、DDR3 SDRAM) を介して移動する、ビデオ、エンベデッド システム、通信のアプリケーションの多くで一般的に求められる要件です。

AXI VDMA は、フレーム バッファ機能、スキャッター ギャザー、2 次元 (2D) DMA 機能を備える高性能なビデオに最適化された DMA エンジンを実装します。AXI VDMA は、ビデオ データ ストリームをメモリとの間で送受信し、動的ソフトウェア制御モードまたは静的コンフィギュレーション モードで動作します。

クロック ジェネレーターとプロセッサ システムのリセットブロックは、システム全体にクロックおよびリセットを供給します。I/O ペリフェラルおよびプロセッサ サポート IP を含むシステムの高度な制御は、エンベデッド MicroBlaze プロセッサが担います。性能とエリアのバランスをとるようにシステムを最適化するには、複数の AXI インターコネクブロックを使用し、AXI インターコネクブロックを個別に調整および最適化して、セグメント化/階層化された AXI インターコネク ネットワークを実装します。

ハードウェア要件

リファレンス システムのハードウェア要件は次のとおりです。

- ザイリンクス KC705 評価ボード (リビジョン C または D)
- Type-A/Mini-B の 5 ピン USB ケーブル 2 本
- 高品質 HDMI - DVI ケーブル (これ以外では正しく色が表示されない)
- 解像度 1920 x 1080 ピクセル、最大 75 フレーム/秒をサポートするディスプレイ モニター (リファレンス デザインのテストには Dell P2210T モニターを使用)

このリファレンス システムを構築し、ダウンロードするには、次のソフトウェア ツールを実装しておく必要があります。

- Xilinx Platform Studio 13.4
- ISE Design Suite 13.4
- SDK 13.4

リファレンス デザイン仕様

MicroBlaze プロセッサのほかに、リファレンス デザインには次のコアが含まれています。

- MDM
- LMB ブロック RAM
- AXI_INTERCONNECT
- AXI2AXI Connector
- CLOCK GENERATOR
- PROC_SYS_RESET
- AXI_UARTLITE
- AXI_IIC
- AXI_INTC
- AXI_7SERIES_DDRX
- AXI_BRAM
- AXI_VTC
- AXI_TPG

- AXI_VDMA
- AXI_PERFORMANCE_MONITOR
- AXI_OSD
- csc_rgb_to_ycrb422
- HDMI_OUT IP

図 1 および表 1 に、それぞれシステムのブロック図とアドレス マップを示します。

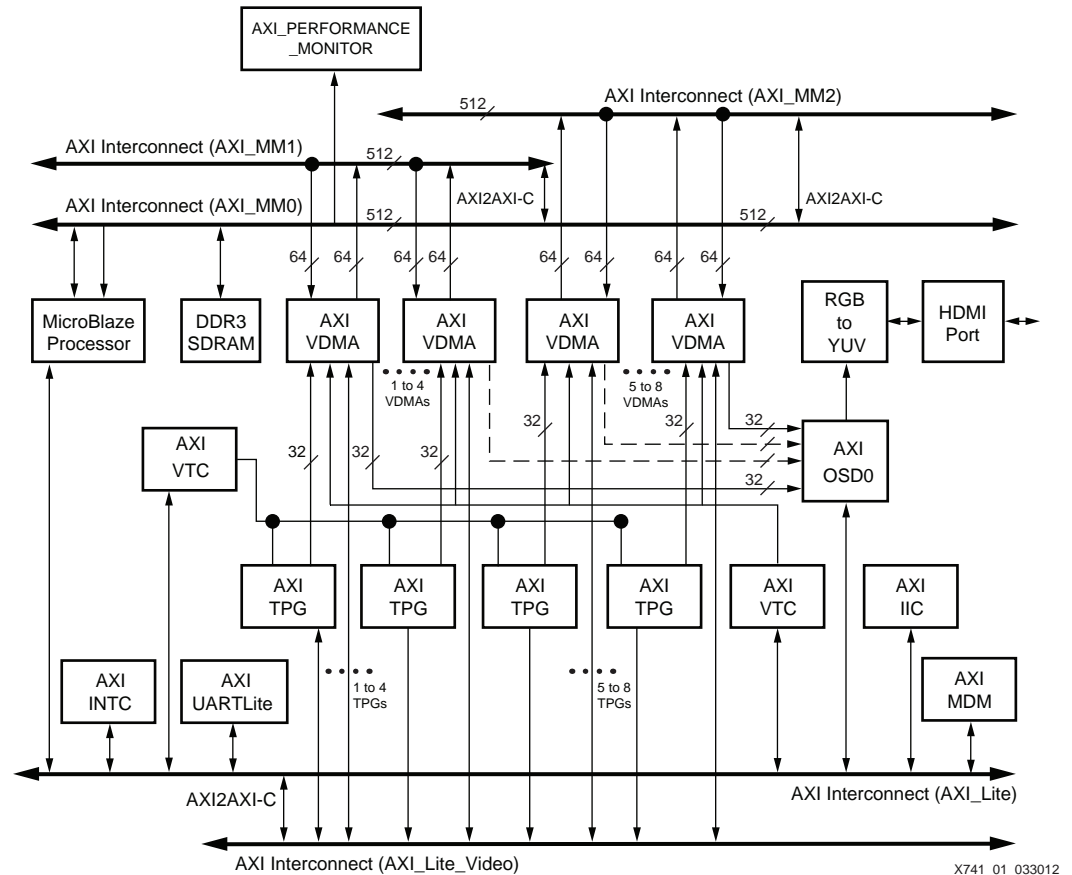


図 1：リファレンス システムのブロック図

表 1：リファレンス システムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
axi_intc	microblaze_0_intc	0x41200000	0x4120FFFF
lmb_bram_if_cntlr	microblaze_0_ibram_ctrl	0x00000000	0x00001FFF
lmb_bram_if_cntlr	microblaze_0_ibram_ctrl	0x00000000	0x00001FFF
mdm	debug_module	0x41400000	0x4140FFFF
axi_uartlite	rs232_uart_1	0x40600000	0x4060FFFF
axi_7series_ddrx	ddr3_sdram	0xC0000000	0xFFFFFFFF
axi_vtc	axi_vtc_0	0x7EE20000	0x7EE2FFFF
axi_vtc	axi_vtc_1	0x7EE00000	0x7EE0FFFF
axi_iic	axi_iic_0	0x40800000	0x4080FFFF
axi_tpg	axi_tpg_0	0x7EF20000	0x7EF2FFFF

表 1: リファレンス システムのアドレス マップ (続き)

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
axi_tpg	axi_tpg_1	0x7EF00000	0x7EF0FFFF
axi_tpg	axi_tpg_2	0x7EEE0000	0x7EEFFFFFFF
axi_tpg	axi_tpg_3	0x7EEC0000	0x7EECFFFF
axi_tpg	axi_tpg_4	0x7EEA0000	0x7EEAFFFF
axi_tpg	axi_tpg_5	0x7EE80000	0x7EE8FFFF
axi_tpg	axi_tpg_6	0x7EE60000	0x7EE6FFFF
axi_tpg	axi_tpg_7	0x7EE40000	0x7EE4FFFF
axi_performance_monitor	axi_performance_monitor_0	0x71E00000	0x71E0FFFF
axi_osd	axi_osd_0	0x7EF40000	0x7EF4FFFF
axi_vdma	axi_vdma_0	0x7E2E0000	0x7E2EFFFF
axi_vdma	axi_vdma_1	0x7E2C0000	0x7E2CFFFF
axi_vdma	axi_vdma_2	0x7E2A0000	0x7E2AFFFF
axi_vdma	axi_vdma_3	0x7E280000	0x7E28FFFF
axi_vdma	axi_vdma_4	0x7E260000	0x7E26FFFF
axi_vdma	axi_vdma_5	0x7E240000	0x7E24FFFF
axi_vdma	axi_vdma_6	0x7E220000	0x7E22FFFF
axi_vdma	axi_vdma_7	0x7E200000	0x7E20FFFF

ハードウェア システム仕様

このセクションでは、メイン IP ブロックの設定方法など、リファレンス デザインの高度な機能について説明します。IP の便利な機能、性能とエリアのトレードオフ、その他の設定などの情報についても解説します。これらの情報はビデオ システム向けですが、システム性能の最適化に用いられている原則は高性能な AXI システムに幅広く適用できます。AXI システムの最適化および設計上のトレードオフに関する詳細は、『AXI リファレンス ガイド』[参照 3] を参照してください。

このアプリケーション ノートは、設計者が XPS についてのある程度の一般的知識を有していることを前提としています。XPS ツールの詳細は、『EDK コンセプト、ツール、テクニック：効率的なエンベデッドシステム構築をサポートするハンディ ガイド』[参照 4] を参照してください。

ビデオ関連の IP

このリファレンス デザインは、1920 x 1080 ピクセル フォーマット、60 または 75 フレーム/秒で動作するビデオ パイプラインを 8 つインプリメントします。それぞれの画像は 1 ピクセルあたり 4 バイトで構成され、(アルファ チャネル情報付き) RGBA などの高品質ビデオ ストリームの上限に対応します。60 フレーム/秒で動作するビデオ パイプラインには 497.7MB/s (~4Gb/s) の帯域幅が必要で、75 フレーム/秒の場合は 622MB/s (~5Gb/s) が必要です。

注記: リファレンス デザインに付属するソース コードは、75Hz で動作する 1920 x 1080 ピクセル向けです。同じデザインを 60Hz で動作させるには、マイクロプロセッサ ハードウェア仕様 (MHS) ファイル内で、クロック ジェネレーターの 6 番目のポートの入力周波数を 148,000,000 に変更する必要があります。

ビデオ トラフィックは TPG IP コアで生成され、OSD コアによって表示されます。生成されるトラフィックの読み出し/書き込みの総帯域幅は 16 個のビデオ ストリームに相当し、9.9538GB/s (79.6Gb/s) を必要とします。

このアプリケーション ノートでは、高精細度のビデオ ストリームを 16 個用いた AXI システムの性能を具体的に説明します。ビデオ システムには最低限、ソース、何らかの内部処理、およびディスティネーションが含まれます。それらは、さまざまな IP モジュールを用いた複数の工程での内部処理を可

能にします。図 2 に示すような標準的なビデオシステムは、多くの場合、入力、前処理、メイン処理、後処理、および出力の工程で構成されます。図に示されているビデオ工程の多くで、ビデオレートでのメモリアクセスが必要です。ビデオデータは、内部処理工程の要求に従って、メモリに対して入出力されます。ここでは、一般的な条件をシミュレーションするために、一連の TPG が内部 IP ブロックのメモリトラフィックを作成します。

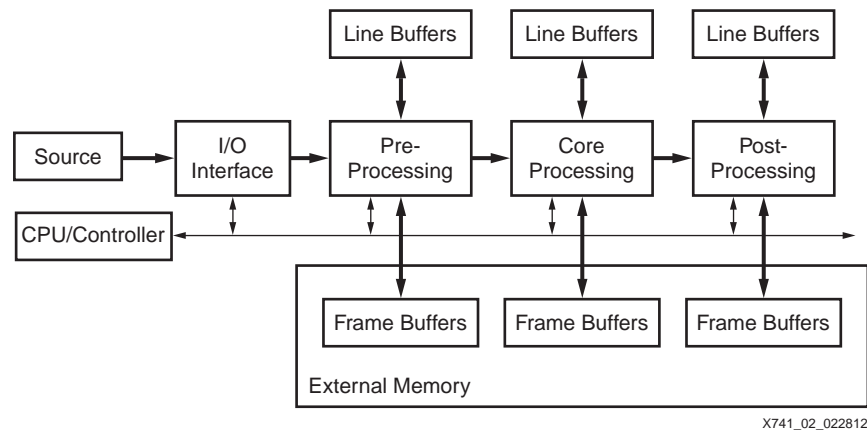


図 2：標準的なビデオシステム

AXI インターコネクト

デザインには複数の AXI インターコネクトが含まれ、それぞれが、スループット、エリア、タイミングの検討項目間のバランスがとられるよう調整されています (『LogiCORE IP AXI インターコネクト製品仕様 (v1.05a)』[参照 5] 参照)。インスタンスの AXI_MM0、AXI_MM1、AXI_MM2 は、高スループットおよび高 F_{MAX} に最適化され、高速のマスターおよびスレーブで使用されます。AXI_MM0、AXI_MM1、AXI_MM2 インターコネクトは、より高いスループット向けに最適化されています。これらは、TPG によって生成されたフレームデータをバッファし、VDMA を介してその同じデータをバッファから取り出して、LCD 上に表示するために使用されます。AXI_Lite および AXI_Lite_Video インターコネクト インスタンスは通常、エリアに対して最適化されます。これらは、プロセッサによるスレーブレジスタへのアクセスおよび AXI VDMA 制御のための VDMA レジスタ空間への書き込みで使用されます。AXI VDMA の動作およびレジスタの詳細は、『LogiCORE IP AXI ビデオダイレクトメモリアクセス v5.00.a 製品ガイド』[参照 6] で説明されています。

AXI インターコネクト (AXI_MM インスタンス)

この AXI インターコネクト インスタンスは、コアデータ幅 512 ビット、周波数 200MHz で動作して、このデザインで可能な最高の F_{MAX} およびスループットを実現します。AXI インターコネクト コアのデータ幅およびクロック周波数は、接続先となる AXI MIG の性能と一致するため、これら間でデータ幅やクロックの変換は必要ありません。AXI インターコネクト コアのデータ幅およびクロック周波数を、メモリコントローラーのネイティブデータ幅およびクロック周波数より小さくすると、システムに帯域幅のボトルネックが発生します。512 ビット AXI インターフェイスの 200MHz でのタイミング要件を満たすように、AXI_MM インターコネクトと AXI_MIG の間でレジスタスライスのバンクを 1 つ有効にします。AXI インターコネクトと AXI MIG によって、MicroBlaze プロセッサの命令キャッシュ (ICache) およびデータキャッシュ (DCache) ポート、8 つの AXI VDMA MM2S ポート、8 つの AXI VDMA S2MM ポートに接続される 18 ポートの AXI MPMC が構成されます。この AXI インターコネクトのコンフィギュレーションは、『AXI リファレンスガイド』[参照 3] に記載されている AXI MPMC ベースのシステムに対するシステム性能最適化の推奨事項に従っています。

AXI VDMA インスタンス

AXI VDMA コアは、AXI4 ドメインから AXI4-Stream ドメイン (およびその逆方向) へのビデオ読み出し/書き込み転送機能を提供するよう設計されています。AXI VDMA によって、システム メモリと AXI4-Stream ベースの対象ビデオ IP 間的高速データ移動が可能になります。AXI4 インターフェイスは、AXI インターコネクタ間的高速データ転送とバッファ記述子のフェッチに使用されます。

AXI VDMA コアは、完全に同期したフレーム DMA 操作と 2D DMA 転送の Gen-Lock および Frame Sync など、ビデオ特有の機能を備えています。同期動作に加えて、中央プロセッサによる制御を容易にするため、フレーム格納番号とスキッター ギャザーモードまたはレジスタ直接操作モードが利用できます。

このデザインは、よりシンプルな AXI VDMA レジスタ直接モードだけで十分にシステムをインプリメントでき、スキッター ギャザー機能に要するエリア コストが不要となるため、スキッター ギャザー機能は使用していません。スキッター ギャザーは、システムが AXI VDMA の動作を比較的複雑なソフトウェアで制御する必要がある場合にのみ有効にしてください。

AXI VDMA コアの初期化レジスタ、ステータス レジスタ、および管理レジスタには、AXI4-Lite スレーブ インターフェイスを介してアクセスします。

このデザインは 8 つの AXI VDMA インスタンスを用い、AXI4 メモリ マップ側では 2 つの 64 ビット インターフェイス、ストリーミング側では 2 つの 32 ビット インターフェイスを使用します。VDMA のアップサイザは、ストリーミング側の 32 ビットのトランザクションからメモリ マップ側の 64 ビット幅のトランザクションへの変換に使用されます。同様に、ダウンサイザは 64 ビット メモリ マップ方式のトランザクションを、32 ビットのストリーミング側トランザクションに変換します。

AXI VDMA インスタンスの 64 ビット幅の MM2S インターフェイスおよび S2MM インターフェイスは、AXI インターコネクタの AXI_MM インスタンスに接続されます。マスターは 148.5MHz (フレーム レート 60Hz)/185MHz (フレーム レート 75Hz) (ビデオ クロック) で動作するため、200MHz の AXI インターコネクタ コアの周波数への非同期クロック コンバーターが必要です。AXI インターコネクタのアップサイザは、AXI VDMA からの 64 ビット トランザクションを AXI インターコネクタ コアへの 512 ビット幅のトランザクションへ変換します。

AXI VDMA インスタンスのスループットを最大にするには、最大バースト長を 256 に設定します。さらに、マスター インターフェイスの読み出しおよび書き込みの発行数を 4 に設定し、読み出し/書き込み FIFO の深さを 512 にしてスループットを最大にします。これらの設定は、『AXI リファレンス ガイド』[参照 3]に記載されている AXI エンドポイント マスターの性能に関する推奨事項に従っています。

さらに、読み出し側と書き込み側の AXI VDMA 内部のライン バッファは深さが 1K に設定されており、AXI VDMA の格納および転送機能が両チャンネルで有効になることでシステム性能が向上すると共に、システム スロットリングの危険性を軽減します。詳細は、『LogiCORE IP AXI ビデオダイレクト メモリ アクセス v5.00.a 製品ガイド』[参照 6]を参照してください。

デザインでパラメーター C_PRRY_IS_ACLK_ASYNC が 1 に設定されている場合は、次の手順に従います。

1. コア インスタンスを右クリックして [Make This IP Local] をクリックし、XPS プロジェクトにローカル pcore を作成します。
2. pcores/axi_vdma_v5_00_a/data/ ディレクトリに移動します。
3. axi_vdma_2_1_0.tcl ファイルを開きます。
4. Tcl ファイル内で、同じクロック ドメイン内の信号を不適切に制約している 77 行目から 136 行目をコメントアウトします。たとえば、コアが非同期モード (C_PRRY_IS_ACLK_ASYNC=1) に設定され、m_axi_mm2s_aclk と s_axi_lite_aclk が同じクロック ソースを使用する場合、次のタイミング無視 (TIG) 制約をコメントアウトします。

```
puts $outputFile "TIMESPEC
TS_${instname}_from_s_axi_lite_aclk_to_m_axi_mm2s_aclk = FROM
\"s_axi_lite_aclk\" TO \"m_axi_mm2s_aclk\" TIG;
```



```
puts $outputFile "TIMESPEC
TS_${instname}_from_m_axi_mm2s_aclk_to_s_axi_lite_aclk = FROM
\"m_axi_mm2s_aclk\" TO \"s_axi_lite_aclk\" TIG;
```

5. ファイルを保存します。
6. XPS で [Project] をクリックし、[Rescan User Repositories] をクリックします。

MicroBlaze プロセッサの ICache および DCache

MicroBlaze プロセッサは、ビデオ データパスを設定してモニターするソフトウェア アプリケーションをメイン メモリから実行するため、MicroBlaze プロセッサの ICache マスターおよび DCache マスターは AXI インターコネクต์に接続され、100MHz で動作します。MicroBlaze プロセッサをこの周波数で動作させると、タイミングが向上し、エリアの削減につながります。

詳細は、『MicroBlaze プロセッサ リファレンス ガイド：エンベデッド開発キット (EDK) 13.4』[参照 7] を参照してください。クロックを 100MHz にすることで、AXI インターコネクต์で整数比の同期クロック コンバーターが使用可能になり、これによって非同期コンバーターよりも低いレイテンシとより小さいエリアが得られます。

AXI_7SERIES_DDRX

AXI インターコネクต์に接続される唯一のスレーブは、axi_7series_ddrx メモリ コントローラー (MIG ツールを XPS に統合するブロック) です。メモリ コントローラーの AXI インターフェイスは、512 ビット幅で 200MHz で動作し、スレーブとおよびタイミングを最適化するために、狭いバーストのサポートは無効になっています。このコンフィギュレーションは、メモリ クロックが 800MHz の 64 ビット DDR3 DIMM に対応する AXI インターフェイスのネイティブ クロックおよび幅に適合しており、スピード グレード -1 の Kintex-7 デバイスにおけるメモリ コントローラーの最大性能を実現します。

スレーブ インターフェイスの読み出し/書き込み発行数は 8 です。インターフェイスが 200MHz でのタイミングを確実に満たすように、レジスタ スライスを有効にしています。これらの設定により、トランザクションの高度なパイプライン処理が可能になり、システム スレーブが向上します。メモリ コントローラーの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』[参照 8] を参照してください。

AXI インターコネクต์ (AXI_Lite、AXI_Lite_Video)

MicroBlaze プロセッサのデータ パリフェラル (DP) インターフェイスのマスターは、制御およびステータス情報のために、デザインの AXI4-Lite スレーブ レジスタすべてに対して書き込みと読み出しを実行します。

これらのインターコネクต์は 32 ビットで、高い F_{MAX} およびスレーブは必要としません。このため、これらには独立した AXI インターコネクต์を使用し、デザイン内のより低速の F_{MAX} で動作する部分に接続されます。

デザインには 16 を越える AXI4-Lite スレーブ インターフェイスの数があるため、プロセッサがシステム内のすべての AXI4-Lite インターフェイスにアクセスするには、AXI2AXI コネクタおよび追加の AXI インターコネクต์のインスタンスが必要です。

デザインの AXI_Lite および AXI_Lite_Video AXI インターコネクต์ ブロックに高いスレーブは必要ないため、これらのブロックは共有アクセス モードに設定されています。つまり、これらのインターコネクต์ ブロックは、性能よりもエリアを優先して最適化できます。これらのインターコネクต์のクロックを 50MHz にすることで、AXI インターコネクต์で整数比の同期クロック コンバーターが使用可能になり、これによって非同期クロック コンバーターよりも低いレイテンシとより小さいエリアが得られます。

AXI_Lite インターコネクタ

AXI_Lite インターコネクタのスレーブは、MDM、AXI_UARTLITE、AXI_IIC、AXI_INTC、AXI_VTC (2つのインスタンス)、AXI OSD、AXI_Lite_Video インターコネクタへのスレーブ AXI2AXI コネクタ用です。

AXI_Lite_Video インターコネクタ

AXI2AXI コネクタは、AXI_Lite インターコネクタをマスターとして AXI_Lite_Video インターコネクタに接続します。この AXI インターコネクタのスレーブは、AXI_TPG (8 インスタンス) および AXI VDMA スレーブ インターフェイス (8 インスタンス) です。

AXI VTC

AXI VTC は、汎用のビデオ タイミング ジェネレーター兼ディテクターです。このコアの入力側は、水平同期パルスと垂直同期パルス、極性、ブランキング、タイミング、およびアクティブ ビデオ ピクセルを自動検出します。出力側は、標準的なビデオ システムで使用される水平ブランキングと垂直ブランキングおよび同期の各パルスを生成し、プログラム可能なパルス極性をサポートします。

AXI VTC には、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスが含まれます。AXI VTC の詳細は、『LogiCORE IP ビデオ タイミング コントローラー v3.0 データシート』[参照 9] を参照してください。

このデザインでは、2つの AXI VTC インスタンスを検出機能なしで使用しています。1つ目のインスタンスはビデオ パイプラインのビデオ入力部で使用され、2つ目はその出力部である AXI OSD で使用されます。

Video Timing Controller v3.0 コアの使用にはライセンスが必要で、CORE Generator™ ツールの v13.2 以上で生成できます。

AXI TPG

AXI TPG には、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスが含まれます。

リファレンス デザインでは、DDR3 メモリへのビデオ トラフィックは、一連の TPG によって生成されます。各 TPG ブロックは、ビデオ業界で検証およびテストに広く使用されている複数のビデオ テストパターンを生成できます。また、リファレンス デザインではシステム性能を示すために生成されるトラフィック量のみが重要なため、TPG はビデオ ソースの代用として使用されます。制御ソフトウェアは、全画面カラー、カラー バー、水平および垂直バースト パターン、ゾーン プレートなどのパターンを生成します。どのテスト パターンを選択しても、生成されるデータ量は同じ 1080p HD ビデオです。たとえば、RGBA (32 ビット)、1080p60 パターンは 4Gb/s のデータ ストリームに相当する 497.7MB/s のトラフィックを生成します。同様に、RGBA (32 ビット)、1920 x 1080 ピクセル、フレーム レート 75Hz のパターンは 622MB/s のトラフィック、すなわち約 5Gb/s のデータ ストリームを生成します。

ソフトウェア制御によって複数の動作モードが使用可能になります。このアプリケーション ノートでは、TPG は常に全画面カラー、カラー バー、水平ランプ、垂直ランプ、ゾーン プレートの中から任意の 1 テスト パターンを生成します。これらのパターンはテスト用であり、放送業界の規格向けにキャリブレートされてはいません。

AXI OSD

OSD LogiCORE IP は柔軟なビデオ処理ブロックを提供し、アルファブレンディング、最大 8 つまでの独立したレイヤーの合成が可能です。また、最大 4K x 4K の画像を処理できる単純なテキストおよびグラフィックスを、色成分あたり 8、10、または 12 ビットの YUVA 4:4:4 あるいは RGBA 画像フォーマットで生成します。このアプリケーション ノートの OSD は 8 つのビデオ ストリームを独立した表示レイヤーとして合成します。TPG コアが生成するビデオ ストリームはソフトウェア制御で有効になる

ため、ディスプレイには合成済みのレイヤーが重なって表示されます。図 3 に、OSD コアの 3 レベルのレイヤーからなるブロック図を示します。

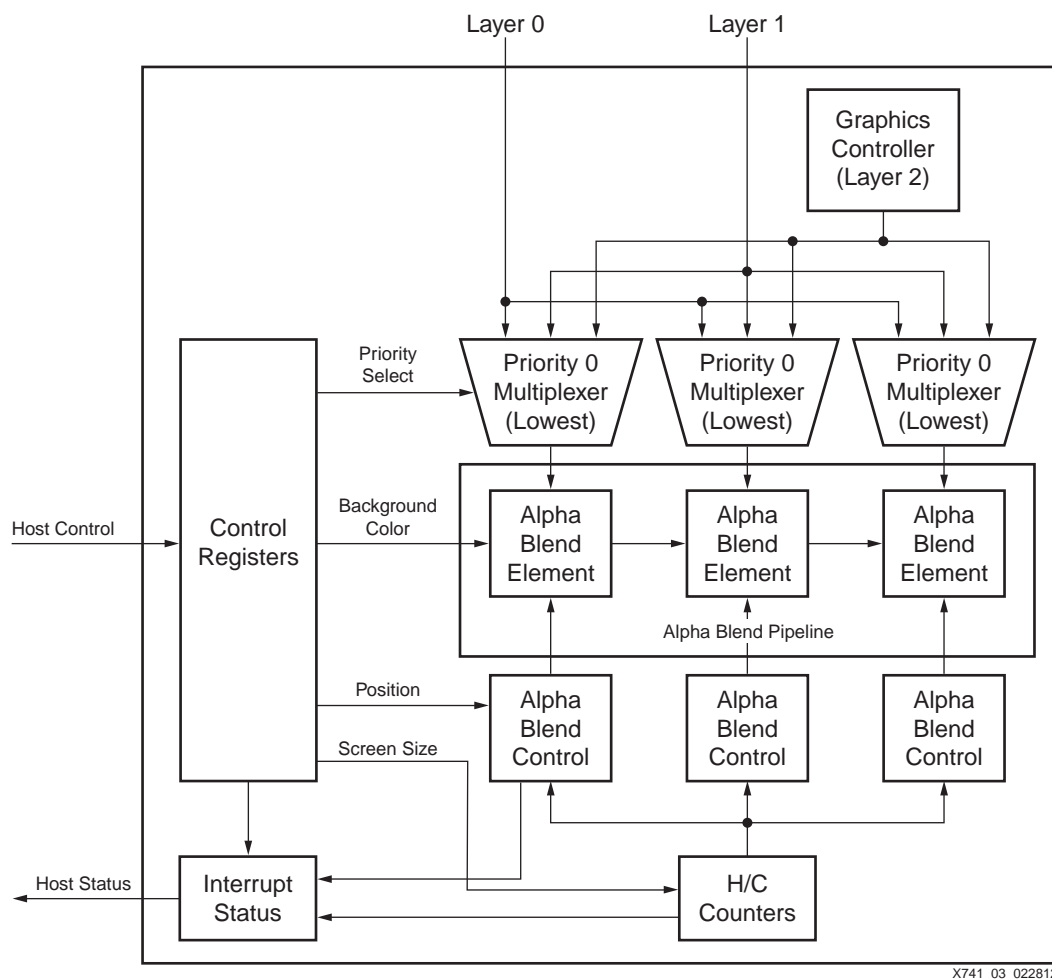


図 3 : 3 レイヤーから成る OSD コアのブロック図

AXI OSD には、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスが含まれます。AXI OSD の詳細は、『LogiCORE IP Video On-Screen Display v2.0 データシート』[参照 10] を参照してください。

Video On-Screen Display コアの使用には SignOnce IP サイト ライセンスが必要で、ザイリンクス ISE Design Suite に含まれる CORE Generator ツールを使用して生成できます。

コアのシミュレーション評価ライセンスは、CORE Generator ツールに付属しています。FPGA のビットストリーム生成を含むコアの完全な機能を使用するには、ザイリンクスからフルライセンスを入手する必要があります。

AXI Performance Monitor

AXI Performance Monitor コア (AXI PERFORMANCE MONITOR) は、AXI インターコネクに接続された DDR3 メモリのスループットを計測します。プロセッサは、AXI Performance Monitor コアに含まれるスレーブ AXI4-Lite インターフェイスを介して、このコアのレジスタにアクセスします。AXI Performance Monitor コアは、AXI スレーブと AXI インターコネク間の読み出しチャンネルおよび書き込みチャンネルをモニターするのみです。このコアが、モニターしている AXI トランザクションを修正/変更することはありません。また、適切な信号をコアに接続することによって、システムの glass-to-glass 遅延が計算されます。

注記：このアプリケーション ノートでは、glass-to-glass 遅延は、TPG (ビデオ ソース) から LCD 画面 (ビデオ シンク) に 1 フレームを表示するまでにかかるクロック サイクル数として定義されています。

スループットを計測するには、システムで複数の信号を接続する必要があります。DDR スレーブ インターコネクト (AXI_MM) は、モニターの 4 つのスロットのいずれかに接続します。さらに、プロセッサからコア レジスタにアクセスするために、AXI_Lite バス インターフェイスも接続します。これら 2 つのバス インターフェイスの信号のほかに、コア クロック (2 つのバス インターフェイスのクロック周波数のうちの高い方) も接続する必要があります。システムの glass-to-glass 遅延を評価するには、Vid_clk、Vtc0_Fsync、Vsync_osd、Tpg_Active_video_in、Tpg_Data、Osd_Active_Video_In、および Osd_data も接続します。VTC が生成する Fsync 信号と、色空間コンバーターが生成する Vsync 信号で glass-to-glass 遅延を評価します。

このコアは、読み出しバイト、書き込みバイト、読み出し要求、書き込み要求、および書き込み応答の総数などの性能基準も計測できます。カウントの開始および終了条件は、レジスタ インターフェイスを介してプロセッサから送られます。コアのグローバル クロック カウンターが、カウントの開始イベントと終了イベント間のクロック数を計測します。パフォーマンス モニターで使用されるカウンターは、レジスタ インターフェイスを介して 32 ビットまたは 64 ビットに設定できます。ユーザーが選択可能な最終的な基準値もレジスタ インターフェイスを介して読み出すことができます。

このアプリケーション ノートでは、AXI Performance Monitor コアは、DDR3 スレーブに接続されてコアのスループットを計測します。パフォーマンス モニターに接続された有効信号、レディ信号、ストロブ信号などの AXI 信号は、バス上のイベント計測する各種カウンターを有効にするために使用されます。

ソフトウェア アプリケーション

AXI VDMA DISPLAY アプリケーション

ソフトウェア アプリケーションはビデオ パイプラインを開始し、これによってユーザーがリアルタイムで帯域幅を確認できるようになります。また、LCD 画面上にパターンをレイヤー別に表示したり、全レイヤーをアルファブレンディングしたものを表示したりします。

システムを制御するためのアプリケーション レベルのソフトウェアは、各 IP に対して提供されたドライバーを使用して C 言語で記述されています。各 IP のプログラマ モデルは、ドライバーが使用する特定の API を記述します。あるいは、アプリケーション レベルで IP 制御レジスタを直接使用し、割り込みを処理するようにアプリケーション ソフトウェアを記述することもできますが、アプリケーション レベルでは、提供されたドライバーと制御レイヤーを使用する方がはるかに便利です。

リファレンス デザインのアプリケーション ソフトウェアは、次を実行します。

1. ソフトウェア アプリケーションは、まず IIC インターフェイスを介して KC705 ボードの HDMI ポートをリセットします。
2. デフォルトのグレー パターンを書き込むように TPG インスタンスを設定します。動作は、AXI VTC インスタンスの開始まで開始されません。
3. プロセッサによるレジスタへの書き込みを含む、AXI VDMA インスタンスを開始します。その後、読み出し/書き込みチャネルを起動し、VDMA インスタンスでの転送を開始します。
4. AXI VTC インスタンスを 1920 x 1080 ピクセル (75Hz) のタイミング設定で開始します。
5. AXI OSD を解像度 1920 x 1080 の出力用に設定します。

次のテスト パターンを書き込むように、デザインの 8 つの TPG インスタンスを設定します。


- カラーバー (レイヤー 0)
- ゾーンプレートパターン (レイヤー 1)
- 垂直バー (レイヤー 2)
- 水平バー (レイヤー 3)
- 格子バー (レイヤー 4)


- 全画面赤 (レイヤー 5)
- 全画面緑 (レイヤー 6)
- 全画面青 (レイヤー 7)

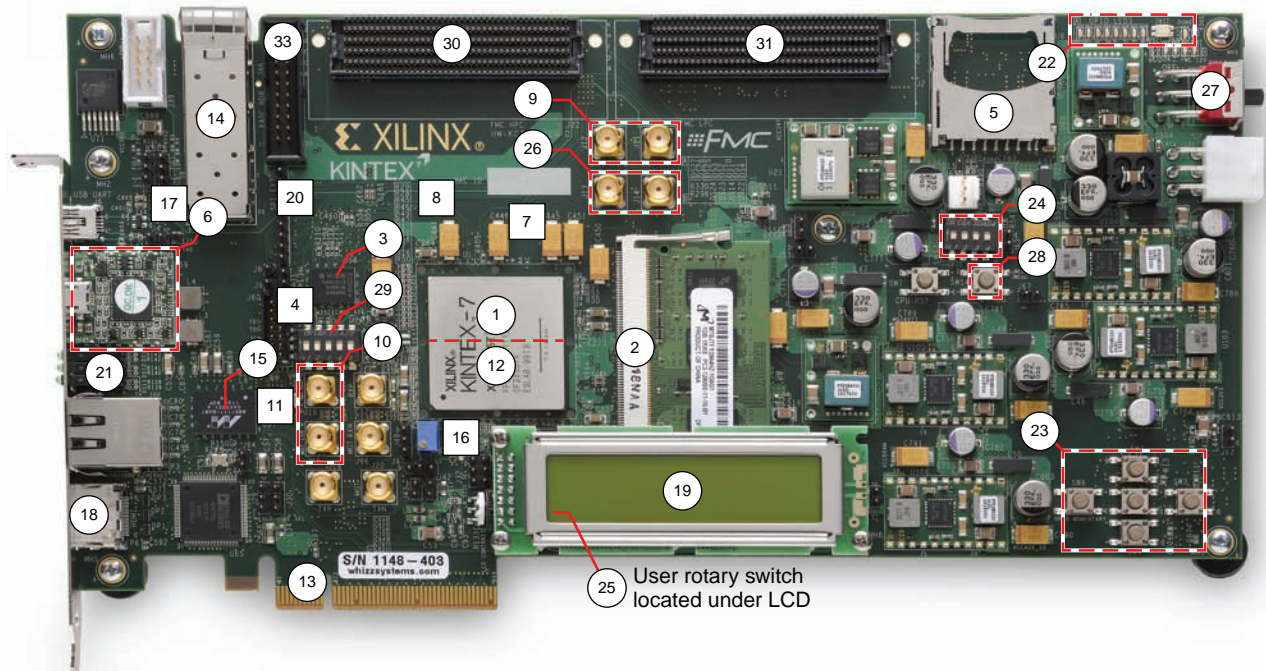
最初の設定シーケンスが終わると、ユーザーは番号 (オプション 0 ~ 7) を選択することで特定のレイヤーを表示させることができます。特定のレイヤーの番号を選択すると、そのレイヤーに対するアルファブレンディング値が最大に、その他のレイヤーの値が最小になるように OSD レジスタが変更されます。オプション 8 (全レイヤーのアルファブレンディング) を選択した場合は、アルファブレンディングレジスタにレイヤーごとに異なる値が設定されるため、すべてのレイヤーを同時に LCD 画面に表示できます。オプション 9 はコアから性能基準を読み出し、オプション d はシステムにおける glass-to-glass 遅延を表示します。

ハードウェア上でのリファレンス デザインの実行

このセクションでは、ハードウェアでリファレンス デザインを実行する手順について説明します。リファレンス デザインは、[図 4](#) に示す KC705 ボード上で実行されます。

 Round callout references a component on the front side of the board

 Square callout references a component on the back side of the board



X741_04_030112

図 4 : KC705 ボード

これら手順の括弧内の番号は[図 4](#) に示す番号に対応しています。ただし、図内の番号の中には説明で触れていないものもあります。

注記：図の番号すべてに関する説明は、『Kintex-7 FPGA 用 KC705 評価ボード ユーザー ガイド』[\[参照 1\]](#) を参照してください。

1. USB ケーブルをホスト PC から USB JTAG ポート (6) に接続します。適切なデバイスドライバーがインストールされていることを確認します。
2. 別の USB ケーブルをホスト PC から USB UART ポートに接続します。[2 ページ](#)の「ハードウェア要件」に記載された USB-UART ドライバーがインストールされていることを確認します。

3. KC705 の HDMI コネクタ (18) に、解像度 1920 x 1080、最大 75Hz のビデオ信号を表示可能なビデオ モニターを接続します。
4. 電源ケーブルを接続します。
5. 電源をオンにします (27)。
6. ホスト PC 上で、次の設定で HyperTerminal などのターミナル プログラムを開始します。
 - ボーレート：9600
 - データビット：8
 - パリティ：なし
 - ストップビット：1
 - フロー制御：なし

構築済みビットストリームとコンパイル済みソフトウェア アプリケーションを使用したリファレンス システムの実行

<unzip_dir>/kc705_video_8x_pipeline/ ディレクトリの ready_for_download ディレクトリにあるファイルを使用してシステムを実行する手順は、次のとおりです。

1. ザイリンクスのコマンド シェルまたはターミナル ウィンドウで次のコマンドを実行し、ディレクトリを ready_for_download に変更します。60Hz または 75Hz のいずれかのディレクトリに移動します (この例では 75Hz)。
% cd <unzip_dir>/kc705_video_8x_pipeline/ready_for_download/75Hz
2. 次のコマンドで、Xilinx Microprocessor Debugger (XMD) ツールを起動します。
% xmd
3. XMD にビットストリームをダウンロードします。
XMD% fpga -f download.bit
4. XMD でプロセッサに接続します。
XMD% connect mb mdm
5. プロセッサ コード (ELF) ファイルをダウンロードします。
XMD% dow axi_vdma_display.elf
6. ソフトウェアを実行します。
XMD% run

ハードウェアとソフトウェアの実行結果

KC705 ボードに接続された Dell P2210T LCD モニターにはカラー バー パターンが表示され、HyperTerminal 画面には、 5 に示すような出力が表示されます。

```

-----
-- Layer Switcher/Performance Menu --
-----

Select option
0 = Layer 0 Only - Colorbars
1 = Layer 1 Only - Zoneplates
2 = Layer 2 Only - Vertical Ramp
3 = Layer 3 Only - Horizontal Ramp
4 = Layer 4 Only - Tartan bars
5 = Layer 5 Only - Flat Red
6 = Layer 6 Only - Flat Green
7 = Layer 7 Only - Flat Blue
8 = Layer 8 Only - All Layers
9 = Benchmark Design (Average)
d = Glass to Glass delay

q = exit
? = help
-----
>

```

X741_05_022912

図 5 : HyperTerminal の出力

ユーザーは、HyperTerminal 画面に表示された次の 11 のビデオ パターンから 1 つを選択できます。

- 0 = カラー バー (レイヤー 0)
- 1 = ゾーンプレート パターン (レイヤー 1)
- 2 = 垂直ランプ (レイヤー 2)
- 3 = 水平ランプ (レイヤー 3)
- 4 = 格子バー (レイヤー 4)
- 5 = 全画面赤 (レイヤー 5)
- 6 = 全画面緑 (レイヤー 6)
- 7 = 全画面青 (レイヤー 7)
- 8 = 全レイヤー同時のアルファブレンド (レイヤー 0 ~ 7)
- 9 = リアルタイムのシステム性能 (転送 1 秒)
- d = 1 フレームのリアルタイム システム glass-to-glass delay 遅延

パフォーマンス

AXI_MM インターコネクトは 512 ビットで、200MHz で動作します。各チャンネルの理論上の最大帯域幅は 12.8GB/s です。

DDR3 PHY は 64 ビットで、メモリ クロック周波数は 800MHz に設定されています。DDR3 の理論上のスループットは 12.8GB/秒で、これはこのデザインで使用可能な総帯域幅です。

ソフトウェア アプリケーションのオプション 9 を選択すると、次のような出力が表示されます (表示される値は、若干異なる場合があります)。

```

-----DDR3, AXI4 Slave Profile Summary.....
Theoretical DDR Bandwidth           = 12800000000 bytes/sec
Practical DDR bandwidth              = 9975795872 bytes/sec
Percentage of DDDR Bandwidth consumed
    by eight Video Pipelines (Approx.) = 77.9359%

```

総帯域幅は約 9,975MB/s で、メインメモリの理論的総帯域幅 12,800MB/s の約 77% にあたります。

ソフトウェアアプリケーションのオプション **d** を選択すると、次のような出力が表示されます。

```
Processing Time Per Frame (Glass to Glass delay) = 13.572015 ms
```

注記：表示される値は、若干異なる場合があります。

ハードウェアの構築

このセクションでは、ハードウェア デザインの再構築について説明します。

プロジェクトを再構築する前に、AXI OSD および AXI VTC のライセンスがインストールされていることを確認する必要があります。AXI VTC または AXI OSD の評価ライセンスを取得するには、次のウェブサイトを参照してください。

- [ザイリンクス Video Timing Controller \[参照 11\]](#)
- [ザイリンクス On-Screen Display LogiCORE IP \[参照 12\]](#)

注記：リファレンス デザインに含まれるソース コードは、75Hz のフレーム レートにのみ対応します。MHS ファイルの 6 番目のクロック ポートに対する入力周波数を 148,000,000 に変更してビットストリームを生成すると、60Hz モードでの動作が可能になります。生成済みのビットストリームは、<unzipdir>/kc705_video_8x_pipeline/HW/k7_MB_video_pipelines/implementation/download.bit にあります。

1. XPS で `kc705_video_8x_pipeline/HW/k7_MB_video_pipelines/system.xmp` を開きます。
2. [Hardware] → [Generate Bitstream] をクリックし、システムのビットストリームを生成します。
3. [Device Configuration] → [Update Bitstream] をクリックし、bootloop プログラムでブロック RAM を初期化します。これにより、プロセッサが確実にメモリ内の安定したプログラムからブートされます。

SDK でのソフトウェアのコンパイル

1. SDK を起動します。Linux の場合は `xsdk` と入力します。
2. Workspace Launcher で、次のワークスペースを選択します。
`<unzip_dir>/kc705_video_8x_pipeline/SW/SDK_Workspace`
3. [OK] をクリックします。
4. [Xilinx Tools] → [Repositories] をクリックし、リポジトリを設定します。
5. ローカル リポジトリの場合、[New] をクリックします。
6. ディレクトリを `<unzip_dir>/kc705_video_8x_pipeline/SW/repository` に変更します。
7. [OK] をクリックします。
8. [File] → [Import] → [General] → [Existing Projects] を選択して、ボード サポート パッケージ (BSP)、ハードウェア プラットフォーム、ソフトウェア アプリケーションをワークスペースにインポートします。
9. [Next] をクリックして `<unzip_dir>/kc705_video_8x_pipeline/SW` に移動します。
10. [OK] をクリックします。
11. すべてのチェックボックス (`axi_vdma_display` と `K7_MB_video_pipelines_hw_platform` を含む) がオンになっていることを確認します。
12. 関連するソフトウェア アプリケーションが選択されていることを確認します。
13. [Finish] をクリックします。

この段階で、BSP とソフトウェア アプリケーションがコンパイルされます。この処理には 2 分から 5 分程度かかります。これで、SDK で既存のソフトウェア アプリケーションの変更やソフトウェア アプリケーションの新規作成が可能になりました。

SDK でのハードウェアおよびソフトウェアの実行

1. [Xilinx Tools] → [Program FPGA] をクリックします。
注記 : bootloop が microblaze_0 に使用されていることを確認します。
2. [Program] をクリックします。
3. [Project Explorer] ウィンドウで、[vdma_display] → [Run As] → [Launch on Hardware] を右クリックします。

デザインの特性

リファレンス デザインは、ISE Design Suite : Embedded Edition 13.4 を使用して、Kintex-7 FPGA XC7K325TFFG900-1 にインプリメントされます。

次のリソースが使用されます。

- 使用される LUT の総数 : 203,800 のうち 97,101 (47%)
- 使用される I/O の総数 : 500 のうち 163 (32%)
- 使用される内部メモリの総数 :
 - RAMB36E1 : 445 のうち 148 (33%)
 - RAMB18E1 : 890 のうち 40 (4%)

注記 : デバイスのリソース使用率の結果は、インプリメンテーション ツールのバージョンによって異なります。厳密な結果は変動する可能性があります。上記の値は、指標として使用してください。

リファレンス デザイン

リファレンス デザインは、ハードウェア上で完全に検証され、テストされています。このデザインには、各種モジュールの多様な機能についての詳細が含まれています。インターフェイスは、ISE Design Suite 13.4 により、メモリ コントローラーに対するメイン AXI インターフェイスに 200MHz で適切に配置配線されています。

このアプリケーション ノートのリファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=184421>

表 2 に、リファレンス デザインの詳細を示します。

表 2 : リファレンス デザインの詳細

パラメーター	内容
全般	
開発元	Sateesh Reddy Jonnalagada, Vamsi Krishna
ターゲット デバイス (ステッピング レベル、ES、製造、スピード グレード)	Kintex-7 FPGA
ソース コードの提供	あり
ソース コードの形式	VHDL/Verilog (ソース コードの一部は暗号化済み)
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator ツール、サードパーティからデザインへのコード/IP の使用	EDK 用に提供されたリファレンス デザインおよび COREGenerator ツールで生成されるビデオ コア
シミュレーション	

表 2: リファレンス デザインの詳細 (続き)

パラメーター	内容
論理シミュレーションの実施	N/A
タイミングシミュレーションの実施	N/A
論理およびタイミングシミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ ソフトウェア/バージョン	N/A
SPICE/IBIS シミュレーション	N/A
インプリメンテーション	
使用した合成ソフトウェア ツール/バージョン	XST 13.4
使用したインプリメンテーション ソフトウェア ツール/バージョン	ISE Design Suite 13.4 : System Edition
スタティック タイミング解析の実施	あり (PAR/TRCE のタイミングにパス)
ハードウェア検証	
ハードウェア検証の実施	あり
検証に使用したハードウェアプラットフォーム	KC705 ボード

使用率とパフォーマンス

表 3 に、デバイスと使用率についての情報を示します。

表 3: デバイス使用率

デバイス	スピード グレード	パッケージ	スライス レジスタ	配置済み スライス	スライス LUT	I/O	RAMB36E1	RAMB18E1
XC7K325T	-1	FFG900	137,110 (33%)	42,322 (83%)	102,253 (50%)	163 (32%)	148 (33%)	40 (4%)

表 4 に、3 ページの図 1 に示した IP コアのデバイス リソース使用率を詳しく示します。表 4 の情報は、XPS の [Design Overview] → [Module Level Utilization] レポートを選択して表示される [Design Summary] タブから得られます。使用率の情報は、モジュールの境界を越えたロジック最適化とモジュール間のロジック共有のため、概算値となっています。

表 4: モジュール レベルのリソース使用率

IP コア	インスタンス名	スライス	スライス レジスタ	LUT	LUTRAM	ブロック RAM FIFO	DSP48E1 スライス	BUFG	BUFR
AXI 7 シリーズ DDR3 コントロー ラー	DDR3_SDRAM	4,840	7,171	9,914	2,928	0	0	0	0
AXI インターコネ クト	axi_lite	1,004	1,575	1,159	140	0	0	0	0
	axi_lite_video	459	169	638	0	0	0	0	0
	axi_mm0	5,062	16,190	7,972	134	0	0	0	0
	axi_mm1	8,670	24,531	19,335	3,511	0	0	0	0
	axi_mm2	8,488	7,171	9,914	3,511	0	0	0	0
AXI VTC	axi_vtc_0	449	716	691	2	0	0	0	0
	axi_vtc_1	461	717	709	2	0	0	0	0

表 4: モジュール レベルのリソース使用率 (続き)

IP コア	インスタンス名	スライス	スライスレジスタ	LUT	LUTRAM	ブロックRAM FIFO	DSP48E1スライス	BUFG	BUFR
AXI TPG (関連するグルー ロジックを含む)	axi_tpg_0	379	1,088	904	14	1	3	0	0
	axi_tpg_1	393	1,088	905	14	1	3	0	0
	axi_tpg_2	400	1,088	880	14	1	3	0	0
	axi_tpg_3	399	1,088	899	14	1	3	0	0
	axi_tpg_4	413	1,088	883	14	1	3	0	0
	axi_tpg_5	390	1,088	887	14	1	3	0	0
	axi_tpg_6	404	1,088	915	14	1	3	0	0
	axi_tpg_7	396	1,088	914	14	1	3	0	0
	xsvi2axi_0	9	27	3	0	1	0	0	0
	xsvi2axi_1	7	27	7	0	1	0	0	0
	xsvi2axi_2	7	27	11	0	1	0	0	0
	xsvi2axi_3	7	27	11	0	1	0	0	0
	xsvi2axi_4	8	27	7	0	1	0	0	0
	xsvi2axi_5	7	27	11	0	1	0	0	0
xsvi2axi_6	9	27	11	0	1	0	0	0	
xsvi2axi_7	8	27	11	0	1	0	0	0	
AXI VDMA	axi_vdma_0	2,207	5,108	3,345	319	14	0	0	0
	axi_vdma_1	2,226	5,108	3,406	319	14	0	0	0
	axi_vdma_2	2,214	5,108	3,355	319	14	0	0	0
	axi_vdma_3	2,211	5,108	3,382	319	14	0	0	0
	axi_vdma_4	2,152	5,108	3,505	319	14	0	0	0
	axi_vdma_5	2,240	5,108	3,345	319	14	0	0	0
	axi_vdma_6	2,206	5,108	3,455	319	14	0	0	0
	axi_vdma_7	2,181	5,108	3,476	318	14	0	0	0
AXI OSD (関連するグルー ロジック、ディスプレイドライバーを含む)	osd_0	3,129	7,373	3,685	218	8	24	0	0
	csc_rgb_to_ycrCb422_0	150	377	293	105	0	4	0	0
	hdmi_interface_0	7	19	19	19	0	0	0	0
クロック、リセット、その他のシステム ロジック	clock_generator_0	1	0	1	0	0	0	4	0
	proc_sys_reset	18	31	22	2	0	0	0	0
MicroBlaze プロセッササブシステム (ローカル メモリ、JTAG ベース デバッグ用のデバッグ モジュールを含む)	microblaze_0	1,167	1,396	1,813	245	20	3	0	0
	debug_module	92	128	120	23	0	0	1	0
	microblaze_0_bram_block	0	0	0	0	32	0	0	0
	microblaze_0_d_bram_ctrl	6	2	4	0	0	0	0	0
	microblaze_0_dlmb	1	1	0	0	0	0	0	0
	microblaze_0_i_bram_ctrl	2	2	1	0	0	0	0	0
	microblaze_0_ilmb	1	1	0	0	0	0	0	0
	microblaze_0_intc	57	72	94	0	0	0	0	0

表 4: モジュール レベルのリソース使用率 (続き)

IP コア	インスタンス名	スライス	スライスレジスタ	LUT	LUTRAM	ブロック RAM FIFO	DSP48E1 スライス	BUFG	BUFR
AXI_IIC	axi_iic_0	221	259	343	20	0	0	0	0
AXI UartLite	RS232_Uart_1	73	86	107	18	0	0	0	0
合計		56,369	136,824	102,253	13605	188	55	5	0

表 5 に、物理メモリ インターフェイスの帯域幅の計算値を示します。

表 5: DDR3 物理メモリ インターフェイスの理論上の最大帯域幅

データ幅	データ レート	理論上の最大帯域幅
64 ビット (SODIMM)	1600Mb/s	12.8GB/s (102.4Gb/s)

表 6 に、メモリを介して移動するビデオ データの総帯域幅の一覧を示します。

表 6: ビデオ トラフィックで使用される平均帯域幅

フレーム解像度	リフレッシュ レート (Hz)	ピクセルあたりのビット数	ビデオ ストリーム数	ビデオの総帯域幅
1920 x 1080	60	32	16	7.962GB/s (63.696Gb/s)
1920 x 1080	75	32	16	9.953GB/s (79.62Gb/s)

表 7 に、理論上の最大帯域幅のうち、ビデオ ストリームによって使用される割合 (%) を示します。

表 7: 理論上の最大帯域幅の使用率 (%)

ビデオの総帯域幅	フレーム レート (Hz)	理論上の最大帯域幅	理論上の最大帯域幅の使用率 (%)
7.962GB/s (63.696Gb/s)	60	12.8GB/s (102.4Gb/s)	62.2
9.953GB/s (79.62Gb/s)	75	12.8GB/s (102.4Gb/s)	77.7

まとめ

このアプリケーション ノートでは、約 10GB/s の帯域幅で動作するようにコンフィギュレーションされた AXI インターコネク ト コアを用いたビデオ システムについて解説しました。8 つのビデオ パイプラインは、それぞれ 1920 x 1080 ピクセル、75 フレーム/秒の高精細度ビデオ ストリームを処理し、AXI インターコネク トを介して DDR メモリに接続されます。デザインに求められる高い性能要件を満たすため、DDR3 コントローラ (800MHz クロック、64 ビット データ幅の DDR メモリ) は使用可能な帯域幅の約 80% を活用できるようコンフィギュレーションされています。

参考資料

このアプリケーション ノートでは、次の参考資料が使用されています。

1. [UG810](#): 『Kintex-7 FPGA 用 KC705 評価ボード ユーザー ガイド』
2. AMBA AXI4 仕様
<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.set.amba/index.html>
3. [UG761](#): 『AXI リファレンス ガイド』
4. [UG683](#): 『EDK コンセプト、ツール、テクニック: 効率的なエンベデッド システムの構築をサポートするハンディガイド』(v13.4)
5. [DS768](#): 『LogiCORE IP AXI Interconnect 製品仕様 (v1.05.a)』
6. [PG020](#): 『LogiCORE IP AXI Video Direct Memory Access v5.00.a 製品ガイド』

7. [UG081](#): 『MicroBlaze プロセッサ リファレンス ガイド : エンベデッド開発キット EDK 13.4』
8. [UG586](#): 『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』
9. [DS857](#): 『LogiCORE IP Video Timing Controller v3.0 製品仕様』
10. [DS837](#): 『LogiCORE IP Video On-Screen Display v2.0 製品仕様』
11. [ザイリンクス Video Timing Controller](#)
<http://japan.xilinx.com/products/intellectual-property/EF-DI-VID-TIMING.htm>
12. [ザイリンクス On-Screen Display LogiCORE IP](#)
<http://japan.xilinx.com/products/intellectual-property/EF-DI-OSD.htm>
13. [UG111](#): 『エンベデッド システム ツール リファレンス マニュアル : EDK v13.4』

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012 年 3 月 23 日	1.0	初版リリース
2012 年 4 月 30 日	1.1	「ハードウェア要件」を更新。図 1 に Added AXI VTC ブロックを追加。「ビデオ関連の IP」の 7.96Gb/s を 79.6Gb/s に変更。「AXI インターコネクト」、「AXI VDMA インスタンス」、および「参考資料」の『LogiCORE IP AXI ビデオダイレクト メモリ アクセス (axi_vdma) 製品仕様 (v3.01.a)』への参照を、『LogiCORE AXI ビデオダイレクト メモリ アクセス v5.00.a 製品ガイド』に変更。「AXI インターコネクト (AXI_MM インスタンス)」のランクという言葉を変に更新。「ハードウェア上でのリファレンス デザインの実行」を更新。「デザインの特性」の RAMB36E1 および RAMB18E1 を更新。

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、
jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。