



XAPP784 (v1.0) 2005 年 6 月 28 日

安定した CPLD デザイン プラクティス

概要 このアプリケーションノートには、過去 12 年間以上にわたって CPLD ユーザーが直面してきた問題が集約されています。ザイリンクスの CPLD を最大限に活用し、最良のデザインを実践するためのチェックリストを紹介します。

はじめに 複雑な PLD であっても、一連のガイドラインに従うことによって、着実にデザインできます。このガイドラインの内容は、デジタル設計者にとっては基礎的なものばかりです。しかし、設計者は時として事前にチェックリストで確認していれば避けられたはずの問題に遭遇してしまう場合があります。次に紹介するリストは、ハードウェア プラクティスとソフトウェア プラクティスの二つで構成されています。

ハードウェア プラクティス

1. すべての V_{CC} ピンおよび GND ピンをプリント基板に正しく接続する
2. すべての V_{CC} ピン (V_{CCINT} および V_{CCIO}) をデカップリングする
3. 完全同期設計手法を用いる
4. 入力ピンをフローティングさせない
5. LED 使用時にはシンク電流で駆動する
6. 高速出力ピンを終端する
7. ピンにプルダウン抵抗を付けない
8. I/O 電圧が V_{CCIO} を超えてはいけない
9. プリント基板に JTAG ピンを搭載する
10. 内部で終端されている JTAG ピンを外部で終端処理しない
11. レギュレータ電流を確保する
12. V_{CCINT} の後に V_{CCIO} を投入する (可能な場合)

ファミリ別のハードウェア プラクティス

- CoolRunner-II: 入力信号の低速遷移にシュミットトリガ入力を用いる
- XPLA3: JTAG ポートピンのイネーブル方法を正しく理解して設定する
- XC9500/XL/XV: クリティカルでない信号には低電力モードを適用する

デザイン ソフトウェア プラクティス

1. レポート ファイルの警告メッセージに目を通す
2. 完全同期設計手法を用いる
3. タイミングの範囲や警告に精通しておく
4. CPLD のフィッター レポートの論理方程式を確認する

© 2005 Xilinx, Inc. All Rights Reserved. XILINX、Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。

5. I/O ピンは常に正しく設定する (LVCMOS 3.3、LVCMOS 1.8 など)
6. デザイン ソフトウェアを使用して、できるだけ自動でピン配置する
7. デザイン シミュレーションを確実に行う

各項目の詳細

ここで、ハードウェア プラクティスおよびソフトウェア プラクティスについて詳しく説明します。前に示した順で、まずハードウェア プラクティスについて解説します。

ハードウェア プラクティス

1. すべての V_{CC} ピンおよび GND ピンをプリント基板に正しく接続する

ザイリンクスの CPLD は、余剰な V_{CC} やグランドピンを備えていません。CPLD の全ピンが使用され、デバイス全体に必要な電源を供給します。各 V_{CCINT} ピンがカバーするデバイスの範囲は特定できないので、ピンを未接続にするのは危険です。 V_{CCIO} ピンはダイの特定の I/O 部分に適用されますが、接続しないとソースのリーク電流を招く場合があり、デバイス内の他の部分とのバランスがくずれてしまいます。同様に、グランド ピンは全ピンで動作させることに意味があるため、未使用ピンがあると、全体のパフォーマンスに影響を与えます。ピンをフローティングにすると、消費電力が増加し、グランド バウンスのノイズ耐性に影響します。つまり、すべての V_{CC} および GND ピンを接続することが、極めて明確で容易な方法となります。

2. すべての V_{CC} ピン (V_{CCINT} および V_{CCIO}) をデカップリングする

ザイリンクスのすべての CPLD は高速用にデザインされています。その特性を生かすためには、内部電流を常に適切に保つ必要があります。この条件を満たす最善策は、外部にデカップリング キャパシタを使用して、内部パスが高速で切り替わる際にサージ電流を供給することです。さらに、デカップリングによってノイズの影響を受けた余分なソースが除去されて、他の高速切り替え回路と共有の電源供給レールを通ります。各 V_{CCINT} および V_{CCIO} ピンに対して、高周波数、低周波数両方のデカップリングが必要です。選択に関する詳細は、XC9500/XL/XV ファミリは XAPP112 を、CoolRunner ファミリは XAPP377 および XAPP378 を参照してください。最適なデカップリング方法は、 V_{CC} - GND ライン間を直接接続し、できるだけデバイスに近接させることです。通常は、デバイス下部、ピン/ボールの真下が最適な場所です。

3. 完全同期設計手法を用いる

学校の教科書では、同期デザイン手法を用いて順次デザインすることの大切さを説いていますが、設計者の多くがこの教えに耳を傾けません。同期デザイン手法はもともと基本的なものです。同期設計手法を用いた場合、クロック イベントは 1 回で、立ち上がりエッジまたは立ち下がりエッジのいずれかとなり、両方ではありません。また、非同期セットやリセットはありませんが、最初に一度だけ、グローバル信号の初期化で発生する場合があります。P ターム クロック、P ターム セットおよびリセットは、同期デザイン手法を使用した回路設計では、あまり目にすることはありません。

しかしながら、独立した 2 つのロジック領域の、速度の異なるフリー ランニング クロックを内部接続しなければならない場合が発生することがあります。その場合の最良の処理方法は、別のクロックドメインを持つそれぞれの領域を、データなどの情報の受け渡しを除き、正確に同期させることです。インターフェイスとしては、情報の受け渡しを処理する独立した同期リソースが必要になります。FPGA デバイスでは、独立した read および write クロックを備えた FIFO 機能がこの処理を行います。FIFO を生成するメモリを持たないため、CPLD は小型の FIFO をレジスタで構成して使用するか、あるいは書き込んだデータを読み出して維持する交換レジスタを代わりに使用します。場合によっては、これを非同期に実行する必要があります。それでも回路設計に不具合が生じた場合には、インターフェイスに問題があることが確実にわかります。

通常は、異なるクロックソースのクロックや、同じソースのクロックの立ち上がり立ち下がり自由に混在させてはいけません。

4. 入力ピンをフローティングさせない

基本的なことですが、入力ピンをフローティングにすると、CPLD の消費電流が増加します。1 本のフローティング入力に対して I_{CC} から 1 ~ 2mA 使用され、CPLD 内部へノイズを流してしまいます。フローティング状態を終端するにはいくつかの方法があります。最も柔軟性に優れているのは、XC9500/XL/XV および CoolRunner-II のソフトウェア切り替えとして使用可能な「ユーザープログラマブル グランド」を使用する方法です。今後も使用しないピンであれば、外部でグランドに接続する方法もあります。強度のプルアップを使用してピンを High に駆動することもできますが、コストがかかります。ソフトウェアを切り替える方法が容易でコストもかかりません。

5. LED 使用時にはシンク電流で駆動する

ザイリンクスの CPLD には、グランドへの N チャネル FET 出力があります。一般的に、N チャネル抵抗は、P チャネル抵抗に比べ、駆動力が高いとされています。N チャネル抵抗は、通常、LED ドライブを使用した電流量の多いデザインに適応されます。LED ドライブに関する詳細値は、ザイリンクスのデータシート [XAPP805](#) を参照してください。最善策は、ピンを LED カソード接続し、そのバンクの V_{CCIO} にアノード直列終端することです。この方法は、LED ディスプレイの高輝度化にも効果的です。

6. 高速出力ピンを終端する

ザイリンクスの CPLD デバイスはすべて高速で動作し、どのような入力に対しても迅速に動作対応するよう設計されています。低速のスイッチ入力に対しても、高速で対応します。直列終端は、最もコストがかからない終端方法ですので、ぜひ考慮してください。0 インピーダンスとなる場所を特定することで終端が実行でき、必要に応じて抵抗の挿入や除去、プリント回路基板でトレースもできます。除去するよりも、挿入の方が大変です。基礎的詳細は、XC9500/XL/XV の場合は [XAPP115](#) を、CoolRunner の場合は [XAPP379](#) を参照してください。

7. ピンにプルダウン抵抗を付けない

すべてのザイリンクス CPLD には、単なる I/O バッファとしてだけでなく、I/O ピンに回路がついています。これには ESD や、電流の増加に対応する回路が含まれます。次はその具体例です。

- XC9500 には電源投入時の High-Z
- XC9500XL/XV には電源投入時の High-Z およびキーパ ラッチ
- XPLA3 には電源投入時の High-Z およびハーフ ラッチ
- CoolRunner-II には電源投入時の High-Z およびキーパ ラッチ

プルダウン抵抗は、内部ピンの動作に対応しようとして、外部プルダウンの影響を受け、誤動作を招く可能性があります。誤動作を避けるため、ピンにプルダウン抵抗を使用しないでください。

8. I/O 電圧が V_{CCIO} を超えてはいけない

バンクの V_{CCIO} を超えるピン電圧を駆動するのはお勧めできません。電流がレギュレータにリパースして流れ込み、動作に影響を及ぼすためです。また、接続デバイスにも影響を及ぼす場合があります。過剰駆動は駆動中の当該デバイスのリークを増加させます。場合によっては、CPLD の寿命に影響を及ぼす場合があります。駆動電圧の max 値がデバイスのデータシートに記載されていますので、確認してください。

9. プリント基板に JTAG ピンを搭載する

プリント回路基板上に CPLD が実装されている場合、テストには JTAG ピンが必要です。ピンがないと、テストが必要な場合に非常に困難になります。予期せぬ問題に備えるため、プリント回路基板にあらかじめピンを用意しておくことをお勧めします。すると、iMPACT 用ケーブルやパラレルケーブル IV などを使用して、JTAG テスト プローブを使用したテストが可能になり、JTAG INTEST や EXTEST を使用した技術により、内部動作や外部接続を確認できます。JTAG を設計の安全策として考えてみてください。

10. 内部で終端されている JTAG ピンを外部で終端処理しない

IEEE 1149.1 には、JTAG 対応デバイスは、デバイスからの内部プルアップ TDI および TMS 信号を備えなくてはならないと記載されています。TCK および TDO には、複数のテスト トポロジに対

する要件はありませんが、TDI および TMS の外部終端は、TDI および TMS にプルダウン抵抗を使用している場合には特に JTAG チェーンに弊害をもたらします。プルダウンでは、スイッチ領域に対して TDI および TMS ピンにバイアス電圧をかける場合があるため、ノイズ耐性に影響が出ます。また、デバイスの消費電力を増加させます。外部プルアップは全体の電流引き込みを増幅させ、同時に CPLD 内に抵抗がかかり、結果として全体の抵抗を抑えます。

11. レギュレータ電流を確保する

CPLD デバイスは、電源投入時に一定の電流を必要とします。レギュレータの劣化は CPLD の不正コンフィギュレーションの原因となり、動作に悪影響を及ぼす場合があります。消費電力概算ツールを使用して、電源投入時ではなく、安定時の動作状態を確認できます。XPower、電力概算計算式またはエクセルを使用して、作業中のデザインから算出された値を元にレギュレータを決定すると、非常に低い値が選択されます。レギュレータの選択は、特定のデザインに対して実験的に行い、デザイン プロセス中に吟味します。値の高いものに対しては、ピン互換性のあるレギュレータを選択するのが賢明です。そして、デザインを完成させながら、確実に動作を確認します。その際、余剰電流があると、将来的なデザイン変更役に役立ちます。

12. V_{CCINT} の後に V_{CCIO} を投入する (可能な場合)

電源投入シーケンスによってザイリンクスの CPLD デバイスが破壊されることはありませんが、生成された内部信号が、電源投入時に伝播され、他の回路に影響を及ぼす可能性がないわけではありません。この影響を抑えるためには、 V_{CCINT} を最初に投入し、コンフィギュレーションが完了してから V_{CCIO} を投入する方法が最も簡単です。この方法に従うと、内部のコンフィギュレーションプロセスが完了するまでは I/O バンクに電源が供給されません。ザイリンクス CPLD の電源投入の詳細については [XAPP440](#) を参照してください。

ファミリ別のハードウェア プラクティス

CoolRunner-II: 入力信号の低速遷移にシュミット トリガ入力を用いる

低速の信号にノイズがあると、システム デザインに影響を及ぼします。高速の CoolRunner-II CPLD は、グリッチおよび低速信号に対応しますが、システムに転送されるため、新たな問題を引き起こす可能性があります。この問題は、入力ピンにシュミット トリガ機能を適用することによって簡単に解決できます。不安定な信号は、正確なエッジを伴って他のデバイスに転送されます。この動作は、デザイン ソフトウェアおよびアーキテクチャによって、ピンごとに実行されるため、デザイン プロセス中に容易に試すことができます。

CoolRunner XPLA3: JTAG ポートピンのイネーブル方法を正しく理解して設定する

ポート イネーブルは、CoolRunner XPLA3 評価ボードのピンで、JTAG 処理に対して 4 本の JTAG ピンを I/O として使用できます。プログラムやテストの際に JTAG ピンは不要で、4 本のピンはリクレームできますが、ポート イネーブルは正確に処理してください。詳細については [XAPP343](#) を参照してください。

XC9500/XL/XV: クリティカルでない信号には低電力モードを適用する

繰り返しになりますが、ザイリンクス CPLD は高速で動作し、これには感度増幅器をベースとした XC9500/XL/XV デバイスが含まれます。デザイン ソフトウェアで低電力マクロセル スイッチを使用すると、低電力で低ノイズの頑強な設計が容易に実現できます。この機能を使用することでわずかに処理スピードが速まりますので、最高速での動作が不要なロジックに適用してください。しばしば、デザイン全体の 80% に及ぶ場合があります。利点としてはさらに、低消費電力、低ノイズ、低電力マクロセルにヒステリシスが追加されたことが挙げられます。デザイン ソフトウェアでは、これらが自動的に行われますので、非常に簡単に試すことができます。

デザイン ソフトウェア プラクティス

ここで、話題の焦点をソフトウェア デザイン プラクティスに移します。

1. レポート ファイルの警告メッセージに目を通す

ザイリンクスのデザイン ソフトウェアの利点として、コンパイル時に問題を予測できることが挙げられます。<design>.rpt ファイルというテキスト形式のレポート ファイルで、自由に調べて確認ができます。このファイルは CPLD レポート ファイルとも呼ばれ、リソース サマリ、すべてのデザイン論理方程式、コンパイル条件に指定した制約サマリが含まれています。このレポートから、CPLD アーキテクチャに則り作成したデザインが、ソフトウェアでどのように配置されたかを正確に確認できます。また、確認が必要な警告メッセージのサマリも含まれています。

回路図を使用した設計でも HDL を使用した設計でも、ザイリンクスの配置機能によって、アーキテクチャに特化したネットリストおよび JEDEC ビットストリームのネットリストを出力できます。作業をしながら内容の確認ができ、警告メッセージのリストをさかのぼって不具合を調べることができます。警告メッセージを調べることで、作業中のデザインに問題があるかどうかわかります。最大の成果を得るには、警告メッセージを確認し、必要なアクションを取っておくことが大切です。

2. 完全同期設計手法を用いる

この件は、ハードウェア プラクティスの説明でも出てきたことにお気づきと思います。作業中のデザインが、気づかないうちに途中で「非同期」になっていないか確認するため、同期設計手法はソフトウェア プラクティスにおいても必要です。HDL 記述は多義的なため、解釈に差がでる場合があります。同期的に設計したはずが、後で違っていたということも考えられます。CPLD のレポート ファイルは、アーキテクチャ上のロジック配置を明確に確認するのに最適で、具体的には、グローバルクロックをいくつ使用し、どこでいつ非同期 P ターム リソースを使用しているかなどが確認できます。ゲート付き P ターム クロックは、問題となりますので入念に確認してください。これらはすべてハイ レベル デザインでさまざまな最適化を実行していく上でのよい目安となります。最良の結果が HDL レベルで編集され、最終デザインの「同期」デザインとして改善されるのです。そのためには、警告メッセージも大切です。

3. タイミングの範囲や警告に精通しておく

CPLD の タイミング レポートには、ユーザーのデザインのパフォーマンスが見やすくまとめられています。CPLD レポート ファイルとは別のエクセルフォーマットで、デザイン内のそれぞれのパスのタイミングが確認できます。ハイレベル サマリには、スピードの上限が記載され、警告サマリや問題点が指摘してあります。ユーザーは、コンパイル後に、余剰スピードやダメージについて見積もることができます。また、レポート内容を理解することによって、デバッグの負荷を軽減できます。

4. CPLD のフィッタ レポートの論理方程式を確認する

前述のように、CPLD フィッタ レポートにはアーキテクチャに対して実際にデザインをどう配置するかが示されており、JEDEC ファイルの追従ファイルです。アーキテクチャにおいて、デザインのどの部分が重点的に扱われているかを確実に押さえておくと、深い理解や改善が必要な場所をただちに見つけ出すことができます。低電力消費やデザイン ソフトウェアの切り替え設定などの主要な要因については、ほとんどの場合、レポート下部のオプションのサマリで確認できます。

5. I/O ピンは常に正しく設定する (LVCMOS 3.3、LVCMOS 1.8 など)

CPLD デバイスは、何 V の電圧が必要なのかがわかりませんので、外部接続によって設定し、設計中にデザイン ソフトウェアでも設定しておきます。ソフトウェアでは、内部プログラム ビットが設定され、I/O ピンで適切にトランジスタがコンフィギュレーションされたかを確認するので、ピンが正しく駆動されます。この作業は、設計者の責任において実行してください。

6. デザイン ソフトウェアを使用して、できるだけ自動でピン配置する

ザイリンクスのデザイン ソフトウェアは、ユーザーに代わって、I/O ピンの割り当てが最適に実行されるよう記述されています。つまり、ファンクション ブロックの内部クラスタ ロジックが、信号を最大限に再利用できるということです。また、ファンクション ブロック入力やロジック リソースの多用を避け、将来デザイン変更が必要になった場合に使用可能なリソースを備えておくことができます。何年も市場に出回るデザインの場合には、変更の要求に合わせて何度も更新される可能性があるため、この点は特に重要です。ソフトウェアを自力で書き換え、ピン配置を実行する場合に

は、将来的な編集の責任はすべて設計者の腕にかかっています。現在のデザイン ソフトウェアは、過去 12 年間の開発者のさまざまな経験を踏まえていますので、自力でそれ以上の成果を上げるには、大変な技術が必要とされます。

7. デザイン シミュレーションを確実に行う

デザイン シミュレーションで、作業中のデザインにかかる作業負荷が概算できます。また、デザインのスタティック モデルしかない場合の、タイミングおよびフィッター レポート ファイルで見落とされたタイミングの問題を確認したり、さまざまな環境条件に対してのシミュレーションもできます。たとえば、低温でデザインを実行した際に、デバイスが高速で動作しようとする点です。高温でデザインを実行する場合には、低速で動作してください。対象デバイスに異なるスピード グレードの設定が可能なので、スピード グレードを変えて、高温、あるいは低温モデルでデザイン通りに動作するかを、シミュレーションできます。スピード グレードを変えてシミュレーションを実行すると、非同期の場合に別の動作が確認できます。概してシミュレーションの実行には手間がかかりますが、デザインの不具合をデバッグする方が大変です。

まとめ

安定したデザインとは、周到な事前準備をすることにほかなりません。異なる電圧、温度、ノイズや複数の環境変数に対応し、動作するデザインこそが優れたデザインといえます。NASA (米国航空宇宙局) が月面着陸に成功した際にもチェックリストが使用されていたことから、この手法の有効性が実証されています。日々のプログラマブル ロジック デザインには特に差はありません。勝算は、「スピード」にあるのではなく、むしろ「手法」にあるのです。

その他の情報

[CoolRunner-II データシート、アプリケーション ノートおよびホワイト ペーパー](#)

[そのほかの CPLD データシート、アプリケーション ノートおよびホワイト ペーパー](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

| 日付 | バージョン | 改訂内容 |
|----------|-------|--------|
| 06/28/05 | 1.0 | 初期リリース |