



XAPP792 (v1.0.1) 2012 年 10 月 16 日

Zynq-7000 All Programmable SoC を使用した高性能ビデオ システムの設計

著者 : James Lucero、Ygal Arbel

概要

ザイリックス Zynq™-7000 All Programmable SoC などのハイエンドなプロセッシング システムを使用する場合、プロセッシング システム (PS) およびデバイス内で PS に接続されたカスタム ペリフェラルの性能をフルに引き出すことが求められます。その一例が複数のビデオ パイプラインです。このシステムでは、ライブのビデオ ストリームがメモリに書き込まれ (入力)、プロセッサがこのメモリにアクセスしてライブ ビデオ ストリームを読み出し、送ります (出力)。このアプリケーション ノートでは、Zynq-7000 AP SoC メモリ インターフェイス、プログラマブル ロジック (PL) 内にインプリメントされた AXI マスター インターフェイス、そして ARM® Cortex™-A9 プロセッサのそれぞれから高い性能を引き出すことを焦点としたデザインの基本原則を解説します。

ビデオ システムでは、フレーム落ちやフレーム破損が発生しないように、ワースト ケースにおけるレイテンシを保証する必要があります。レイテンシが低く、Zynq-7000 AP SoC メモリ インターフェイスに直接アクセスする高速の AXI マスター インターフェイスを PL 内で実現するには、高性能 (HP) インターフェイスへの接続が必要です。Zynq-7000 AP SoC は、高スループットを得るよう設計された 64 ビットまたは 32 ビットの AXI3 スレーブ インターフェイスを 4 つ、HP インターフェイスとして備えています。

デザインでは 3 つの AXI ビデオダイレクト メモリアクセス (VDMA) エンジンを用い、6 つのストリームを同時に転送します (3 つの送信ビデオ ストリームと 3 つの受信ビデオ ストリーム)。各ストリームのフォーマットは 1920 x 1080 ピクセルで、リフレッシュ レートは 60Hz、ピクセルあたりのデータビットは最大 32 ビットです。各 VDMA は、ビデオ テスト パターン ジェネレーター (TPG) によって駆動され、このとき必要なビデオ タイミング信号は Video Timing Controller (VTC) コアが設定します。AXI VDMA によって読み出されたデータは、複数のビデオ ストリームを単一の出力ビデオ ストリームに多重化またはオーバーレイ処理する、共通の On-Screen Display (OSD) コアに送信されます。そして、この OSD コアの出力が、ボード上の HDMI ビデオ ディスプレイ インターフェイスを駆動します。

性能データを収集するために、パフォーマンス モニター コアが追加されています。3 つの AXI VDMA はいずれも AXI インターフェイスによって 3 つの個別の HP インターフェイスに接続され、Cortex-A9 プロセッサで制御されます。このデザインは、メモリ コントローラー帯域幅の 70% を使用します。

リファレンス システムは、Zynq-7000 ZC702 評価ボードをターゲットにしています。

含まれるシステム

デザインは、ISE® Design Suite System Edition に含まれる Xilinx Platform Studio (XPS) PlanAhead™ ツールのバージョン 14.2 を使用して作成および構築されています。XPS は、IP コアをインスタンスエート、コンフィギュレーション、および接続して複雑なエンベデッド システムを構築する作業を簡略化します。デザインには、ザイリックスのソフトウェア開発キット (SDK) を使用して構築されたソフトウェアも含まれます。このソフトウェアは Zynq-7000 AP SoC プロセッシング システム上で動作し、制御機能をインプリメントします。このアプリケーション ノートは、PlanAhead、XPS、SDK ツールの完全なプロジェクト ファイルを提供しており、これらをデザインの検討および再構築に活用したり、新規デザイン着手時のテンプレートとして使用したりすることができます。

アプリケーション ノート付属の ZIP ファイル xapp792.zip には、リファレンス システム zc702_video_3x_pipeline/ が含まれます。

はじめに

ザイリンクスが提供する AXI IP コアを活用して、高性能のビデオシステムを作成できます。AXI インターコネク、Zynq-7000 AP SoC 上の AXI3 ポート、AXI VDMA IP コアを使用することで、複数のビデオ ストリームの処理や、共通の DDR3 SDRAM メモリを共有する複数のビデオ フレーム バッファに対応できるビデオ システムの基盤が構築可能です。AXI は ARM 社の AMBA4 および AMBA3 AXI 仕様に基づいて標準化された IP インターフェイスプロトコルです。このサンプル デザインが使用する AXI インターフェイスは、AMBA4 および AMBA3 AXI 仕様 [参照 1] に記載された AXI4、AXI3、AXI4-Lite、AXI4 Stream の各インターフェイスで構成されています。これらのインターフェイスは、デザインを構築するための共通した IP インターフェイス プロトコルのフレームワークを提供します。

Zynq-7000 AP SoC 上の AXI インターコネクと AXI HP ポートを組み合わせることで、複数のデバイスが共通のメモリ コントローラーを共有するアプリケーション向けに、高帯域幅、高性能のメモリ システムをインプリメントします。これは、複数のソースからのデータが共通のメモリ デバイス (通常、DDR3 SDRAM メモリ) を介して移動する、ビデオ、エンベデッド システム、通信のアプリケーションの多くに見られる要件です。

AXI VDMA は、フレーム バッファ機能、スキャッター ギャザー、2 次元 (2D) DMA 機能を備えた、ビデオに最適化された高性能 DMA エンジンを実装します。AXI VDMA は、メモリとの間でビデオ データ ストリームを送受信し、動的ソフトウェア制御モードまたは静的コンフィギュレーション モードで動作します。

Zynq-7000 AP SoC PS は、PL を含むシステム全体にクロックとリセット信号を供給します。システムの高度な制御は、Cortex-A9 プロセッサによって Zynq-7000 AP SoC の PS 内で提供され、I/O ペリフェラル (IOP)、オンチップ メモリ (OCM)、プロセッサ サポート IP コアが使用されます。性能とエリア使用率のバランスをとるようにシステムを最適化するには、複数の AXI インターフェイス コアを使用し、AXI インターフェイス コアを個別に調整および最適化して、セグメント化/階層化された AXI インターフェイス ネットワークを実装します。

ハードウェア要件

リファレンス システムのハードウェア要件は次のとおりです。

- ザイリンクス ZC702 Rev 1 評価ボード (JTAG モードで使用)
- Type-A/Mini-B の 5 ピン USB ケーブル 2 本
- HDMI™ ケーブル
- 1080p 解像度 (60 フレーム/秒で解像度 1920 x 1080) をサポートするディスプレイ モニター

このリファレンス システムを構築し、ダウンロードするには、次のソフトウェア ツールを実装しておく必要があります。

- PlanAhead ツール、バージョン 14.2
- Platform Studio 14.2
- ISE Design Suite 14.2
- SDK 14.2

リファレンス システム仕様

リファレンス システムには、Zynq-7000 AP SoC PS、AXI_INTERCONNECT、クロック ジェネレーター、AXI_VTC、AXI_TPG、AXI_VDMA、AXI_PERF_MON、AXI_OSD、HDMI インターフェイスの各コアが含まれます。

Zynq-7000 AP SoC PS 内のプロセッサまたは DMA コントローラー (DMAC) は、32 ビットの AXI3 マスター インターフェイスである AXI 汎用 (GP) インターフェイスを介して、PL 内の AXI スレーブ インターフェイスにアクセスできます。S_AXI_GP_x インターフェイスは S_AXI_HP_x インターフェイスに比べて性能が劣るとされており、ここでは使用しません。このデザインでは、デザイン内のスレーブ レジスタ用に AXI GP インターフェイスを 1 つ (M_AXI_GP0) だけ使用します。

図 1 に、リファレンス システムのブロック図を示します。

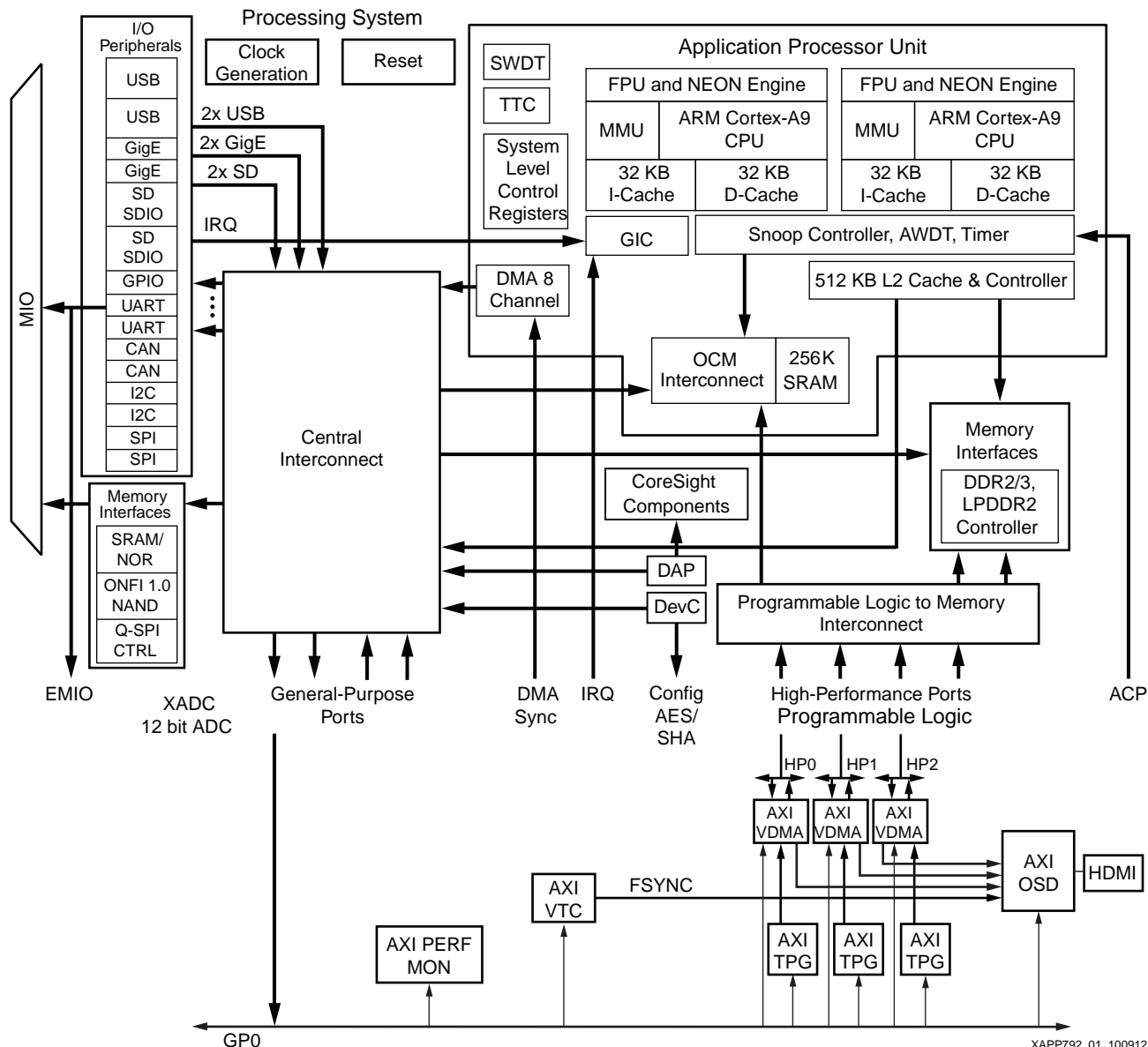


図 1：リファレンス システムのブロック図

注記：図 1 のブロック図には、VFBC から AXI Stream のブロックは示していません。

表 1 に、システムのアドレス マップを示します。

表 1：リファレンス システムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
processing_system7	eps7_0 (M_AXI_GPO)	0x40000000	0x7FFFFFFF
processing_system7	eps7_0 (S_AXI_HP0)	0x00000000	0x3FFFFFFF
processing_system7	eps7_0 (S_AXI_HP1)	0x00000000	0x3FFFFFFF
processing_system7	eps7_0 (S_AXI_HP2)	0x00000000	0x3FFFFFFF
axi_vtc	axi_vtc_0	0x53800000	0x5380FFFF
axi_osd	osd_0	0x43A00000	0x43A0FFFF

表 1: リファレンス システムのアドレス マップ (続き)

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
axi_tpg	axi_tpg_0	0x5EE00000	0x5EE0FFFF
axi_vdma	axi_vdma_0	0x40000000	0x4000FFFF
axi_tpg	axi_tpg_1	0x5EE10000	0x5EE1FFFF
axi_vdma	axi_vdma_1	0x40010000	0x4001FFFF
axi_tpg	axi_tpg_2	0x5EE20000	0x5EE2FFFF
axi_vdma	axi_vdma_2	0x40020000	0x4002FFFF
axi_perf_mon	perf_axi_mon_0	0x41000000	0x4100FFFF

ハードウェア システム仕様

このセクションでは、メイン IP コアおよび Zynq-7000 AP SoC PS の設定方法など、リファレンス デザインの高度な機能について説明します。IP の便利な機能、性能とエリアのトレードオフ、その他の設定などの情報についても解説します。これらの情報はビデオ システム向けですが、システム性能の最適化に用いられている原則は高性能 AXI インターフェイスに基づくデザインに幅広く適用できます。AXI システムの最適化および設計上のトレードオフに関する詳細は、『AXI リファレンス ガイド』(UG761) を参照してください。このアプリケーション ノートは、Zynq-7000 AP SoC プラットフォーム、AXI プロトコル、PlanAhead および XPS ツールに関する一般的知識を備えた設計者を前提としています。XPS ツールの詳細は、『EDK コンセプト、ツール、テクニック：効率的なエンベデッド システム構築をサポートするハンディガイド』(UG683) を参照してください。

Zynq-7000 AP SoC PS

Zynq-7000 AP SoC PS は、Cortex A9 プロセッサを 1 つ、IIC (MIO インターフェイス) を 1 つ、UART (MIO インターフェイス) を 1 つ、Zynq-7000 AP SoC メモリ インターフェイス (AXI3 インターフェイス) を使用できるように設定されています。これらは、SDK ツールで作成される FSBL (ファースト ステージ ブート ローダー) によって有効化されます。

Zynq-7000 AP SoC PS は、PS と PL の両方にクロックとリセット信号を供給します。このデザインで使用するクロック信号の周波数は、表 2 を参照してください。

表 2: リファレンス システムのクロック周波数

エレメント	クロック周波数 (MHz)
プロセッサ	666
32 ビット DDR3 メモリ コントローラー	533
高速 AXI インターフェイス (S_AXI_HP0, S_AXI_HP1, S_AXI_HP2)	150
低速 AXI インターフェイス (M_AXI_GP0)	75
64 ビット メモリ インターコネクタ	355
32 ビット マスターおよびスレーブ インターコネクタ	222

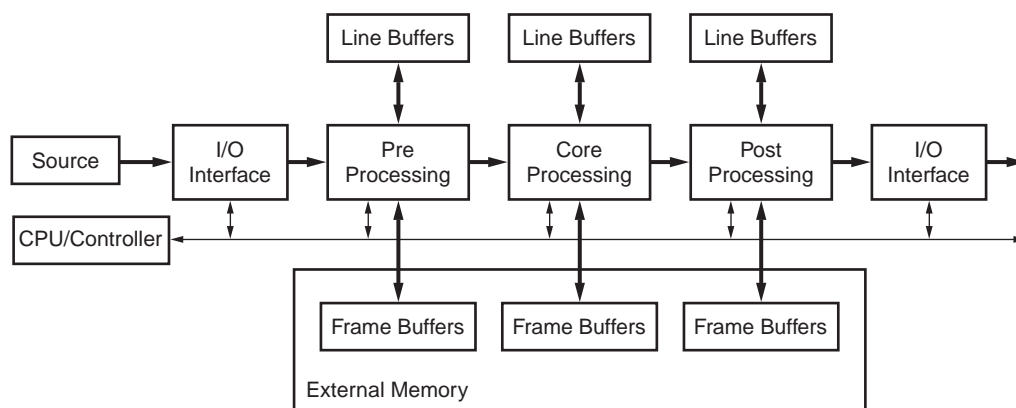
Zynq-7000 AP SoC PS 内のクロック周波数とインターコネクタに関する詳細は『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585) を参照してください。

ビデオ関連の IP コア

このリファレンス デザインは、1080P60 (60 フレーム/秒の 1920 x 1080 フレーム) で動作するビデオ パイプラインを 3 つインプリメントします。各フレームは、RGBA やアルファ チャネル情報を含む YUV 4 4 4 などのハイエンド高品位ビデオ ストリームを表示する、4 バイト/ピクセルで構成されます。ビデオ パイプラインは、それぞれ約 4Gb/s に相当する 497.6MB/s の帯域幅を必要とします。

ビデオトラフィックは TPG IP コアで生成され、OSD コアによって表示されます。生成されるトラフィックの読み出し/書き込みの総帯域幅は 6 個のビデオストリームに相当し、ほぼ 3GB/s (24Gb/s) を必要とします。

このアプリケーション ノートでは、高精細度のビデオストリームを 6 個用いた AXI システムの性能を具体的に説明します。ビデオシステムには最低限、ソース、何らかの内部処理、およびデスティネーションが含まれます。それらは、さまざまな IP モジュールを用いた複数の工程での内部処理を可能にします。図 2 に示すような標準的なビデオシステムは、多くの場合、入力、前処理、メイン処理、後処理、および出力の工程で構成されます。図に示されているビデオ工程の多くで、ビデオレートでのメモリアクセスが必要です。ビデオデータは、内部処理工程の要求に従って、メモリとの間で転送されます。このアプリケーション ノートでは、内部ブロックメモリのトラフィックを、一連のテストパターンジェネレーターによって生成し、代表的な状態をシミュレーションします。



X792_02_091312

図 2 : 標準的なビデオ システム

AXI インターコネクタ (AXI_INTERCONNECT_GP0_MASTER) のインスタンス

AXI_INTERCONNECT_GP0_MASTER のインスタンスは、Zynq-7000 AP SoC PS によるスレーブレジスタへのアクセスを可能にするバスに共有バス トポロジを適用することで、エリアに対して最適化されています。Cortex-A9 プロセッサは制御およびステータス情報取得のために、デザイン内のすべての AXI4-Lite スレーブレジスタに対して書き込みと読み出しを実行します。また、デザインのこの部分は、システムのほかの部分よりも低速の 75MHz クロックで駆動します。

AXI インターフェイス スレーブは、AXI_VDMA スレーブ インターフェイスの 3 つのインスタンス、AXI_VTC、AXI_PERF_MON、AXI_TPG の 3 つのインスタンス、AXI_OSD が使用します。

AXI インターコネクタ (AXI_INTERCONNECT_HP_x SLAVE) のインスタンス

AXI_INTERCONNECT_HP0_SLAVE、AXI_INTERCONNECT_HP1_SLAVE、AXI_INTERCONNECT_HP2_SLAVE の各インスタンスは高速のマスターおよびスレーブで使用し、高スループット、高 F_{MAX} の最適化が適用されます。高スループットに対応するために、接続モードはクロスバー モードに設定します。これらのインスタンスは、コア データ幅 64 ビット、動作速度 150MHz を提供することで、デザインが最高の F_{MAX} とスループットを実現できるようにします。各インスタンスは 1 つの AXI VDMA (AXI MM2S と AXI S2MM マスター インターフェイス) を 1 つの HP インターフェイスに接続します。マスターとスレーブで高い性能を得る AXI インターフェイスの設定方法については、「AXI VDMA インスタンス」と 6 ページの「Zynq-7000 AP SoC メモリ コントローラー」を参照してください。

AXI VDMA インスタンス

AXI VDMA コアは、メモリ マップされた AXI4 ドメインから AXI4-Stream (およびその逆方向) へのビデオ読み出し/書き込み転送機能を提供するよう設計されています。AXI VDMA コアによって、システム メモリと AXI4-Stream ベースのターゲット ビデオ IP 間的高速データ転送が可能になります。メ

メモリ マップ方式の AXI4 インターフェイスは、AXI インターフェイス間的高速データ転送とバッファer 記述子のフェッチに使用されます。このデザインでは、システム内の SG インターフェイスを不要とするバッファer 記述子に対して、レジスタ直接操作モードを適用します。

デザインは、完全同期フレーム DMA 動作および 2 次元 DMA 転送に対応するよう genlock やフレーム同期などのビデオ固有の機能を備えています。同期動作に加えて、中央プロセッサによる制御を容易にするため、フレーム格納番号とスキッター/ギャザー モードまたはレジスタ直接操作モードを利用できます。

このデザインでは、AXI4 MM2S、AXI4 S2MM、AXI4-Stream MM2S、AXI4-Stream S2MM の各インターフェイスと共に AXI VDMA のインスタンスを 3 つ使用します。さらに、各インスタンスの初期化、ステータス、および管理レジスタには、AXI4-Lite スレーブ インターフェイスを介してアクセスします。

AXI VDMA インスタンスの 32 ビット幅の AXI MM2S インターフェイスおよび AXI S2MM インターフェイスは、AXI_INTERCONNECT_HP_x_SLAVE インスタンスに接続されます。AXI4-Stream インターフェイスは、148.5MHz のクロックで駆動します。これには、IP コアの C_PRRY_IS_ACLK_ASYNC パラメーターを有効にする必要があります。AXI VDMA マスターは 150MHz のクロックで駆動されるため、AXI インターフェイス コアの周波数である 150MHz へのクロック コンバーターは不要です。ただし、32 ビットの AXI4 プロトコルを 64 ビットの AXI3 プロトコルに変換するために、AXI インターフェイス内にプロトコル コンバーターとアップサイザーが必要です。

AXI VDMA のインスタンスは最大バーストが 32 になるように設定されています。AXI3 プロトコルがサポートする最大バーストは 16 です。しかし、Zynq-7000 デバイス上で接続される HP インターフェイスは 64 ビットであるため、このインターフェイスは 64 ビット x 16 データ ビート (32 ビット x 32 データ ビート) の転送サイズをサポートします。さらに、AXI VDMA 内の読み出しおよび書き込み側ライン バッファer は、深さ 8KB のラインを 1 行格納できるように設定されています (1920 x 4 バイト = 深さ 7680 バイト)。

AXI VDMA の AXI インターフェイスでは、Zynq-7000 デバイスに中程度の量のトランザクションを提供できるようにマスター インターフェイスの読み出しおよび書き込みの発行数が 2 に設定されています。さらに、マスター インターフェイスは深さ 512 の読み出しおよび書き込み FIFO を備えており、システム性能を向上し、システム スロットリングのリスクを軽減するために、格納および転送が有効化されています。また、AXI マスター インターフェイスでは 150MHz におけるタイミング要件を満たすよう FULLY_REGISTERED モードを有効にしています。これらの設定は、『AXI リファレンス ガイド』(UG761) に記載されている AXI エンドポイント マスターの性能に関する推奨事項にも従っています。

Zynq-7000 AP SoC メモリ コントローラー

概要

ZC702 ボード上の Zynq-7000 AP SoC メモリ コントローラーは、533MHz のクロックで駆動される 32 ビットの DDR3 コントローラーです。アドレス指定の方法は、行、バンク、列です。メモリ コントローラーのレジスタは FSBL によって自動的に設定されます。

メモリ コントローラーには、AXI_HP から DDR インターフェイスへの接続 (2 つ)、中央インターコネクトからの接続、Zynq-7000 デバイス内の L2 キャッシュ インターフェイスからの接続の計 4 つの直接接続があります。また、これら 4 つのソースとメモリ コントローラー接続との間には、サービス品質 (QoS) 優先度モジュールが配置され、要求を制限することでトラフィック パターンの調整を可能にしています。HP0/HP1 および HP2/HP3 スレーブ インターフェイスは、AXI_HP - DDR インターフェイスを使用し、メモリ コントローラーへの直接接続を共有します。このデザインでは、HP0/HP1/HP2 スレーブ インターフェイスを使用します。これらのインターフェイスに関する詳細は、『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585) を参照してください。

各 HP スレーブ インターフェイスは 64 ビットで、読み出し/書き込みの受け付け数は 8 です。FIFO は HP インターフェイス内に組み込み済みです。インターフェイスが 150MHz でのタイミングを確実に満たすように、FULLY_REGISTERED モードを有効にしています。これらの設定により、トランザクションのパイプライン処理が効率化され、システム スループットが向上します。

60% を上回る使用率の達成

メモリ コントローラーの使用率を最適化するには、マスター インターフェイスからのトランザクションが別々のバンクで発生し、KB/MB の境界に揃っていなければなりません。ビデオ デザインでは、フレーム バッファへのアクセスが別々のバンクで生じるようにし、動作中はバンクの重複を最小限に抑える必要があります。

このデザインは、ピクセルあたり 4 バイトを使用した 1080P60 (1920 x 1080) の動作をデモンストレーションします。水平ラインはそれぞれ約 8KB (1920 x 4 = 7680) であることから、AXI VDMA のライン ストライドは 8KB 境界に設定します。新しいラインの開始点は必ず 8KB 境界に揃えられます。各フレームの垂直ライン (1080 ライン/フレーム) は、フレームごとに 2KB 境界に揃えられます。したがって、デザイン内の各フレーム バッファは 16MB (8KB x 2KB) 境界に揃えられることになります。

複数のビデオ パイプラインでは、N 個のビデオ デバイスが N 個のフレーム バッファに同じタイミングでアクセスします。これは、フレーム バッファが 16MB の場合、それぞれのビデオ デバイスが、ほぼ同時にほぼ同じアドレス [23:0] に対するアクセスを要求することを意味します。デフォルトのアドレス マップではバンク選択アドレスはビット [14:12] に割り当てられているため、これらも同じアドレスになります。したがって、バンクが同じでページが異なるアクセス要求では、毎回フル ページ ミスというオーバーヘッド (プリチャージ - アクティブ化 - 読み出し/書き込み) が発生します。これは、DRAM の効率を著しく低下させます (40 ~ 50% の範囲)。

ZC702 ボードのメモリ コントローラーは、この DDR アドレス構成を用いて行 (13 ビット)、バンク (3 ビット)、列 (10 ビット)、およびワード選択 (2 ビット) を使用するよう設定されています。

DDR_ADDR[27:15]	行
DDR_ADDR[14:12]	バンク
DDR_ADDR[11:0]	列/ワード

AXI マスターのアドレスは、各フレーム バッファがそれ自身のバンク内に確実に配置されるように並べ替えられます。各フレーム バッファは 16MB 境界に位置合わせされているため、アドレス空間 [23:0] を表すために 24 ビット、バンク [26:24] を表すために 3 ビットを必要とします。AXI アドレスビット [26:24] は DDR アドレスでは [14:12] に移されます。このように並べ替えられた AXI マスターアドレスは次のようになります。

```
axi_addr[31:27] axi_addr[23:12] axi_addr[26:24] axi_addr[11:0]
```

このアプリケーション ノートでは、AXI インターフェイスに対する AXI マスター アドレスを並べ替えるために追加の EDK IP コアを作成しました。この並べ替えでは、プロセッサまたはソフトウェアがアドレスの並べ替えを処理する必要があります。

注記: この IP コアは、このアプリケーション ノートに一例として挙げるものです。

フレーム バッファ

通常の genlock モードで動作する各 AXI VDMA では、一度に 2 つのフレーム バッファがアクティブになり、通常は 1 フレーム バッファ分の遅延が発生します (つまり、読み出し/書き込み動作が同じフレーム バッファ内で発生することはない)。このデザインのトラフィック パターンを確定的にするため、すべての AXI VDMA インターフェイスは同じ FSYNC 信号を共有します。このデザインはフレーム バッファを合計 9 個使用しますが、メモリ コントローラーにはバンクが 8 個しかありません。フレーム バッファは同時に 6 個しかアクティブにならないため、バンクの重複を制限するか、完全に排除するようフレーム バッファの配置は慎重に選択します。

表 3 にフレーム バッファのベース アドレスを示します。BANK5 が AXI VDMA1 の FRAME2 と AXI VDMA2 の FRAME0 に割り当てられています。このデザインは同じ FSYNC 信号を共有し、かつフレーム ポインターがシーケンシャルにインクリメントするため、共有バンクを FRAME0 と FRAME2 (フレーム バッファの反対側両端) に配置すれば、バンク重複の可能性が最小限に抑えられます。

表 3: フレーム バッファのベース アドレス

フレーム バッファ	ベース アドレス	バンク番号
AXI VDMA0		
FRAME0	0x08000000	BANK0
FRAME1	0x09000000	BANK1
FRAME2	0x0A000000	BANK2
AXI VDMA1		
FRAME0	0x0B000000	BANK3
FRAME1	0x0C000000	BANK4
FRAME2	0x0D000000	BANK5
AXI VDMA2		
FRAME0	0x1D000000	BANK5
FRAME1	0x1E000000	BANK6
FRAME2	0x1F000000	BANK7

QoS

未処理 (Outstanding) トランザクションの最大数、ピーク レート、平均レート、バースト レベルを設定し、QoS 制御メカニズムを使用することでインターフェイスからメモリ コントローラーへの要求を制御できます。これは、ビデオ パイプラインを使用し、スロットルが不可の場合に特に効果的です。このデザインでは、プロセッサ トラフィックがビデオ パイプラインをスロットルすることがないため、QoS 機能は使用しません。

AXI VTC

AXI VTC コアは、汎用のビデオ タイミング ジェネレーター兼ディテクターです。このコアの入力側は、水平同期パルスと垂直同期パルス、極性、ブランキング、タイミング、およびアクティブ ビデオ ピクセルを自動検出します。出力側は、標準的なビデオ システムで使用される水平ブランキングと垂直ブランキングおよび同期の各パルスを生成し、プログラム可能なパルス極性をサポートします。

AXI VTC には、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスが含まれます。AXI VTC の詳細は、『LogiCORE IP ビデオ タイミング コントローラー』([DS857](#))を参照してください。

このデザインでは、2 つの AXI VTC インスタンスを、検出機能を無効にして使用します。1 つ目のインスタンスはビデオ パイプラインのビデオ入力部分に対応し、2 つ目はビデオ パイプラインの読み出し部分を構成する AXI OSD に対応します。

VTC v3.0 コアはライセンスを必要とし、CORE Generator™ ツールを使用して生成できます。

AXI TPG

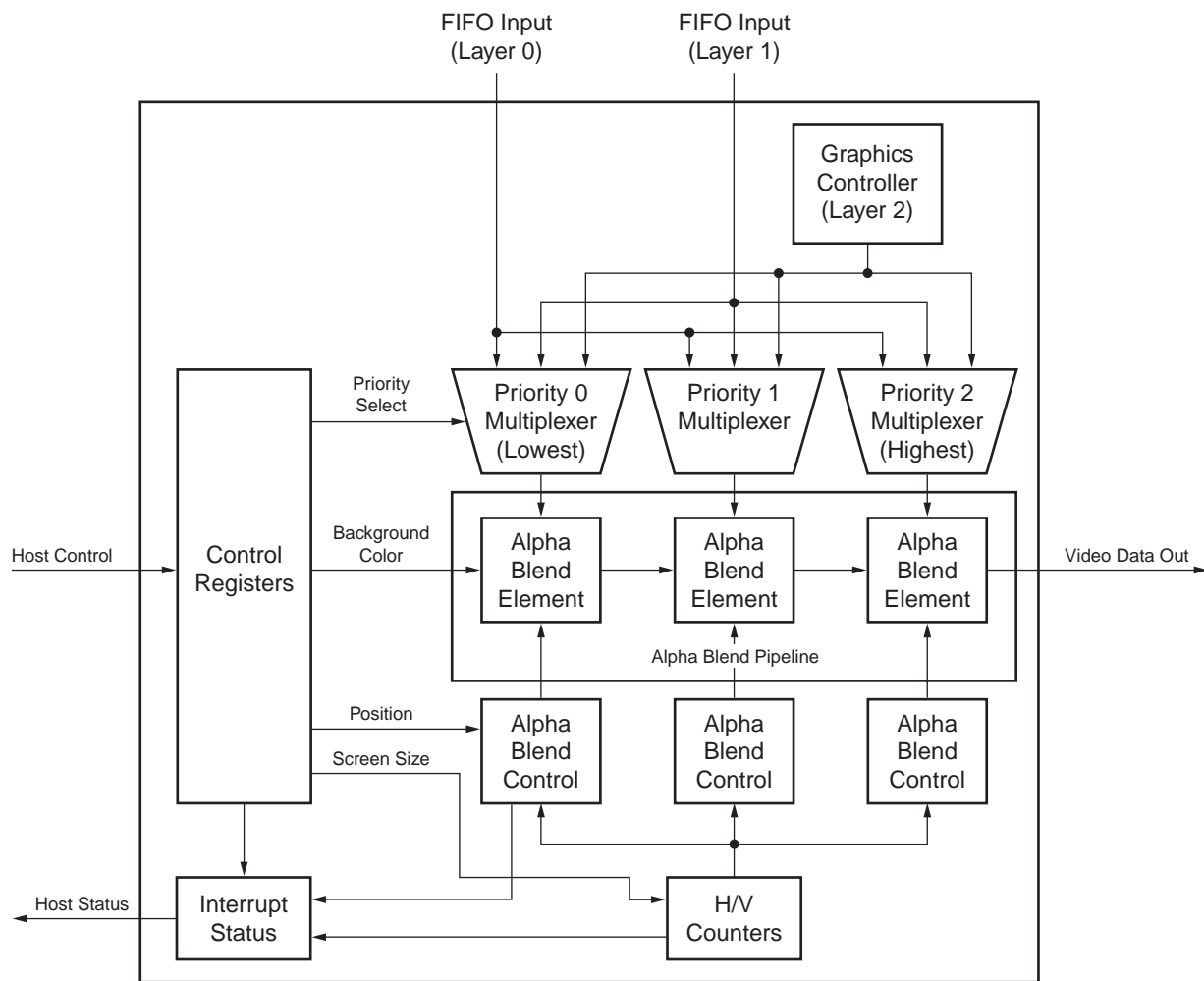
AXI TPG コアには、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスが含まれます。

このデザインでは、DRAM へのビデオ トラフィックが一連の TPG によって生成されます。各 TPG コアは、ビデオ業界で検証およびテストに広く使用されている複数のビデオ テスト パターンを生成できます。ここでは、システム性能を示すために、生成されるトラフィック量のみが重要であることから、TPG をほかのビデオ IP の代用として使用します。制御ソフトウェアは、カラー バー、水平および垂直バースト パターン、ゾーンプレートのパターンを生成します。どのテスト パターンを選択しても、生成されるデータ量は同じ 1080P60 HD ビデオです (60 フレーム/秒の 1920 x 1080 フレーム)。たとえば、YUVA444 1080P60 パターンは、ほぼ 4Gb/s のデータ ストリームに相当する 497.7MB/s のトラフィックを生成します。

ソフトウェア制御によって複数の動作モードが使用可能になります。このアプリケーション ノートの目的から、TPG は常にカラー バーの 1 つ、水平方向周波数スイープ、垂直方向周波数スイープ、ゾーンプレート パターンのいずれかのテスト パターンを生成します。これらのパターンはテスト用であり、放送業界の規格向けにキャリプレートされてはいません。

AXI OSD

AXI OSD コアは、アルファブレンディングや最大 8 つの独立したレイヤーの構成に対応する柔軟なビデオ処理を提供します。OSD コアは、簡単なテキストとグラフィックも生成し、YUVA 4 4 4 または RGBA 画像フォーマットでカラー コンポーネントあたり 8、10、12 ビットの最大 4K x 4K ピクセルの画像を処理できます。このアプリケーション ノートでは、OSD コアによって、5 つのビデオ ストリームを独立した表示用レイヤーとして合成します。TPG コアが生成するビデオ ストリームはソフトウェア制御で有効になるため、ディスプレイには合成済みのレイヤーが重なって表示されます。図 3 に、OSD コアの最上位ブロック図を示します。



X792_03_091312

図 3 : 3 レイヤー OSD のブロック図 (例)

AXI OSD コアには、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスが含まれます。AXI OSD コアの詳細は、『LogiCORE IP Video On-Screen Display』(DS837) を参照してください。

ザイリンクス Video On-Screen Display コアは SignOnce IP サイト ライセンスを必要とし、CORE Generator ツールを使用して生成できます。コアのシミュレーション評価ライセンスも提供しています。

FPGA のビットストリーム生成を含むコアの完全な機能を使用するには、ザイリンクスからフルライセンスを入手する必要があります。

AXI_PERF_MON

AXI_PERF_MON コアは、最大 8 つの AXI インターフェイスにおいて、各種の指標に基づいたバスレイテンシの測定を可能にします。このデザインでは、メトリック カウンター レジスタによって読み出しおよび書き込みバイトを計数するカウンターを 2 つ使用します。

デザインには、3 つのバス モニター インターフェイスがあります。AXI_S_HP0、AXI_S_HP1、AXI_S_HP2 スレーブ インターフェイスを個別にモニターします。サンプル間隔レジスタ (クロック数) は 2 秒間カウントするように設定します。この 2 秒の間に、AXI_PERF_MON コアは AXI インターフェイス上の読み出しバイトと書き込みバイトをモニターし、サンプル間隔カウンターがオーバーフローした時点で、これらの値をメトリック カウンター レジスタに書き込みます。2 秒の間隔が経過したかどうかは、ソフトウェア ルーチンによってサンプル間隔カウンター割り込みビットをポーリングすることで判断できます。

AXI_PERF_MON コアの詳細は、『LogiCORE IP AXI パフォーマンス モニター』(PG037) を参照してください。

ソフトウェア アプリケーション

AXI VDMA ディスプレイ アプリケーション

このソフトウェア アプリケーションはビデオ パイプラインを起動し、リアルタイムで帯域幅を調べながら、LCD 画面上に各レイヤーを個別に表示するか、全レイヤーをアルファブレンディングしたものを表示できます。ソフトウェア アプリケーションは、Zynq-7000 AP SoC PS 内の OCM によって動作します。

ザイリンクス ビデオ IP コア向けのアプリケーションレベルのソフトウェアは、各 IP コア向けに提供されるドライバーを使用して C 言語で作成されています。各コアのプログラマ モデルは、ドライバーが使用する特定の API を記述します。あるいは、アプリケーション レベルで IP コア レジスタを直接使用し、割り込みを処理するようにアプリケーション ソフトウェアを記述することもできますが、アプリケーション レベルでは、提供されたドライバーと制御レイヤーを使用する方がはるかに便利です。

ソフトウェア アプリケーションは次の手順を実行します。

1. ZC702 ボード上の 1080P60 出力用 HDMI ポートを、IIC インターフェイスを介して設定します。
2. デフォルトのグレー パターンを書き込むように TPG インスタンスを設定します。動作は、AXI VTC インスタンスの起動後に開始されます。
3. AXI VDMA インスタンスが起動します。このインスタンスには、AXI VDMA 内のレジスタにバッファ記述子を書き込むプロセッサが含まれます。その後、読み出しチャンネル、続いて書き込みチャンネルを起動し、VDMA インスタンスでの転送を開始します。
4. AXI VTC インスタンスが 1080P60 のタイミング設定で起動します。
5. AXI OSD インスタンスを 1080P 出力用に設定します。
6. デザイン内の 3 つの TPG インスタンスは、カラー バー (レイヤー 0)、ゾーンプレート パターン (レイヤー 1)、垂直方向スイープ (レイヤー 2) を書き込むように設定されます。

初期の設定シーケンス後、番号によるオプション (オプション 0 ~ 3) を選択することで、特定のレイヤーを表示できます。特定のレイヤーの番号を選択すると、そのレイヤーに対するアルファブレンディング値が最大に、その他のレイヤーの値が最小になるように OSD レジスタが変更されます。全レイヤーのアルファブレンディング (オプション 3) を選択した場合は、アルファブレンディング レジスタにレイヤーごとに異なる値が設定され、すべてのレイヤーが同時に LCD 画面上に表示されます。

オプション 4 を選ぶと、DDR3 メモリに対する 32 ビット メモリ テストが実行されます。

オプション 5 はパフォーマンス モニター IP インスタンスを設定し、一度に 1 つの AXI インターフェイスで読み出しバイト数と書き込みバイト数を測定します。各 AXI VDMA インスタンスの TX および RX スループットの数値およびシステム スループットの数値は、ソフトウェア機能を使用してホスト PC のターミナル ディスプレイ上に表示されます。

ハードウェア上でのリファレンス システムの実行

ZC702 ボードを次の手順で準備します。

1. USB ケーブルをホスト PC から ZC702 ボードの USB JTAG ポートに接続します。適切なデバイス ドライバーがインストールされていることを確認します。
2. 2 本目の USB ケーブルをホスト PC から ZC702 ボードの USB UART ポートに接続します。USB-UART ドライバーがインストールされていることを確認します。
3. ZC702 の HDMI コネクタを、1920 x 1080p、60Hz のビデオ信号を表示できるビデオ モニターに接続します。
4. ZC702 ボードに電源ケーブルを接続します。
5. ZC702 ボードの電源をオンにします。
6. ホスト PC 上で、次の設定でハイパーターミナルなどのターミナルプログラムを起動します。
 - ボーレート : **115200**
 - データビット : **8**
 - パリティ : なし
 - ストップビット : **1**
 - フロー制御 : なし

構築済みビットストリームとコンパイル済みソフトウェア アプリケーションを使用したリファレンス システムの実行

システムを実行するには、<unzip_dir>/zc702_video_3x_pipeline/ready_for_download ディレクトリにあるファイルを使用して、次の手順を実行します。

1. コマンド シェルまたはターミナル ウィンドウで次のコマンドを実行し、ディレクトリを ready_for_download に変更します。

```
% cd <unzip_dir>/zc702_video_3x_pipeline/ready_for_download
```
2. Tcl スクリプトを用いる次の XMD コマンドによってデザインを実行します。この Tcl スクリプトの内容は、ビットストリームのボードへのダウンロード、プロセッサへの接続、FSBL のダウンロードと実行、ソフトウェア アプリケーションのダウンロードと実行です。

```
% xmd -tcl xmd_top.tcl
```

ハードウェアとソフトウェアの実行結果

デザインを実行すると、ZC702 ボードに接続された LCD モニター上にカラー バー パターンが表示され、ホスト PC のターミナルプログラムには、[図 4](#) に示す出力が表示されます。

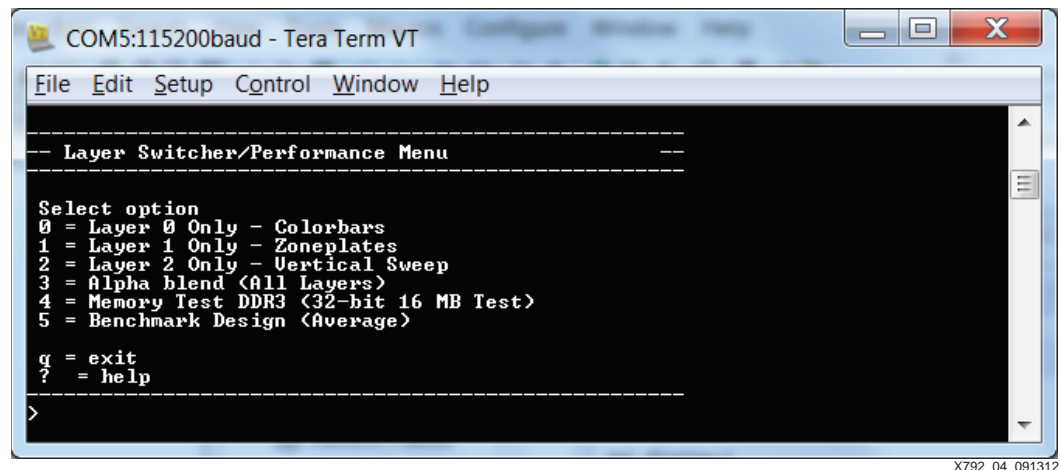


図 4：ハイパーターミナルの出力

ターミナル スクリーン上のアプリケーション メニューには次の 6 つのオプションがあります。

- **0** : LCD ディスプレイ上にカラーバー レイヤーを表示します。
- **1** : ゾーンプレート レイヤーを表示します。
- **2** : 垂直方向スイープ レイヤーを表示します。
- **3** : 3 つのレイヤーをすべてアルファブレンディングして同時に表示します。
- **4** : DDR3 メモリ内で 32 ビット メモリ テストを実行します。
- **5** : ターミナルにリアルタイムのシステム性能パラメータを表示します (転送 1 秒)。

性能

DDR3 PHY は、メモリ クロック周波数 533MHz の 32 ビットに設定されています (データ レート 1066MHz)。DDR3 の理論上のスループットは 4.2GB/s で、これがこのデザインで使用可能な総帯域幅です。

ソフトウェア アプリケーションのオプション 5 を選択すると、次のような出力が表示されます。

```
AXI_VDMA0 Tx = 497.670340 MB/s
AXI_VDMA0 Rx = 497.670372 MB/s

AXI_VDMA1 Tx = 497.670888 MB/s
AXI_VDMA1 Rx = 497.670836 MB/s

AXI_VDMA2 Tx = 497.670400 MB/s
AXI_VDMA2 Rx = 497.670384 MB/s

System Total Bandwidth = 2986.023220 MB/s
DDR3 Theoretical Bandwidth = 4266.666666 MB/s
Percent of DDR3 Theoretical Bandwidth = 69.984919%
```

注記：表示される値は、上記と若干異なる場合があります。

総帯域幅は約 2986MB/s で、メイン メモリの総帯域幅 4267MB/s の約 70% にあたります。

ハードウェアの構築

このセクションでは、ハードウェア デザインの再構築について説明します。プロジェクトを再構築する前に、AXI OSD および AXI VTC コアのライセンスがインストールされていることを確認する必要があります。AXI VTC または AXI OSD コアの評価用ライセンスを入手するには、次のウェブ ページの evaluate をクリックしてください。

<http://japan.xilinx.com/products/intellectual-property/EF-DI-VID-TIMING.htm>

<http://japan.xilinx.com/products/intellectual-property/EF-DI-OSD.htm>

注記：生成済みビットストリームは次の場所にあります。

<unzip_dir>/zc702_video_3x_pipeline/PA/impl_1/system.bit

1. PlanAhead ツールで zc702_video_3x_pipeline/PA/pa_project.ppr ファイルを開きます。
2. [Design Runs] ビューの [impl_1] を右クリックし、[Generate Bitstream] をクリックします。
3. [No Implementation Results Available] ダイアログに対して [Yes] をクリックします。
2つの制約が見つからないことを知らせる [Launch Run Critical Messages] ダイアログが表示されます。これは、既知の問題です。[OK] をクリックします。
4. [File] → [Export] → [Export Hardware for SDK] をクリックして、[Hardware for SDK] オプションによるエクスポートを実行します。
5. エクスポート先は <Local to Project> です。[Include Bitstream] と [Export Hardware] がオンであることを確認します。[OK] をクリックします。

SDK ツールによるソフトウェアのコンパイルとデザインの実行

SDK ツールでソフトウェアをコンパイルする

1. SDK ツールを起動します。Linux で **xsdk** と入力します。
2. Workspace Launcher で、次のワークスペースを選択します。
`<unzip_dir>/zc702_video_3x_pipeline/SW/SDK_Workspace`
3. [OK] をクリックします。
4. リポジトリを設定するために、[Xilinx Tools] → [Repositories] をクリックします。
 - a. ローカル リポジトリの場合、[New] をクリックします。
 - b. 次のディレクトリに移動します。
`<unzip_dir>/zc702_video_3x_pipeline/SW/repository`
 - c. [OK] をクリックします。
5. ボード サポート パッケージ (BSP)、ハードウェア プラットフォーム、ソフトウェア アプリケーションをインポートする必要があります。[File] → [Import] → [General] → [Existing Projects into Workspace] をクリックします。
6. [Next] をクリックして、<unzip_dir>/zc702_video_3x_pipeline/SW ディレクトリを参照します。[OK] をクリックします。
7. axi_vdma_display、hw_platform_0、standalone_bsp_0、zynq_fsbl_0 を含むすべてのチェック ボックスがオンであることを確認します。[Finish] をクリックします。

注記：BSP およびソフトウェア アプリケーションがコンパイルされます。これには、2～5分を要します。axi_vdma_display ソフトウェア アプリケーションにビルド エラーがある場合、[Project Explorer] ビュー内の **axi_vdma_display** を右クリックして、[Change Referenced BSP] の選択後、[standalone_bsp_0] を選択します。

8. これで、SDK ツールによる既存ソフトウェア アプリケーションの変更や新規ソフトウェア アプリケーションの作成が可能になります。

SDK ツールでハードウェアおよびソフトウェアを実行する

1. [Xilinx Tools] → [Program FPGA] をクリックします。
2. [Program] をクリックします。
3. [Project Explorer] ビューで、[axi_vdma_display] → [Run As] → [Launch on Hardware] を右クリックします。デフォルト設定の SDK ツールは Tcl スクリプトを使用して FSBL を実行します。

リファレンス デザイン

リファレンス デザインは、次のリンク先からダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=192742>

表 4 に、リファレンス デザインの詳細を示します。

表 4：リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	James Lucero、 Ygal Arbel
ターゲット デバイス (ステッピング レベル、 ES、 プロダクション、 スピード グレード)	Zynq-7000 AP SoC (ES)
ソース コードの提供	あり
ソース コードの形式	VHDL/Verilog (一部は暗号化済み)
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、 CORE Generator ツール、または EDK 向けに提供されたサードパーティのリファレンス デザイン、 CORE Generator ツールによって生成されたビデオ コアからデザインへのコード/IP の使用	あり
シミュレーション	
論理シミュレーションの実施	N/A (シミュレーションはサポートせず)
タイミングシミュレーションの実施	N/A (シミュレーションはサポートせず)
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	N/A (シミュレーションはサポートせず)
テストベンチの形式	N/A (シミュレーションはサポートせず)
使用したシミュレータ/バージョン	N/A (シミュレーションはサポートせず)
SPICE/IBIS シミュレーションの実施	N/A (シミュレーションはサポートせず)
インプリメンテーション	
使用した合成ツール/バージョン	XST 14.2
使用したインプリメンテーション ツール/バージョン	ISE Design Suite 14.2 : System Edition
スタティック タイミング解析の実施	あり (PAR/TRCE のタイミングにパス)
ハードウェア検証	
ハードウェア検証の実施	実施済み
使用したハードウェア プラットフォーム	ZC702 ボード

表 5 に、このリファレンス デザインのデバイス使用率を示します。

表 5：デバイス使用率

項目	値
デバイス	XC7Z020
デバイス スピード	-1
グレード パッケージ	CLG484
レジスタ	32,739
配置済みスライス	10,452
スライスの LUT 数	22,686
I/O	22

表 5：デバイス使用率 (続き)

項目	値
RAMB36E1	24
RAMB18E1	12

参考資料

1. [AMBA AXI4-Stream](#) プロトコル仕様
2. [UG683](#): 『EDK コンセプト、ツール、テクニック：効率的なエンベデッド システム構築をサポートするハンディ ガイド』
3. [DS768](#): 『LogiCORE IP AXI インターコネクト』
4. [UG111](#): 『エンベデッド システム ツール リファレンス マニュアル』
5. [UG761](#): 『AXI リファレンス ガイド』
6. [DS799](#): 『LogiCORE IP AXI Video Direct Memory Access』
7. [DS837](#): 『LogiCORE IP Video On-Screen Display』
8. [DS857](#): 『LogiCORE IP Video Timing Controller』
9. [PG037](#): 『LogiCORE IP AXI パフォーマンス モニター』
10. [UG585](#): 『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012年10月12日	1.0	初版
2012年10月16日	1.0.1	条件付きテキスト バナーを削除。

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications:

<http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、
jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。