



XAPP795 (v1.0) 2012 年 12 月 12 日

# XADC (Xilinx Analog-to-Digital Converter) の 駆動

著者 : Cathal Murphy

## 概要

アナログ デジタル コンバーター (ADC) の駆動についてはさまざまな文書で頻繁に取り上げられており、非常に多くの情報が公開されています。このアプリケーション ノートでは、ザイリックス 7 シリーズ FPGA の ADC (XADC) の一般的なユース ケースについて、ボード設計者向けの簡単なガイドラインを示します。本稿で示したガイドラインに従うと、XADC 駆動時のパフォーマンスを最大にできます。XADC のレイアウトに関するガイドラインは、『XADC レイアウトのガイドライン』[参照 1] を参照してください。7 シリーズ デバイスのアナログ ミックスド シグナル (AMS) 機能の詳細は、[japan.xilinx.com/ams](http://japan.xilinx.com/ams) を参照してください。

## XADC

外部プリント回路基板 (PCB) からは、XADC の入力とは従来の逐次比較 (SAR : Successive Approximation Register) 型 ADC と同様のスイッチド キャパシタ回路と見ることができます。図 1 に、単極および双極モードの XADC の等価回路を示します。

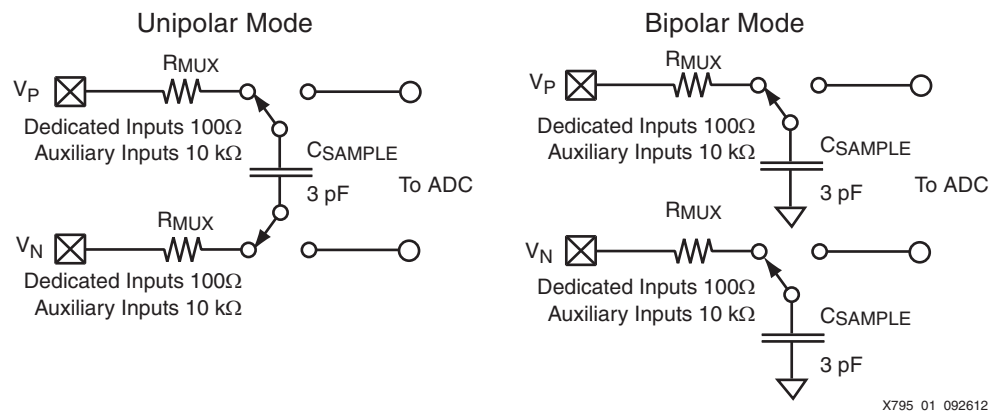


図 1 : アクイジション時の XADC 入力の等価回路

ほかの ADC 同様、XADC の場合も変換精度はキャパシタ  $C_{SAMPLE}$  の両端にかかる電圧の精度に依存します。図 1 に示した RC 回路は、有限時間で最終電圧に安定します。信号に求められる精度は、必要とされるシステム精度のレベルによって決まります。XADC が 12 ビットの場合、考えられる最小セトリング誤差は 12 ビット値の最下位ビット (LSB) の 1/2 未満です (13 ビット精度)。

## RC 回路の解析

XADC の各ユース ケースを分析する前に、図 2 に示したシンプルな RC 回路を解析します。この解析は、後で各ユース ケースを詳細に分析していく上での基礎となります。

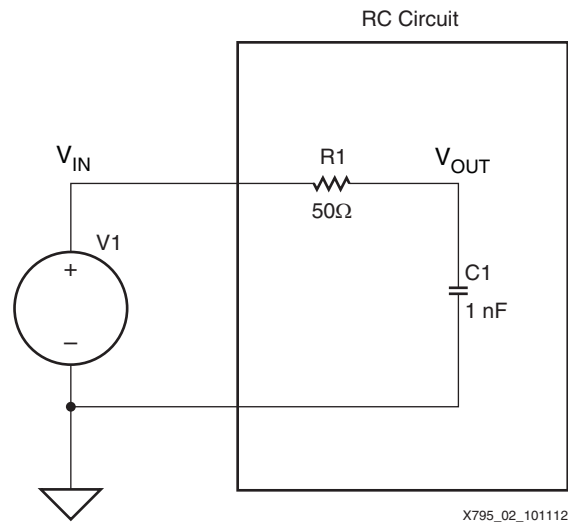


図 2：理想的な電源を使用したシンプルな RC 回路

図 2 に示した回路の応答は、ステップ入力を与えてシミュレーションできます。このシミュレーションで、RC 回路のセトリング時間を計算します。図 3 は、入力 ( $V_{IN}$ ) に  $t = 1\mu\text{s}$  でステップ電圧を与えた時の RC 回路の出力電圧 ( $V_{OUT}$ ) を示したものです。この回路の応答は、指数関数の性質があります。時間が経つにつれて目的の出力電圧に近づきます。

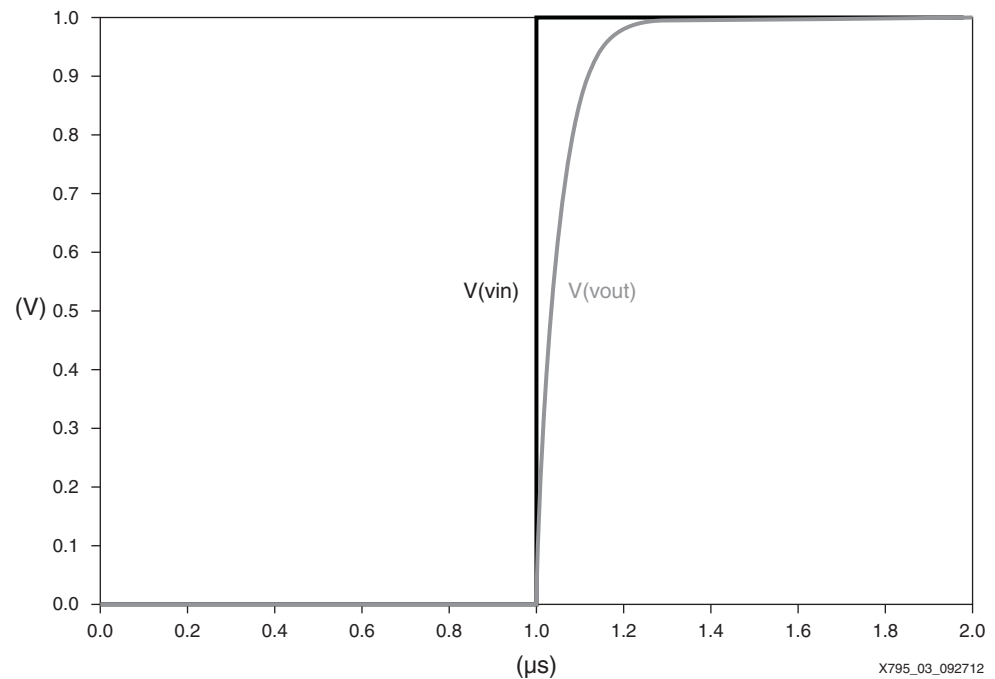


図 3：RC 回路のステップ応答のシミュレーション結果

キャパシタの両端の電圧を  $0\text{V}$  から開始したと仮定すると、回路の応答は式 1 で表されます。

$$V_{OUT}(t) = v_{in} \left( 1 - e^{-\frac{t}{RC}} \right) \quad \text{式 1}$$

式 1 からわかるように、時間が経つにつれて回路のセトリングに関する誤差は RC 積 (時定数  $\tau$ ) に比例して小さくなります。この時定数が小さいほど、誤差の項はより短時間で許容可能なレベルに近づきます。

一般に、設計者は誤差を一定のエラー バジレット (単位はビット数または % 誤差) 内に収める必要があります。通常、セトリング誤差がエラー バジレットエラー バジレット全体と等しくなることはなく、バジレット全体の半分までしか許容されません。エラー バジレットが 12 ビット (0.025%) の場合、セトリング時間の許容誤差は 13 ビット (0.0125%) までとなります。表 1 は、ADC の各分解能の 1/2 LSB の誤差以内に安定するために必要な時定数の値を示したものです。

表 1：各分解能に必要な時定数の値

分解能 (ビット)	誤差 (%)	時定数の値
6	0.3906	4.85
8	0.0977	6.24
10	0.0244	7.62
12	0.0061	9.01
14	0.0015	10.4

さまざまな精度レベルでの RC 回路のセトリング時間は、式 2 で求めることができます。

$$t_{settle} = (\text{時定数の値}) \times RC \quad \text{式 2}$$

式 2 を使用するには、まず目的の精度レベルを達成するのに必要な時定数の値を表 1 で確認します。たとえば、12 ビットの精度では時定数 9.01 が必要です。

単極モードのトラッキング段階では、XADC 入力の等価回路を構成する RC フィルターの必要なセトリング時間は式 3 で求めることができます。

$$t_{settle} = 9.01 \times 2 \times 10k\Omega \times 3pF = 540ns \quad \text{式 3}$$

XADC のアキュイジション時間はトータルで 750ns なので、XADC 入力回路のセトリング時間がこの値であれば問題ありません。しかし、駆動側の回路 (抵抗分圧アプリケーション) のソース インピーダンスや、系 (ほかの RC 回路やアクティブなソース自体) に含まれる低周波領域のほかの極によってセトリング時間の問題が発生することがあります。これらの問題については、後のセクションで個別に説明します。

### 不適切なセトリング時間によって生じる問題

セトリング時間を十分に与えないとサンプリング キャパシタが正確な最終電圧に安定できず、次の不要な影響が生じます。

- ADC ゲイン誤差
- ADC ゲイン誤差に対する温度感度
- 外部マルチプレクサーを使用した場合のクロストーク

これらの問題は、この種のスイッチド キャパシタ入力方式を使用した ADC の大半で発生します。しかし、問題を正しく理解して適切に対処すれば、これらの問題を容易に回避して XADC のアナログ入力回路を設計できます。これについては、『Designing SAR ADC Drive Circuitry, Part II』[参照 2]、『Designing SAR ADC Drive Circuitry, Part III』[参照 3]、『Analog-to-Digital Confusion: Pitfalls of Driving an ADC』[参照 4]、『Switched-Capacitor ADC Analog Input Calculations』[参照 5] など、多くのチュートリアルと参考文書があります。このアプリケーション ノートでは、7 シリーズ FPGA の XADC に特有の要件について説明します。

## XADC 特有の利点

一般に、ADC のサンプリング期間は、変換とアキュイジションの 2 つの期間で構成されます。アキュイジション時間で ADC は次のサンプルの取得を開始し、取得したサンプルを変換時間でデジタル値に変換します。多くの ADC では、アキュイジション時間の長さは変換時間全体の 10% 程度です。1MSPS ADC では、100ns 以内に次のサンプルを取得しなければならない場合もあります。したがって、ADC を駆動する回路は ADC の容量性負荷を駆動して 100ns 以内に安定する必要があります。この要件を満たすのは非常に困難です。

この問題を解決するため、XADC では変換とアキュイジションを同時進行させることにより、サンプリング期間全体の 75% 以上をアキュイジション時間として利用できるようにしています (図 4)。このようにすることで XADC を駆動するアナログ フロントエンドの要件は大幅に緩和されます。その利点については、後のセクションで各ユース ケースを解析する際に具体的に説明します。

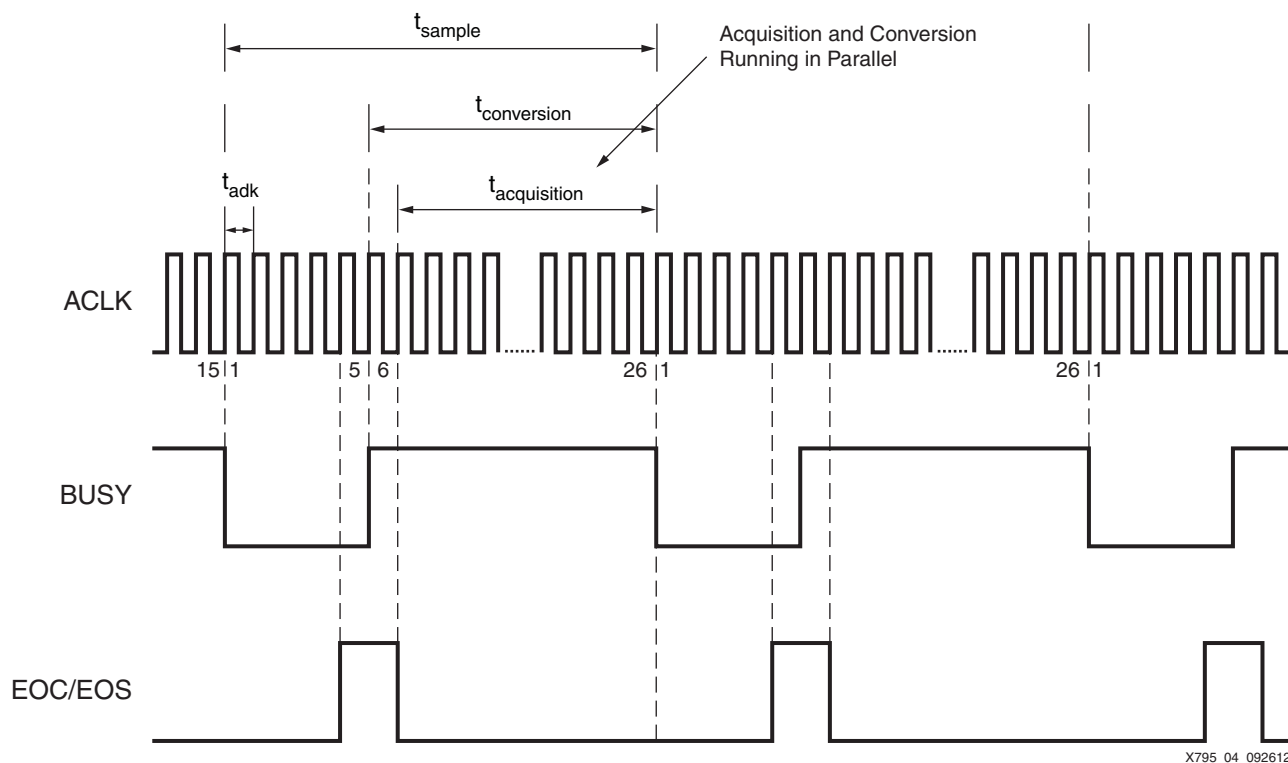


図 4 : アキュイジション時間と変換時間のタイミング図

## アンチエイリアシング フィルターの要件

一般的な ADC と同様、XADC の場合もアンチエイリアシング フィルター (AAF) を使用し、XADC の入力のなるべく近くに配置することを推奨します。この AAF は、サンプリングプロセスの原理によって信号の不要な高周波成分が原因で目的の周波数帯域で再びエイリアスが発生し、XADC のパフォーマンスが低下するのを防ぎます (『What the Nyquist Criterion Means to Your Sampled Data System Design』 [参照 6] 参照)。

AAF の最大カットオフ周波数は、コンバーターのナイキスト レートとするのが理想です。1MSPS で動作する XADC で 1 チャンネルを変換する場合のナイキスト周波数は 500kHz です。1MSPS の ADC に多重化するチャンネル数を増やすと、それに比例してナイキスト周波数は低くなります。通常、回路のセトリング時間に影響があるため AAF のカットオフ周波数とナイキスト周波数を同じにすることはできません。この問題については、後のセクションで説明します。

通常、AAF は抵抗とキャパシタで構成されたシンプルなお受動フィルターです。図 5 に、XADC の前段に配置した AAF を示します。AAF の抵抗とキャパシタのサイズについては、この後で取り上げる各ユース ケースの説明で個別にガイドラインを示します。

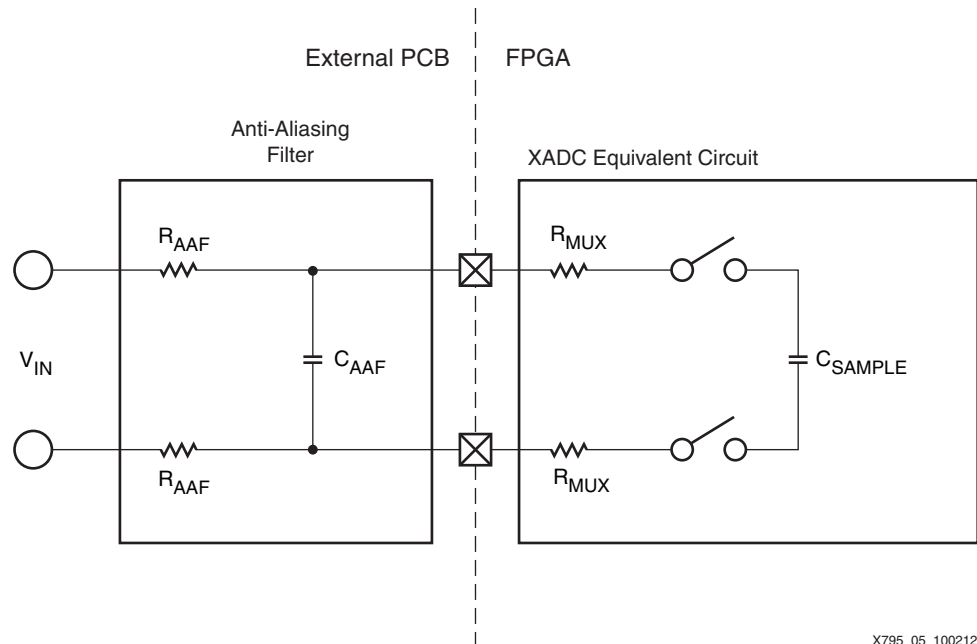


図 5 : アンチエイリアシング フィルターの回路例

AAF によって回路全体のキャパシタンスが増えるため、設計はいくぶん複雑になります。しかし、AAF を使用しなければサンプリング実行時にアナログ入力に対する高周波ノイズや干渉が生じ、目的の周波数帯域でエイリアスが再び発生してパフォーマンスが大幅に低下するため、AAF は必須です。

## XADC のユース ケース

FPGA と同様に、XADC もデバイスの高いプログラマビリティを活かして非常に幅広い用途で利用される傾向があります。その中でも、このアプリケーション ノートでは特に一般的なものとして次の 4 つのユース ケースを取り上げます。

- ユース ケース 1 : 電圧監視
- ユース ケース 2 : 電流の計測
- ユース ケース 3 : センサー出力の計測
- ユース ケース 4 : 外部マルチプレクサー モード

これら 4 つのユース ケースに対する解析は、ほかの用途に向けた XADC のデザイン ソリューションにも幅広く応用できます。

### ユース ケース 1 : 電圧監視

XADC のユース ケースとして最も一般的なものの 1 つが、ボードのさまざまな場所の電圧を監視するというものです。通常、これらの電圧には電源電圧やほかの基準電圧など、XADC の入力範囲を超える電圧が含まれます。この問題は、抵抗分圧回路を使用すると簡単に解決できます。抵抗分圧回路を使用すると、計測対象の電圧に一定の係数を掛けて小さくした電圧が XADC に供給されます。図 6 に、シンプルな抵抗分圧回路を示します。

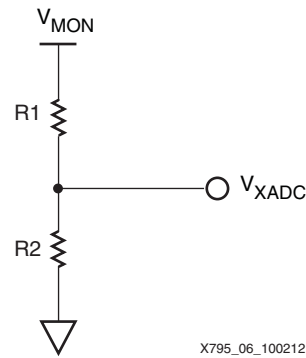


図 6：抵抗分圧回路

図 6 に示した回路の  $V_{XADC}$  は、式 4 で表されます。

$$V_{XADC} = V_{MON} \frac{R2}{R1 + R2} \quad \text{式 4}$$

ここでは、 $V_{MON} = 5V$  から  $V_{XADC} = 0.5V$  を得たい場合について考えます。こうすると  $V_{XADC}$  が XADC の範囲のちょうど中央となり、 $0V \sim 10V$  の電圧の  $V_{MON}$  をサンプリングできるようになります (式 5)。

$$\frac{V_{XADC}}{V_{MON}} = \frac{0.5}{5} = 0.10 = \frac{R2}{R1 + R2} \quad \text{式 5}$$

この式を変形すると  $R1 = 9R2$  となります。したがって、 $R2 = 1k\Omega$  とすると、 $R1 = 9k\Omega$  となります。

理想的には、抵抗値はなるべく小さくした方がリーク電流の影響を最小限に抑えられます。抵抗値をどこまで小さくできるかは、最終的に抵抗分圧回路の消費電力によって決まります。

この抵抗分圧回路が、AAF を含む回路全体のセトリング時間に与える影響を図 7 に示します。XADC の等価回路のセトリング時間は、それ自体非常に短く (式 3、ページ 3 参照)、AAF のキャパシタは  $C_{SAMPLE}$  の値の何倍も大きいいため、無視できます。

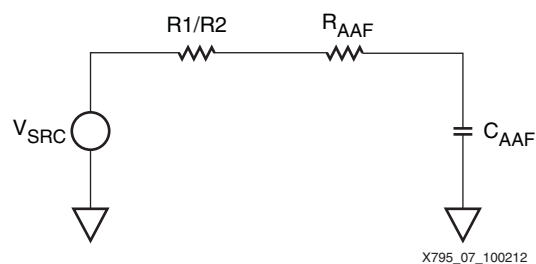


図 7：抵抗分圧回路

$R1|R2$  は抵抗  $R1$  と  $R2$  の並列結合で、 $R1 = 1k\Omega$ 、 $R2 = 9k\Omega$  です。これは  $900\Omega$  となりますが、この値は通常  $R_{AAF}$  よりもはるかに大きいため、 $R_{AAF}$  は無視できます。

ボードのさまざまな電圧を計測する場合、通常はサンプルレートを  $10\mu s$  ( $100Ks/s$ ) とすれば十分です。セトリング時間内で 12 ビット LSB の半分の誤差に安定させるには、式 6 を用いて  $C_{AAF}$  のサイズを決定する必要があります。

$$t_{settle} = 10\mu s = 9.01 \times R1|R2 \times C_{AAF} \quad \text{式 6}$$

すると、 $C_{AAF}$  のサイズを式 7 で求めることができます。

$$C_{AAF} = \frac{10\mu s}{9.01 \times R1 \parallel R2} = \frac{10\mu s}{9.01 \times 900} \sim 1.1nF \quad \text{式 7}$$

この RC 回路のカットオフ周波数は 160kHz で、100Ks/s で動作する ADC のナイキスト周波数 (50kHz) よりもはるかに高い値となっています。これは、フィルタのカットオフ周波数を 50KHz とすると、10 $\mu$ s 以内で 12 ビットの精度に安定しないためです。

しかし 10 ビット以上の精度が必要になることはそれほど多くありません。したがって、式 7 の値 9.01 を 3 ページの表 1 の別の適切な値に置き換えれば、セトリング時間の要件を緩和できます。

式 6 および式 7 でサイズを決定した受動コンポーネントを用いて抵抗分圧回路を XADC 入力に等価回路に接続した回路図を図 8 に示します。

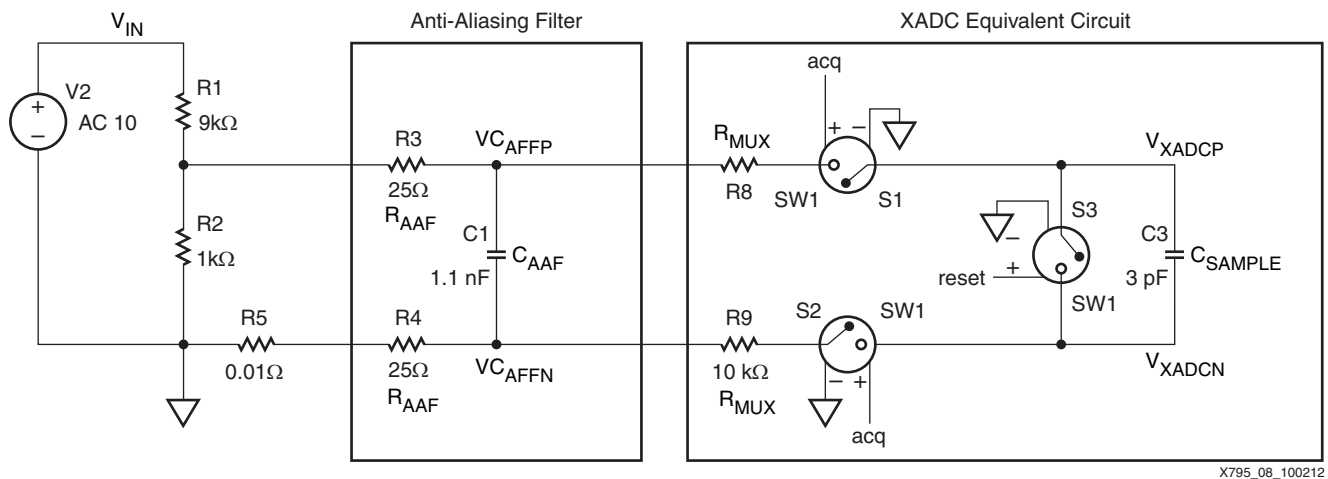


図 8 : 抵抗分圧回路を XADC に接続したシミュレーション回路

図 8 について説明します。

1. スイッチ S1 および S2 は、4 ページの図 4 に示す  $t_{\text{acquisition}}$  の変換期間中は閉じている必要があります。
2. ADC 変換プロセス中、キャパシタ  $C_{\text{SAMPLE}}$  はリセットされます。セトリング時間のシミュレーションでは、アクイジション期間が始まる前に  $C_{\text{SAMPLE}}$  をリセットする必要があります。

図 9 のシミュレーション結果を見ると、図 8 の回路は  $9.725\mu\text{s}$  で 12 ビットの精度内に安定しています。10 ビットの精度で十分なら、セトリング時間の要件は  $8\mu\text{s}$  まで減少します。

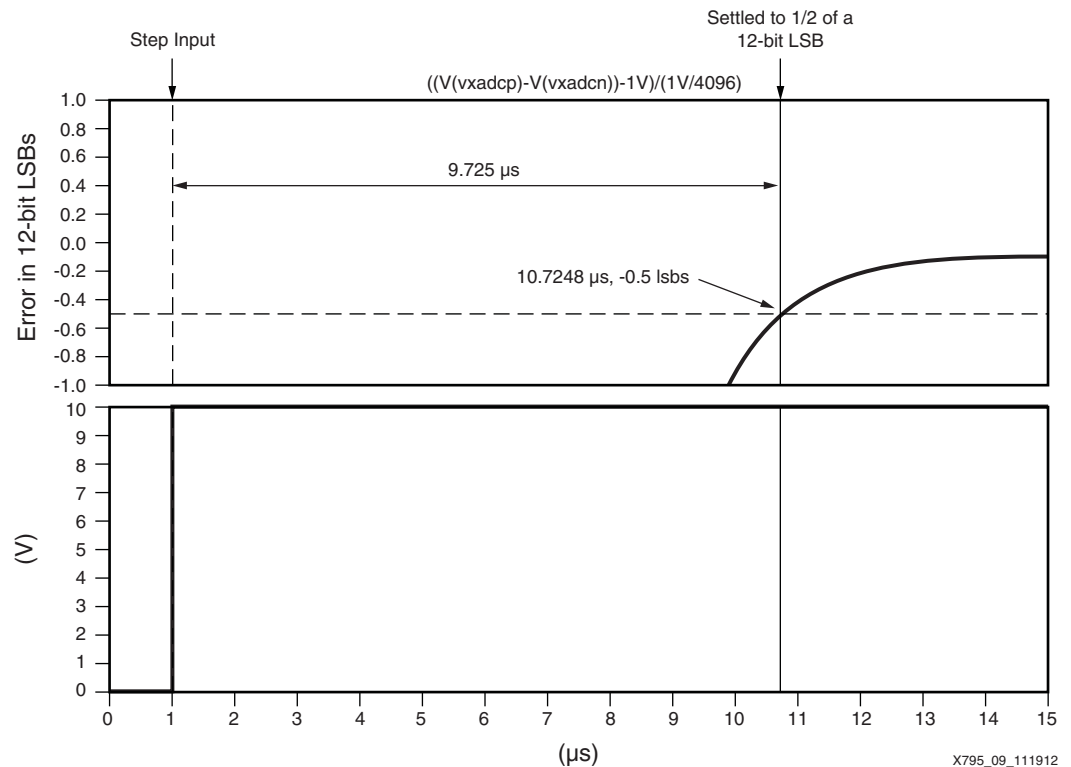


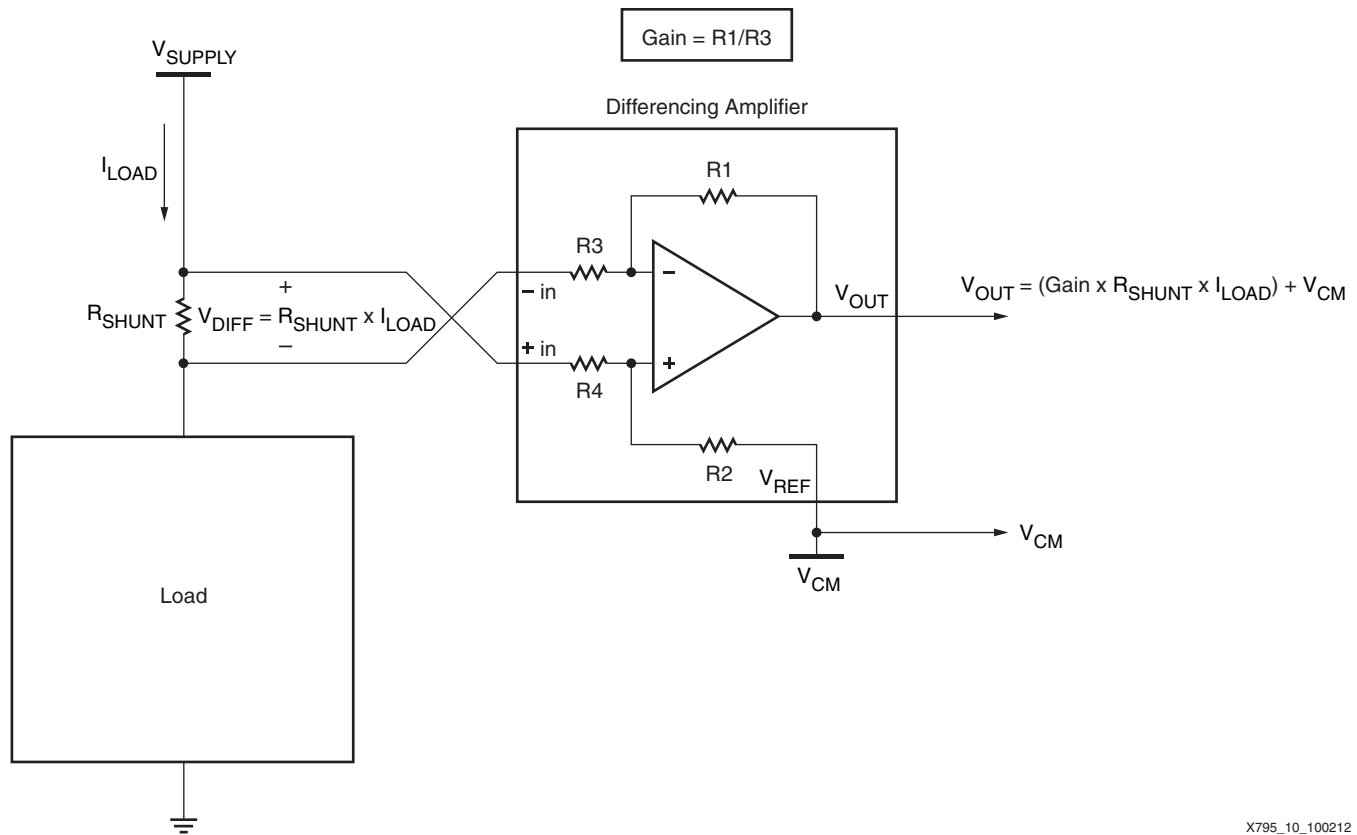
図 9 : ユース ケース 1 のセトリング時間のシミュレーション結果

『7 シリーズ FPGA の XADC 12 ビット 1MSPS デュアル アナログ - デジタル コンバーター ユーザーガイド』 [参照 7] の「電圧低下」の図に、抵抗分圧回路が示してあります。この回路では、 $4\text{k}\Omega$  の抵抗を AAF の N 入力側の抵抗と直列に接続しています。この抵抗のサイズは、抵抗分圧回路を構成する 2 つの抵抗の並列結合と等しい値に設定されています。この抵抗により XADC の P 入力と N 入力のインピーダンスが一致し、干渉に対する回路の耐性が最大限に向上します。XADC を駆動する抵抗分圧回路を設計する場合も、このアプローチを採用してください。このアプローチでは、回路のセトリング時間に対する影響によって RC 回路の抵抗の値が実質的に 2 倍になります。このため、同じセトリング時間を得るにはキャパシタ  $C_{AAF}$  の値を半分にして  $0.55\text{nF}$  とする必要があります。

## ユース ケース 2 : 電流の計測

ADC のアプリケーションの多くは、電流の計測を必要とします。その目的は、電源電流の計測やモーターの相電流の計測など、さまざまです。通常、ネットに流れ込む電流を計測するには、電流パスに抵抗を直接挿入し、この抵抗の前後での電圧降下を計測します。ただしあまり大きく電圧が降下しないように、抵抗の値は負荷の全抵抗よりもはるかに小さい値を選択します。差動アンプまたは計装アンプ (インストルメンテーションアンプ) を使用すると、抵抗の前後での電圧降下のゲインを ADC による変換に適したレベルまで引き上げることができます。これらの種類のアンプは、個別部品で構成することも、完全統合ソリューションとして提供されているものを使用することもできます。完全統合型の計装アンプは、コストは高くなりますが最も汎用性と設計余裕度の高い選択肢です。個々のソリューションに最適なアンプの選択方法を解説したチュートリアルもあります (『Difference and Current Sense Amplifiers』 [参照 8] および『Instrumentation Amplifier (In-Amp) Basics』 [参照 9] 参照)。図 10 に、ゲインを内蔵した統合型の差動アンプを使用する電流計測回路のブロック図を示します。





X795\_10\_100212

図 10：統合型の差動アンプを使用した電流計測回路

図 10 に示したソリューションは、ADC に直接接続できるのが理想です。ADC によっては、ADC 前段の信号チェーンにバッファまたは駆動用のアンプを挿入する必要があります。通常、XADC はバッファアンプを必要としません。しかし、一部のアプリケーションではパフォーマンスを最大にするためにアンプが必要になることがあります。

#### 標準の計装アンプによる XADC の駆動

通常、標準の計装アンプは入力帯域幅が 10 ~ 100kHz の範囲で低速です。このため計装アンプは電流の急速な変化を取り込むことはできませんが、これが問題になることはほとんどありません。計装アンプには、ADC のアクイジション時間に現れる入力サンプル キャパシタンスを再充電できるだけの速度も要求されます。

XADC のサンプルレート (1MSPS) と計装アンプの帯域幅には大きな差があるため、サンプル キャパシタが安定できるようにアンプに十分な時間を与えるには、XADC の速度を低下させる必要があります。しかし計装アンプの入力帯域幅が非常に狭いため、ほとんどのアプリケーションでは XADC の速度を低下させる必要はありません。より高性能なアプリケーションでは、デザインのダイナミックレンジの要件を満たすために XADC を 1MSPS で動作させ、その結果をオーバーサンプリングおよび間引き処理する必要があります。これについては、このセクションで後述します。

この回路の完全な解析を始める前にもう 1 つ考慮しておく点として、計装アンプまたは差動アンプと XADC の間には何らかのアンチエイリアシング フィルター (AAF) が必要です。図 11 に、AAF を含めた回路例を示します。ノイズの大半は 1MHz 以上の領域に存在するため、通常はこの AAF を ADC のナイキスト周波数で動作させる必要はありません。AAF を ADC のナイキスト周波数で動作させると、計装アンプの応答時間が減少してシステムの負担が大きくなります。この例では、カットオフ周波数 500kHz の AAF を使用しています。この周波数であれば、計装アンプのセトリング時間に悪影響を与えずに、アンプの電源からの高周波ノイズなど、アナログ入力に現れる不要な信号を除去できます。

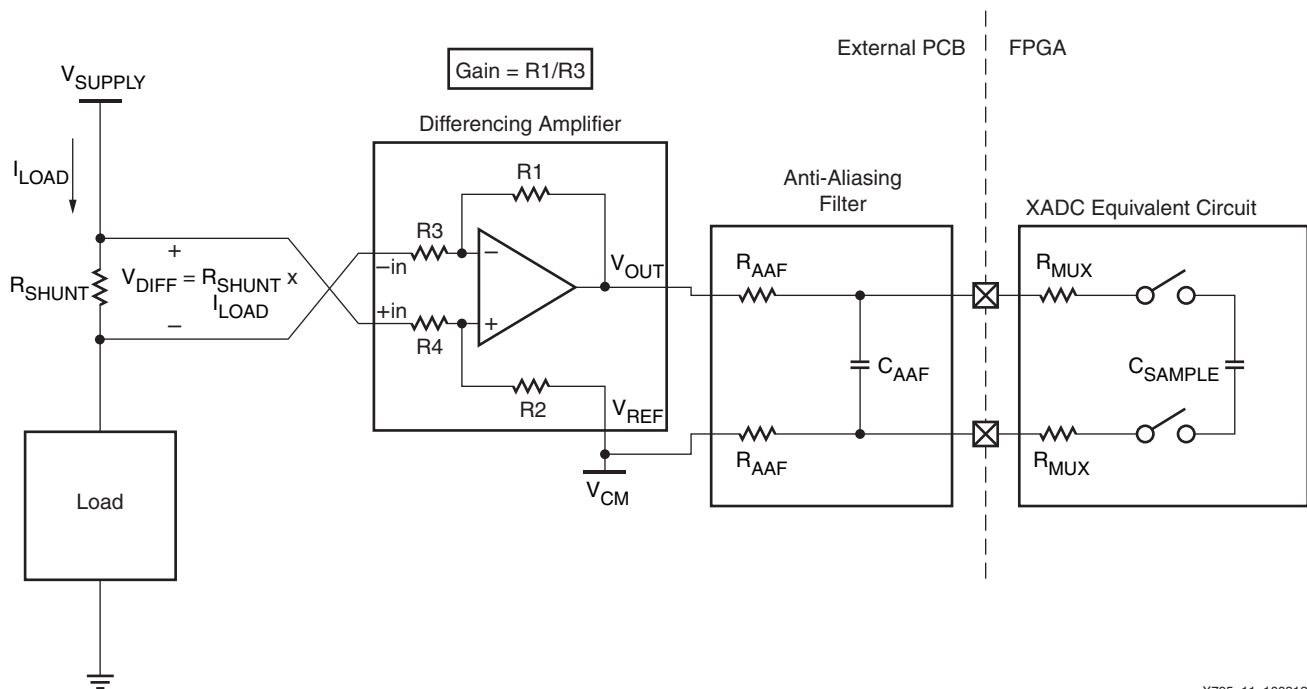
カットオフ周波数 500kHz の AAF をインプリメントするには、式 8 を使用します。

$$500\text{KHz} = \frac{1}{2\pi(2R_{AAF})C_{AAF}} \quad \text{式 8}$$

キャパシタンスは、計装アンプのデータシートに記載されている最大負荷容量を参考にして決定します。Texas Instruments 社の『INA210–INA214 データシート』[参照 10]に記載されている最大負荷容量は 1nF です。この仕様値を用いて、式 9 で  $R_{AAF}$  の値を求めます。

$$6283k = \frac{1}{R_{AAF}C_{AAF}} = \frac{1}{R_{AAF}1nF} \quad \text{式 9}$$

$$R_{AAF} \cong 150\Omega$$



X795\_11\_100312

図 11 : 差動アンプの出力を XADC で直接デジタル値に変換

次に、必要な精度レベルに回路を安定させることのできる XADC のサンプルレートを決定します。これは、使用する計装アンプの最大セトリング速度によって決まります。通常、計装アンプベンダーは入力帯域幅の仕様値をデータシートなどで提供しており、この値を用いて回路のセトリング時間を求めることができます。しかしこのセトリング時間には、スイッチドキャパシタ回路によって発生するような負荷過渡応答は含まれないのが一般的です。負荷過渡セトリング時間が短くなると、入力応答と負荷応答は同位となります。この場合、入力帯域幅の仕様値そのものを使用してセトリング時間を求めるのが最善です。

それ以外には、単純に応答時間を計測するという方法もありますが、これには長い時間がかかります。さらに別の方法として、ベンダーから提供されている SPICE モデルを使用することもできますが、これらのモデルは負荷過渡効果を正しく扱っていないことがあり、その場合はセトリング時間の見積もりが非常に甘くなることを考慮しておく必要があります。

アンプの帯域幅から XADC のサンプルレートを求めるには、式 10 を使用します。

$$XADC\text{SampleRate} = \frac{2\pi(inamp_{bw})}{\tau} \quad \text{式 10}$$

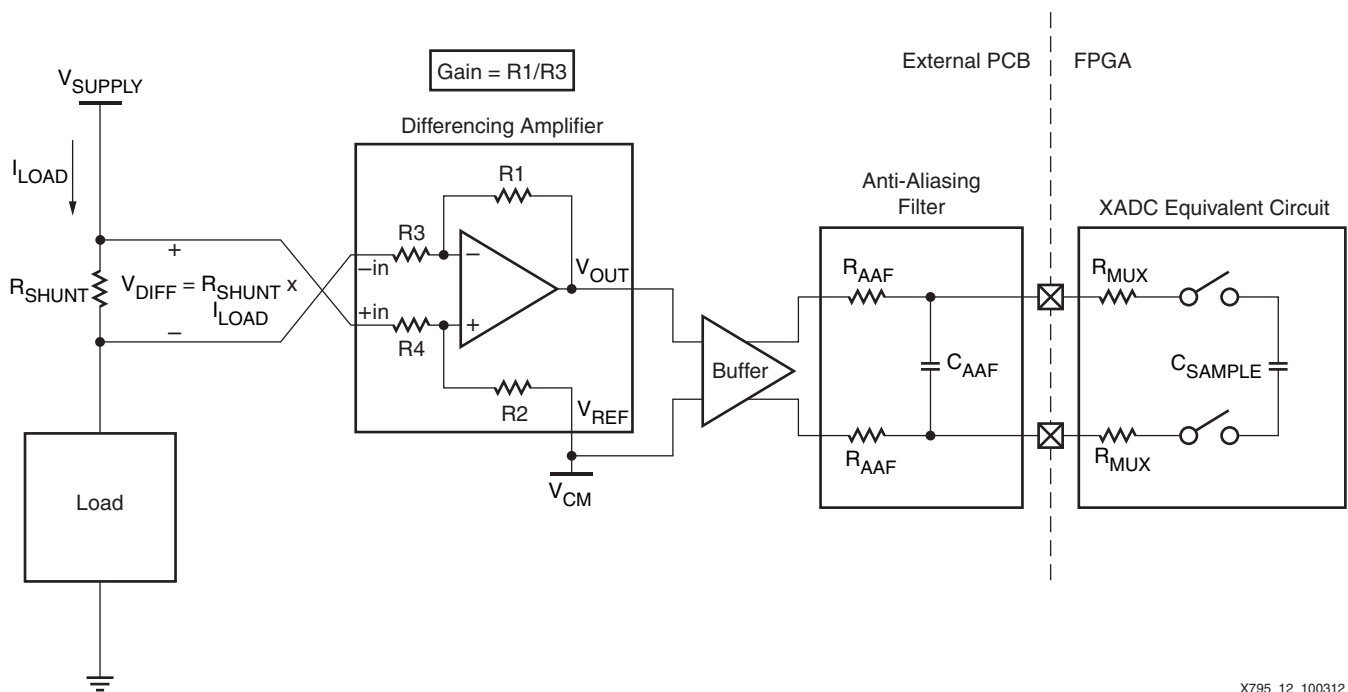
Texas Instruments 社の差動アンプ INA213 (『INA210-INA214 データシート』[参照 10] の図 7) を使用して 12 ビットの精度を得るには、式 11 で XADC のサンプル レートを求めます。

$$XADC\text{SampleRate} = \frac{2\pi(100\text{kHz})}{9.01} \cong 70\text{KSPS} \quad \text{式 11}$$

アプリケーションに必要な精度が 10 ビットの場合は、式 12 で XADC のサンプル レートを求めます。

$$XADC\text{SampleRate} = \frac{2\pi(100\text{kHz})}{7.62} \cong 80\text{KSPS} \quad \text{式 12}$$

より高性能なアプリケーションでは、デザインのダイナミックレンジの要件を満たすために XADC を 1MSPS で動作させ、その結果をオーバーサンプリングおよび間引き処理する必要があります。この場合は、バッファが必要になることがあります。高性能な計装アンプを購入するか、性能の低い計装アンプを購入してバッファを追加するかは、コストのトレードオフを評価して決定する必要があります。計装アンプはバッファアンプのみを駆動し、XADC のスイッチド キャパシタ負荷はバッファが駆動します (図 12)。

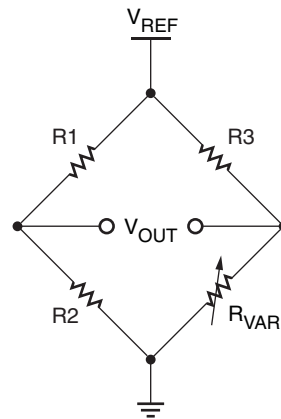


X795\_12\_100312

図 12 : バッファを使用して XADC を駆動する際の電流計測

### ユース ケース 3 : センサー出力の計測

XADC のもう 1 つの非常に一般的なユース ケースとして、センサーからの出力の計測があります。代表的なアプリケーションとしては、歪みゲージや測温抵抗体 (RTD) などの温度センサーがあります。歪みゲージと RTD のどちらも、被計測パラメータの変化に合わせてセンサー抵抗が変化します。抵抗値の変化を計測するには図 13 に示したホイートストンブリッジ回路を使用するのが一般的です。この回路では、ブリッジの抵抗のうち 3 つは抵抗値が固定されており、もう 1 つの抵抗に可変抵抗のセンサーを使用します。ブリッジの 2 つの中間点の電位差は、センサー抵抗の値の変化に比例して変化するため、この電圧で目的のパラメータを計測することができます。



X795\_13\_092712

図 13： センサー抵抗の変化を計測するホイートストンブリッジ回路

ホイートストンブリッジの出力を ADC に入力して電圧  $V_{OUT}$  をデジタル値に変換します。このブリッジは計装アンプに直接接続できます。差動アンプはブリッジに対して直列抵抗を増やすことになり、それによって負荷に影響が及ぶため使用できません。この構成では、回路と解析はユース ケース 2 の場合と同じです。

センサー計測には、高い精度が必要とされます。したがって、ダイナミックレンジを最大にするために XADC をなるべく高速に動作させ、出力をオーバーサンプリングまたは間引き処理する必要があります。使用する計装アンプの入力帯域幅によっては、XADC をこの速度で駆動できないことがあります。その場合は、図 12 に示したのと同様のバッファアンプが必要です。

#### ユース ケース 4： 外部マルチプレクサー モード

XADC には多くの用途があるため、必要な外部アナログ信号をすべて XADC に接続しようとするとう I/O ポートの空きが不足することがよくあります。この問題を簡単に解決するには、デザインに外部マルチプレクサー (MUX) を追加します。外部 MUX を使用すると、FPGA に必要なピン数を抑えて多数のアナログ信号を接続し、XADC でデジタル値に変換できます。図 14 に、このソリューションのブロック図を示します。また、XADC は特別な FPGA コーディングなしにこのユース ケースをサポートする機能もいくつか内蔵しています。これら機能の詳細は、『7 シリーズ FPGA の XADC 12 ビット IMSPS デュアル アナログ - デジタル コンバーター ユーザー ガイド』[参照 7] の「外部マルチプレクサー モード」セクションを参照してください。

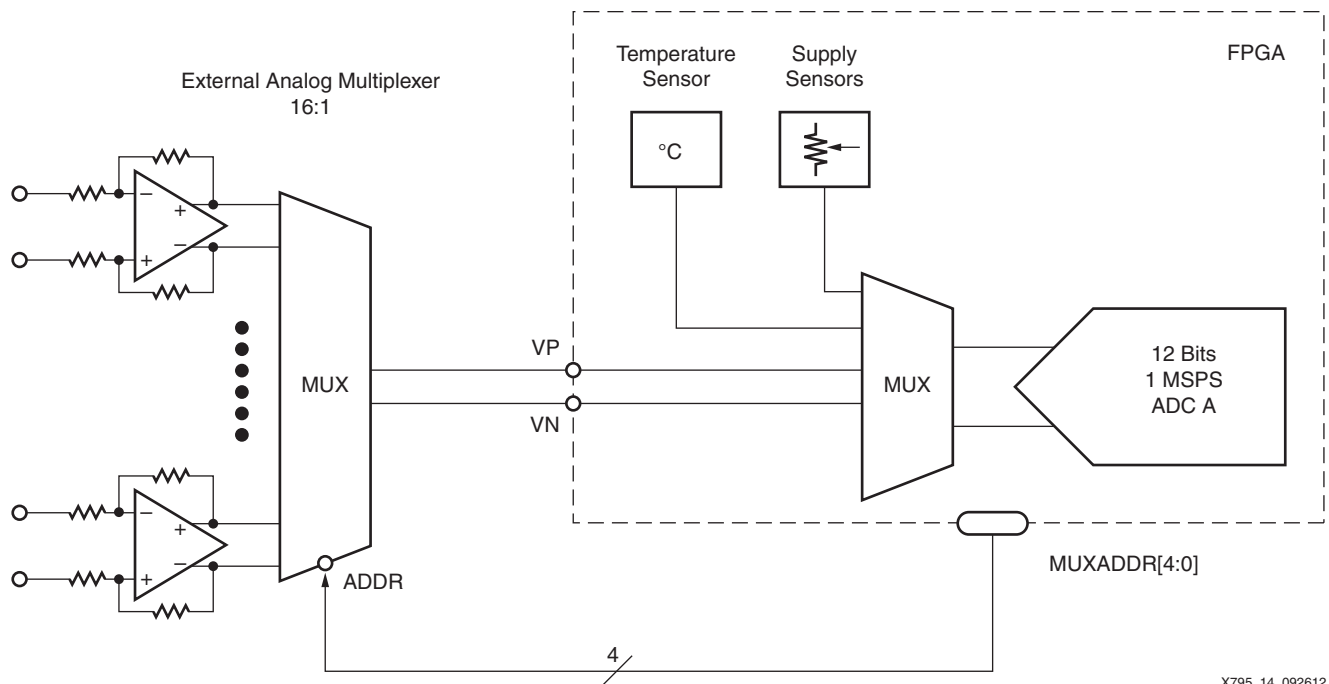


図 14：外部マルチプレクサー モード

外部マルチプレクサーを使用した場合、時間内に安定する回路を設計するのはやや難しく、設計余裕度が減少します。これまで紹介した 3 つのユース ケースでは、XADC の毎サイクルで XADC のサンプルキャパシタを再充電することだけが必要とされていました。しかし外部マルチプレクサーを使用する場合は、マルチプレクサーの出力側のすべてのキャパシタンスを目的の電圧まで完全に充電する必要があります。これには、マルチプレクサーの出力と ADC のサンプル キャパシタ間のボード キャパシタンス、および MUX 出力と XADC 入力間の AAF を構成するキャパシタンスがすべて含まれます。ボード キャパシタンスだけでも 10pF オーダーの値があり、AAF のキャパシタはさらに大きな値です。キャパシタンスの問題以外にも、マルチプレクサーを使用したアプリケーションでは、マルチプレクサーでチャンネルを切り替えた際に、セトリング誤差によって前のチャンネルから現在のチャンネルへクロストークが発生する問題があります。詳細は、『Understanding Crosstalk in Analog Multiplexers』[参照 11] を参照してください。

マルチプレクサーを使用したアプリケーションでは、多数のアナログ入力チャンネルが必要になるため、XADC の速度を低下させると 1 チャンネル当たりの帯域幅が急速に減少するという問題が発生します。各チャンネルに十分な帯域幅を確保するために、XADC は最大レート of 1MSPS で動作させます。つまり、マルチプレクサーに接続された各チャンネルがマルチプレクサーの出力側のキャパシタンスを 1 $\mu$ s 未満で駆動できなければならないことを意味します。通常、そのためにはオペアンプが必要です。

各ピンにオペアンプを追加すると、コストが高くなります。代わりに、マルチプレクサーの出力に 1 つのバッファを直接接続するという方法があります。バッファの入力キャパシタンスを最小限に抑えるため、バッファはマルチプレクサーの出力側のなるべく近くに配置してください。各チャンネルはアンプの入力のみを 1 $\mu$ s 以内に駆動すればよいことになります。バッファ出力と XADC 入力間にアンチエイリアシング フィルター (AAF) を挿入すると、無関係の高周波信号を除去できます。この AAF は、XADC の許容アクイジション時間内に安定するように設計してください。図 15 に、バッファを使用した外部マルチプレクサーのブロック図を示します。

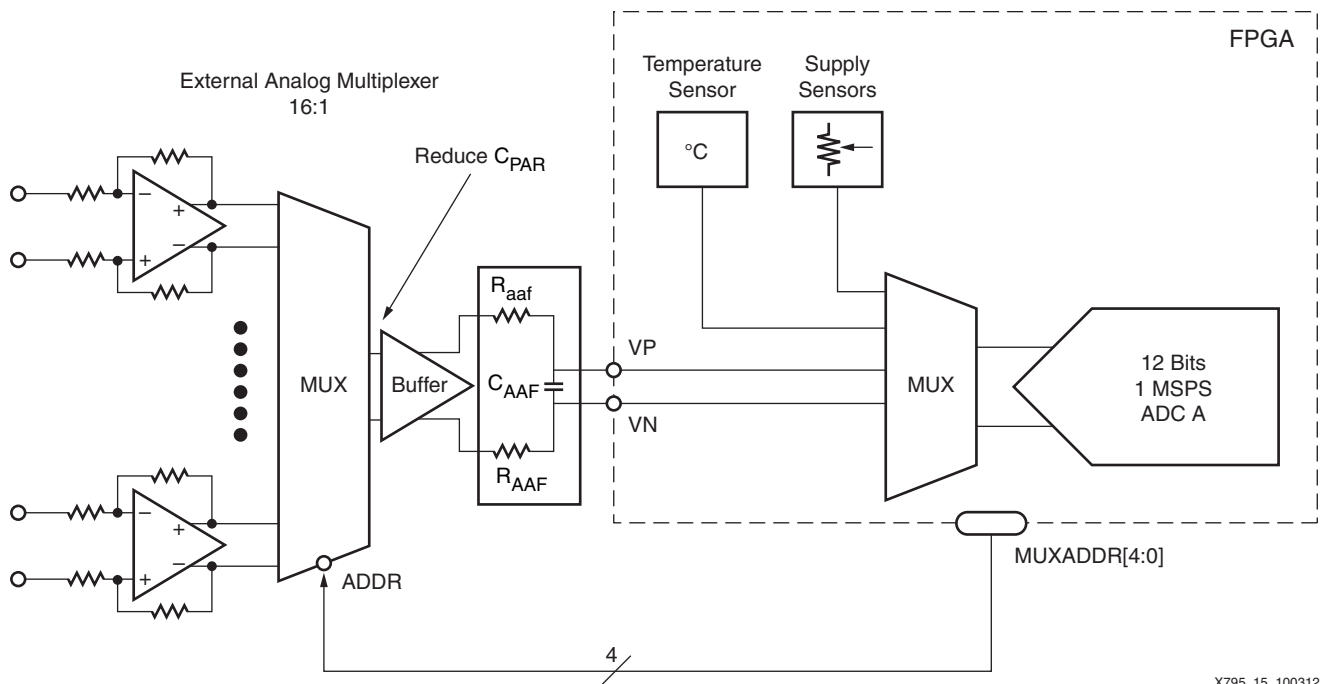


図 15 : マルチプレクサー出力にバッファを追加した外部マルチプレクサーのユース ケース

XADC 入力回路の最大リニア セットリング時間が 540ns の場合、AAF を構成する抵抗とキャパシタは時定数 9.01、すなわち約 500ns となるようにサイズを決定します。セットリング時間 500ns の要件を満たせば、XADC と AAF はサンプリング期間 (1 $\mu$ s) の 75% (750ns) で安定します。そのためには、AAF と XADC のサンプリング ネットワークの両方が 750ns で安定する必要があります。したがって、式 13 ~ 式 15 が真でなければなりません。

$$t_{settle_{overall}} = \sqrt{(t_{settle_{AAF}})^2 + (t_{settle_{XADC_{input}}})^2} \quad \text{式 13}$$

$$(t_{settle_{AAF}})^2 = (750ns)^2 - (540ns)^2 \quad \text{式 14}$$

$$t_{settle_{AAF}} \sim 500ns \quad \text{式 15}$$

5 ページの図 5 に示した AAF 回路を考えると、AAF の抵抗とキャパシタのサイズは式 16 で求めます。

$$2R_{AAF}C_{AAF} = \frac{500ns}{9.01} = 55ns \quad \text{式 16}$$

$C_{AAF}$  を 1nF とすると、 $R_{AAF}$  は約 25 $\Omega$  となります。

この場合、マルチプレクサーへの各入力マルチプレクサーの寄生容量と出力を駆動できればよく、AAF、ボードの寄生容量、XADC 入力を駆動する必要はありません。ボードのレイアウトが適切であれば、この容量はバッファの入力キャパシタンスを含めても 5pF 未満に抑えられます。

#### 抵抗分圧回路の外部 MUX 入力

6 ページの図 6 に示した抵抗分圧回路の場合、抵抗 R1 と R2 の並列結合の最大値は式 17 で求めます。

$$R1|R2 = \frac{t_{settle}}{\tau C_{PAR}} = \frac{500ns}{9.01(5p)} = 55k\Omega \quad \text{式 17}$$

通常は、リーク電流の問題が発生するため R1|R2 の並列結合は 1k $\Omega$  未満です。このため、抵抗値を 55k $\Omega$  未満に抑えることは特に問題にならず、この回路ではセトリング時間の問題は発生しません。

#### 計装アンプの外部 MUX 入力

一部の計装アンプは動作が遅く、外部マルチプレクサーの出力側の 5pF の寄生容量を駆動できないことがあります。通常、外部マルチプレクサーを使用する場合は多数のチャンネルが存在します。自動シーケンサー モードで動作している場合、計装アンプで駆動している 1 つの低速チャンネルに合わせて XADC の動作速度を下げようとする、ほかのすべてのチャンネルの速度を下げなければなりません。

このため、各計装アンプとマルチプレクサー間にはバッファを挿入することを推奨します。このバッファは、マルチプレクサーの出力側の寄生容量を 500ns よりもはるかに短い時間で容易に駆動できます。

## まとめ

このアプリケーション ノートでは、ADC をスイッチド キャパシタ入力駆動する際の注意点について説明しました。XADC にもスイッチド キャパシタ入力がありますが、ほかのディスクリット ADC よりもアクイジション時間を長くできる独自の利点もいくつか備えています。

このアプリケーション ノートでは、ユース ケースをいくつか挙げて XADC の駆動回路の例を紹介しました。本稿で紹介した簡単なガイドラインに従うと、ほとんどのアナログ インターフェイス要件を容易に満たすことができます。

## 参考資料

1. [XAPP554](#)、『XADC レイアウトのガイドライン』
2. Downs, Rick, and Miro Oljaca. Designing SAR ADC Drive Circuitry, Part II. Texas Instruments, Inc. <http://www.analogzone.com/acqt1003.pdf>
3. Downs, Rick, and Miro Oljaca. Designing SAR ADC Drive Circuitry, Part III. Texas Instruments, Inc. <http://www.analogzone.com/acqt0312.pdf>
4. Sachs, Jason. 2011. Analog-to-Digital Confusion: Pitfalls of Driving an ADC. <http://www.embeddedrelated.com/showarticle/110.php>
5. Switched-Capacitor ADC Analog Input Calculations. Texas Instruments, Inc. <http://www.ti.com/lit/an/slaa036/slaa036.pdf>
6. What the Nyquist Criterion Means to Your Sampled Data System Design. Analog Devices. <http://www.analog.com/static/imported-files/tutorials/MT-002.pdf>
7. [UG480](#)、『7 シリーズ FPGA の XADC 12 ビット 1MSPS デュアル アナログ - デジタル コンバーター ユーザー ガイド』
8. Difference and Current Sense Amplifiers. Analog Devices. <http://www.analog.com/static/imported-files/tutorials/MT-068.pdf>
9. Instrumentation Amplifier (In-Amp) Basics. Analog Devices. <http://www.analog.com/static/imported-files/tutorials/MT-061.pdf>
10. INA210—Data Sheet. Texas Instruments, Inc. <http://www.ti.com/lit/ds/symlink/ina213.pdf>
11. Understanding Crosstalk in Analog Multiplexers. Analog Devices. [http://www.analog.com/static/imported-files/application\\_notes/177696709AN35.pdf](http://www.analog.com/static/imported-files/application_notes/177696709AN35.pdf)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012年12月12日	1.0	初版リリース

Notice of  
Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。