



XAPP797 (v2.0) 2014 年 2 月 7 日

スループット性能の測定

著者 : Sanjay Kulkarni, Prasad Gutti, Pankaj Kumbhare

概要

このアプリケーション ノートでは、AXI Quad SPI IP コアをデュアルおよびエンハンスト クワッド モードで使用し、SPI フラッシュ メモリから 1MB のデータを読み書きする場合の SPI 帯域幅測定について検討します。ザイリンクス KC705 評価ボードと Numonyx SPI メモリを使用して得られた測定結果を示します。サンプル ソフトウェア ファイルを数か所変更すれば、ほかのボードでも測定可能です。

構成

リファレンス デザイン システムは、Vivado Design Suite : System Edition 2013.4 に付属する Vivado® IP インテグレーターによって構築されます。IP インテグレーターでは、プロセッサ、インターコネク、割り込みコントローラー、ペリフェラル IP コア、メモリ コントローラー、UART をインスタンシエートすることでシステムを構築できます。デザインには、ザイリンクスのソフトウェア開発キット (SDK) を使用して構築されたソフトウェアも含まれます。このソフトウェアは、MicroBlaze™ プロセッサ サブシステム上で実行され、制御、ステータス、モニターの各機能をインプリメントします。リファレンス デザインの ZIP ファイルには IP インテグレーターおよび SDK の完全なプロジェクト ファイルが含まれており、デザインの検討や再構築に活用したり、新規デザインのテンプレートとして使用したりすることができます。

はじめに

AXI Quad SPI コアは、レガシー、エンハンスト、XIP の各モードをサポートします。これら 3 つのモードはさらに、スタンダード、デュアル、クワッドという 3 つの SPI モードに分類されます。スタンダード モードのコマンドは 1 本のライン (IO1)、デュアル モードは 2 本のライン (IO0、IO1)、クワッド モードは 4 本のライン (IO0、IO1、IO2、IO3) を使用してデータの読み書きを実行します。レガシー モードは、以前のバージョン (v1_00a) のコアをベースとするアプリケーションをサポートします。エンハンスト モードはメモリ マップ方式の AXI4 インターフェイスをサポートし、送信および受信 FIFO での固定長バースト機能をサポートします。エンハンスト モードは、DTR または DRR FIFO のフィル または読み出しに必要な AXI インターフェイス時間を削減します。これらの FIFO はコンパイル時に設定を変更でき、深さは 16 または 256 エレメントのいずれかを選択可能です。

このアプリケーション ノートが特に着目するのは、全モードにおける SPI 帯域幅測定です。コアはクワッド SPI モードに設定し、SPI のクロック レートは 80MHz です。表 1 に、各モードで使用する AXI4 インターフェイスを示します。

表 1 : AXI Quad SPI コアの各コンフィギュレーション モードで使用する AXI4 インターフェイス

モード	AXI4-Lite インターフェイス	AXI4 インターフェイス
レガシー モード	Yes	-
エンハンスト モード	-	Yes
XIP モード	Yes	Yes

使用する SPI スレーブの種類に応じて、3 つの SPI モードのうちいずれか 1 つが選択されます。表 2 に、SPI モードとサポートされる SPI クロック周波数および対応する I/O インターフェイスを示します。

表 2 : SPI モードと SCK 分周比および I/O インターフェイス

SPI モード	SPI クロック分周比 (EXT_SPI_CLK 基準)	I/O インターフェイス (CS と SCK は常に存在)
スタンダード	2、4、8、16xn (ただし n = 1 ... 128)	IO0、IO1
デュアル	2	IO0、IO1
クワッド	2	IO0、IO1、IO2、IO3

SPI 側の帯域幅を最大にするには、4 本のラインのすべてでデータ トランザクションが行われるクワッド モードでコアを使用してください。このモードは、Fast Read Quad Output (0x6B h)、Fast Read Quad I/O (0xEB h)、Quad Input Page Program (0x32 h) コマンドをサポートするため、SPI 帯域幅が最大限に活用できます。これらのコマンドはいずれも 4 本の I/O ラインによる SPI フラッシュへの読み書きに対応しています。

ハードウェア要件

このシステムに必要なハードウェア ボード、その他の機器は次のとおりです。

- ザイリンクス KC705 評価ボード (Rev. C、D、または 1.1)

このリファレンス システムの構築およびダウンロードには、次のソフトウェア ツールが必要です。

- Vivado IP インテグレーター 2013.4
- Vivado Design Suite : System Edition 2013.4
- SDK 2013.4

システム スループットの測定

SPI フラッシュから 1MB を読み出す場合のシステム スループットを調べるには、性能が最適となるようコアをクワッド モードに設定する必要があります。Winbond および Numonyx の SPI メモリは、現在ではスタンダード モードよりもデュアルおよびクワッド モードの使用を推奨しています。スタンダード モードに比べて、デュアル モードのコマンドは SPI 帯域幅を約 2 倍、クワッド モードのコマンドは約 4 倍改善します。

AXI Quad SPI v3.1 コアでは SPI 帯域幅が損失なく使用されます。これは、送信データ FIFO にデータが存在する限り、SPI クロックが動作を継続することを意味します。DTR FIFO が半分空いた時点でデータを再度フィルしたり、空きスペースがないか DTR Occupancy レジスタをポーリングしたりするなど、効率的なソフトウェア コーディング手法を採用すれば SPI トランザクション間にアイドル サイクルは発生しません。このような手法は、エンハンスド クワッド モードに加えてレガシー モードにも適用できます。バースト機能の追加により、1MB のデータの読み書きに要する時間は、レガシー クワッド モードに比べてエンハンスド クワッド モードの方が短くなります。今回の測定は、すべて KC705 ボード上の Numonyx メモリをアクセス先とし、80MHz の SPI クロックを使用しています。

システム デザインのブロック図

図 1 に AXI Quad SPI スループット測定システムのデザインを示します。

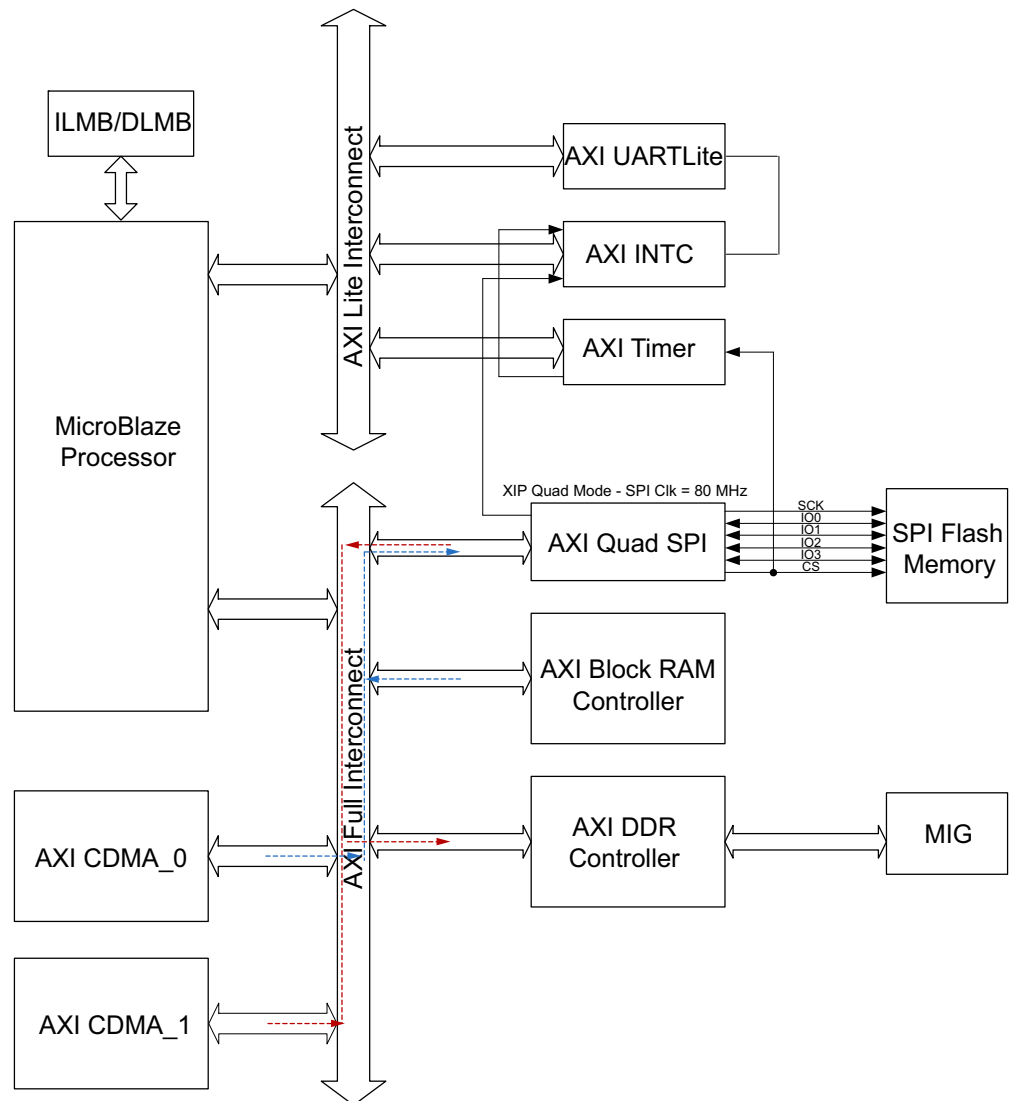


図 1: スループット測定システム デザイン - エンハンスト クワッド モード

適用範囲

ここでは AXI Quad SPI コアのスループットを測定します。システムが SPI フラッシュからエンハンストモードで 1MB のデータを読み書きするのに要する時間として、スループットを測定します。表 3 に、性能測定デモ システムのコア、バージョン、アドレスを示します。

表 3 : AXI Quad SPI - 性能測定システムのコアおよびアドレス

IP	バージョン	ベース アドレス	上位アドレス
axi_quad_spi	3.1	0xC4000000	0xC400FFFF
proc_sys_reset	5.0	N/A	N/A
axi_intc	4.1	0x41200000	0x4120FFFF
lmb_bram_if_cntlr	4.0	0x00000000	0x00001FFF
microblaze (スタンドアロン OS)	9.2	N/A	N/A
mdm	3.0	0x41400000	0x4140FFFF
clock_generator	5.1	N/A	N/A
axi_bram_ctrl	3.0	0xC0000000	0xC001FFFF
axi_interconnect - lite	2.1	N/A	N/A
axi_interconnect - full interface	2.1	N/A	N/A
axi_uartlite	2.0	0x40600000	0x4060FFFF
mig_7series_0	2.0	0x80000000	0xBFFFFFFF
axi_cdma_0	4.1	0x44A00000	0x44A0FFFF
axi_cdma_1	4.1	0x44A10000	0x44A1FFFF
axi_timer	2.0	0x41C00000	0x41C0FFFF
util_reduced_logic	1.00	N/A	N/A
xlconcat_0	1.0	N/A	N/A

スループット測定ソフトウェアのフローチャート

図 2 のソフトウェア フローチャートは、メモリマップ方式の AXI4 インターフェイスを含むシステムでスループットを測定するために、SPI フラッシュに 1MB のデータを書き込む場合を示しています。

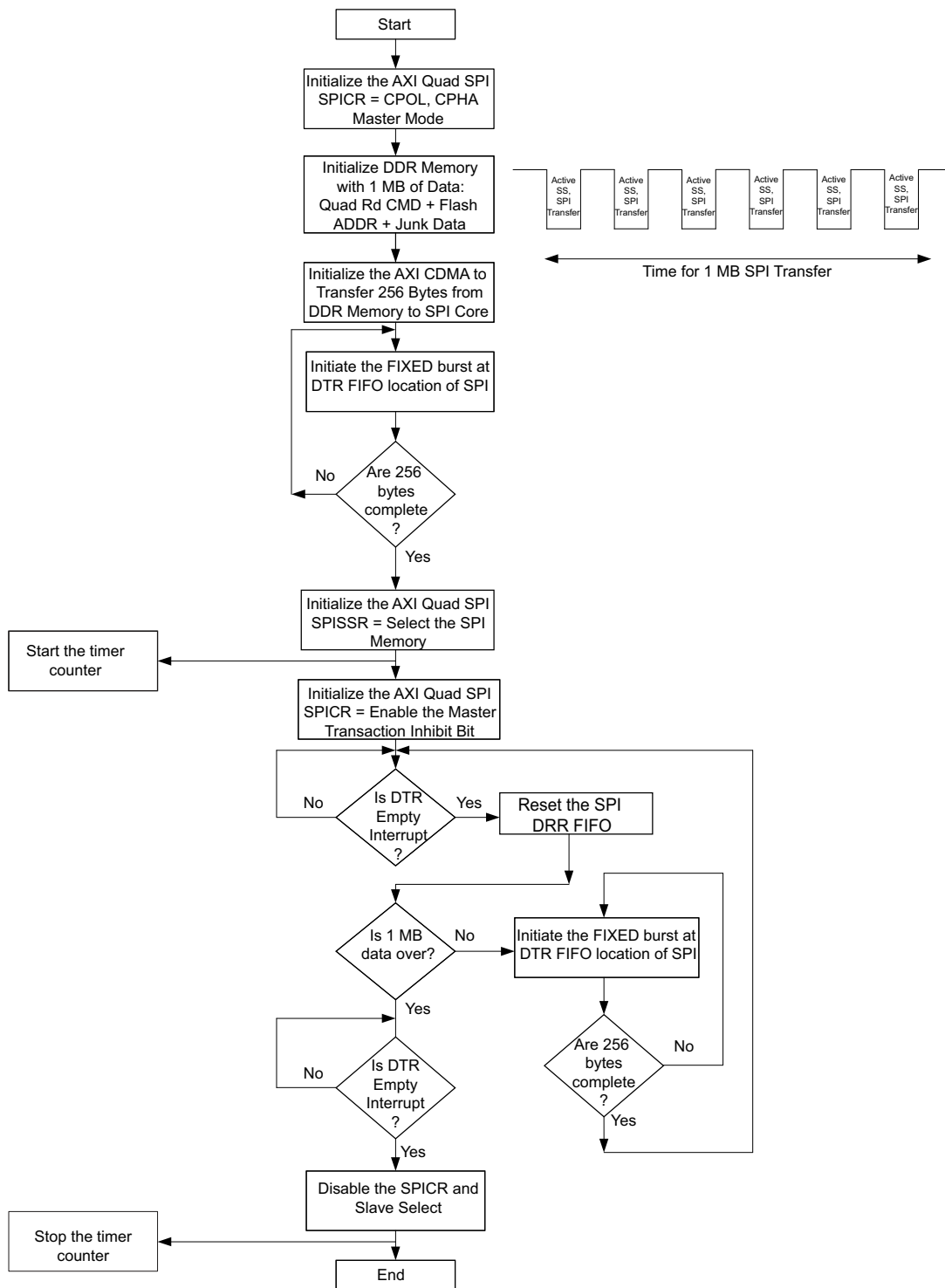


図 2 : ソフトウェア フローチャート - エンハンスド クワッド モード書き込みトランザクション

図 3 に、SPI フラッシュから 1MB のデータを読み出す場合のソフトウェア フローチャートを示します。

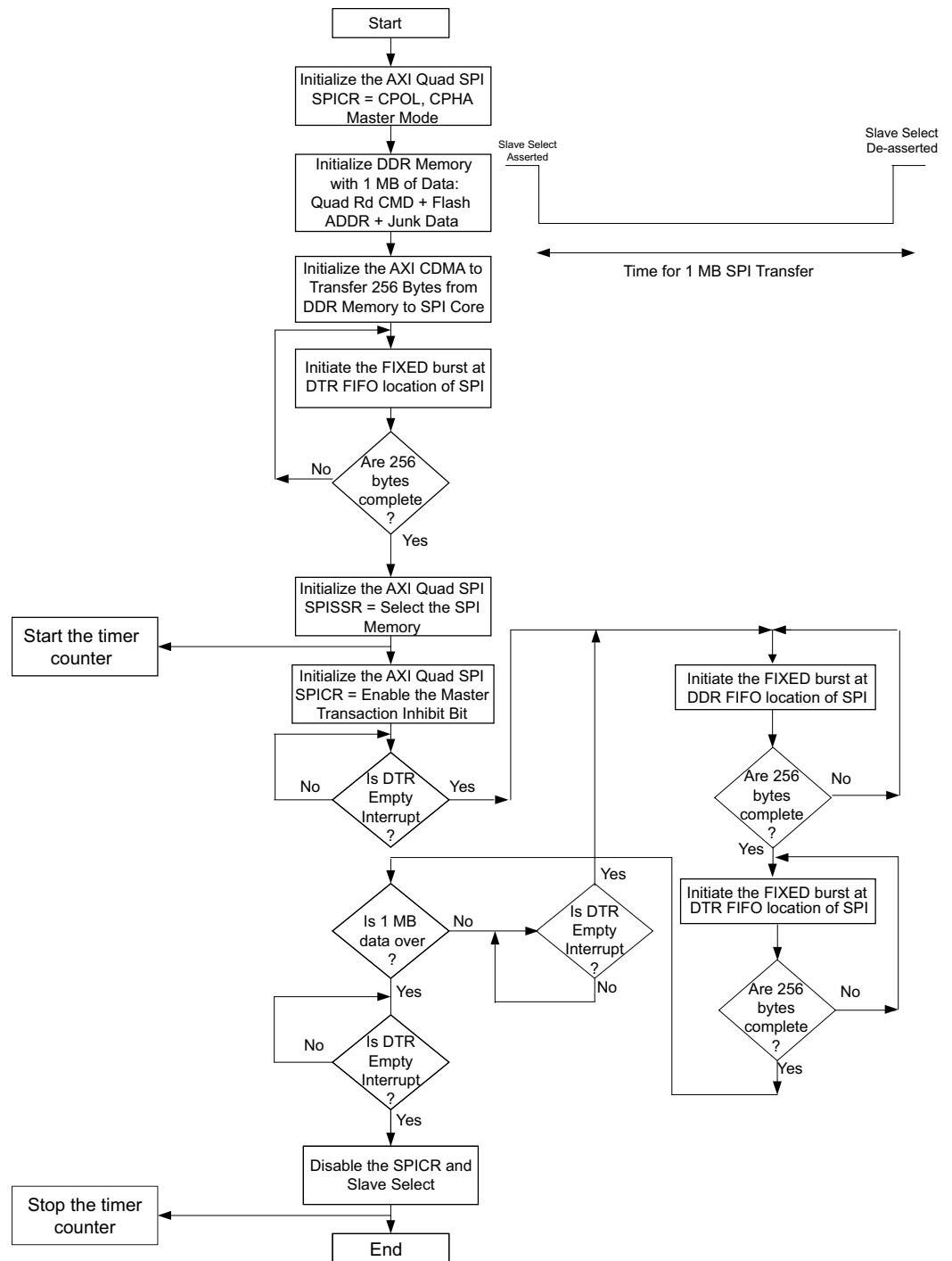


図 3 : ソフトウェア フローチャート - エンハンスド クワッド モード読み出しトランザクション

書き込みおよび読み出しのプロセスの相違

すべての SPI フラッシュ デバイスは 8 ビット インターフェイス モードを備えています。実際のデータ 伝送が開始されるのは、コマンド、アドレス バイト、ダミー バイトが送信された後です。このデータ は 8 ビット パケット モードで伝送されます。フラッシュ書き込みはシングル ページに限られる一方、読み出しにはそのような制約がありません。チップ セレクトがアサートされ、SPI クロックがアクティ ブである限り、SPI フラッシュはホストへのデータ送信を継続します。これは、読み出しとは異なり、SPI デバイスの書き込みプロセスが比較的低速であることを意味します。

エンハンスド クワッド モードによるスループット測定の手順

1. ビルド ディレクトリから次のコマンドを入力して XMD プロンプトに接続します。

```
xmd
```

2. system_enh_quad_md.bit を使用して JTAG ケーブル経由で FPGA を設定します。XMD プロンプトから次のコマンドを入力します。

```
fpga -f system_enh_quad_md.bit (エンハンスド クワッド モードのビット ファイルであることを確認)
```

3. 次のコマンドを入力して FPGA 上で動作するプロセッサに接続します。

```
connect mb mdm
```

4. XMD プロンプトに次のコマンドを入力して FPGA をリセットおよび停止します。

```
rst
stop
```

5. SPI フラッシュに対して読み書きする 1MB のデータ用の ELF ファイルを取得します。このファイルはリファレンス デザインの ZIP ファイルに付属するサンプル ソフトウェアの出力です。

6. 結果を確認するためにハイパーターミナルを起動し、デフォルト コンフィギュレーションで、ボーレートは 9600 に設定します。ボードと PC に UART ケーブルが接続されていることを確認してください。

7. 次のコマンドを使用して ELF ファイルをメモリ (ブロック RAM または DDR) にダウンロードし、実行します。

```
dow kc705_enh_quad_perf.elf
run
```

8. テストが完了するとハイパーターミナルに SUCCESS、PASSED、または FAILED と表示されます。次のコマンドを入力してプロセッサを停止します。

```
stop
```

図 4 と図 5 に出力画面の例を示します。

```

systest-client (on truffle11)
*****
System Performance for AXI Quad SPI Configured in QUAD mode
Entire Chip erase takes more time ... Please wait
Chip Erased
Write started for 4096 pages, Test Bytes : 0x35 & 0x85
### Time Taken for 1 MB Data Write by QSPI : 94338 us    ###
Throughput in MB/sec : 10
Read started for 4096 pages
### Time Taken for 1 MB Data Read by QSPI : 78820 us    ###
Throughput in MB/sec : 12
Data Comparison ... OK
Enhanced QUAD Mode 1MB Data Transfer Test PASSED

```

図 4：エンハンスド クワッド モードの出力例

```

systest-client (on truffle11)
*****
System Performance for AXI Quad SPI Configured in DUAL mode
Entire Chip erase takes more time ... Please wait
Chip Erased
Write started for 4096 pages, Test Bytes : 0x60 & 0x20
### Time Taken For 1 MB Data Write by QSPI : 146214 us    ###
Throughput in MB/sec : 6
Read started for 4096 pages
### Time Taken For 1 MB Data Read by QSPI : 123289 us    ###
Throughput in MB/sec : 8
Data Comparison ... OK
Enhanced DUAL Mode 1MB Data Transfer Test PASSED

```

図 5：エンハンスド デュアル モードの出力例

アプリケーション に付属するハード ウェア システム

このセクションでは、このアプリケーション ノートに付属するスループット測定ハードウェア システムについて説明します。

1. リファレンス デザインの ZIP ファイルには、7 ページの「エンハンスド クワッド モードによるスループット測定の手順」で使用されたファイルが含まれます。ビット ファイルを FPGA にダウンロードして、application.elf を実行します。
2. xapp797_kc705_enh_quad_md.zip ファイルには、次のフォルダーがあります。
 - a. project_1：このフォルダーには、1MB データ転送のスループット測定用ソフトウェアをはじめとする、すべてのシステム ファイルが格納されています。
 - b. ready_for_download：このフォルダーには、system_enh_quad_md.bit および kc705_enh_quad_perf.elf ファイルが含まれます。XMD コマンドの fpga により、system_enh_quad_md.bit ファイルをダウンロードします。XMD コマンドの dow により、kc705_enh_quad_perf.elf ファイルをダウンロードします。
3. xapp797_kc705_enh_dual_md.zip ファイルには、次のフォルダーがあります。
 - a. project_1：このフォルダーには、1MB データ転送のスループット測定用ソフトウェアをはじめとする、すべてのシステム ファイルが格納されています。
 - b. ready_for_download：このフォルダーには、system_enh_dual_md.bit および kc705_enh_dual_perf.elf ファイルが含まれます。XMD コマンドの fpga により、system_enh_dual_md.bit ファイルをダウンロードします。XMD コマンドの dow により、kc705_enh_dual_perf.elf ファイルをダウンロードします。

注記： SPI フラッシュへの書き込みプロセスは、読み出しプロセスに比べて低速です。これは測定結果に反映されず、既存の結果は、アプリケーション ノートで提供するシステムに基づき、このシステムに限定されたものです。ほかのシステム デザインでは速度が異なる可能性があります。

リファレンス デザインの詳細

表 4 に、このアプリケーション ノートのリファレンス デザインの詳細を示します。

表 4: リファレンス デザイン

パラメーター	説明
全般	
開発者	Sanjay Kulkarni、Prasad Gutti
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	Kintex-7 XC7K325T-2FFG900
ソース コードの提供	あり
ソース コードの形式	VHDL/Verilog (一部コアは暗号化済み)
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード/IP の使用	SDK 用に提供されたリファレンス デザインおよび Vivado IP カタログから生成されるコア
シミュレーション	
論理シミュレーションの実施	なし
タイミング シミュレーションの実施	Nなし
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite : System Edition 2013.4
スタティック タイミング解析の実施	あり (PAR/TRCE のタイミングにパス)
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	Kintex-7 FPGA KC705 評価キット

リファレンス デザインのデザイン ファイルは、

<https://secure.xilinx.com/webreg/clickthrough.do?cid=314897> および

<https://secure.xilinx.com/webreg/clickthrough.do?cid=314898> からダウンロードできます。登録が必要です。

デバイス使用率と性能

表 5 と表 6 に、このアプリケーション ノートで説明した両セットアップのデバイス リソース使用状況を示します。

表 5: エンハンスド クワッド モードのデバイス使用率

デバイス	スピード グレード	パッケージ	配置済み スライス	スライス LUT	I/O	RAMB36	RAMB18
XC7K325	-2	TFFG900	36352 (5%)	19287 (19%)	124 (21%)	58 (13%)	N/A

エンハンスド クワッド モードのスループット測定システムの使用率

表 6：モジュールレベルの使用率

IP コア	インスタンス名	スライス	スライススタック	LUT	LUTRAM	ブロックRAM/FIFO	DSP スライス	BUFG	BUFR
axi_qspi	axi_quad_spi_0	1355	693	645	96	0	0	0	0
axi_intc	microblaze_0_intc	396	192	204	32	0	0	0	0
microblaze	microblaze_0	3259	1524	1610	192	10	0	0	0
mig_7series_0	DDR3_SDRAM	23988	10501	13021	2325	0	0	2	0
axi_bram_ctrl	axi_bram_ctrl_0	680	315	363	2	32	0	0	0
axi_cdma	axi_cdma_0	1888	1020	868	81	0	0	0	0
axi_cdma	axi_cdma_1	1887	1020	867	81	0	0	0	0
axi_timer	axi_timer_0	490	222	268	0	0	0	0	0
axi_uartlite	RS232_Uart_1	185	88	96	10	0	0	0	0

前提

このアプリケーション ノートは、Vivado IP インテグレーターについてある程度の一般知識を有するユーザーを対象としています。Vivado IP インテグレーターの詳細は、『Vivado Design Suite ユーザーガイド：IP インテグレーターを使用した IP サブシステムの設計』(UG994) [参照 3] を参照してください。

参考資料

ザイリンクスの資料で使用されている技術用語については、次の用語集を参照してください。

japan.xilinx.com/company/terms.htm

- 『LogiCORE IP AXI Quad SPI 製品ガイド』(PG153)
- 『Spartan-3A DSP 1800A スターター プラットフォームで SPI を利用したフラッシュ メモリからのブートロード』(XAPP1053)
- 『Vivado Design Suite ユーザー ガイド：IP インテグレーターを使用した IP サブシステムの設計』(UG994)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 2 月 20 日	1.0	初版
2014 年 2 月 7 日	2.0	Vivado Design Suite および IP インテグレーターのサポートを追加。最新の資料を参照するように参考資料のセクションを更新。

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v2.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。