



XAPP802 (v1.6) 2005 年 1 月 21 日

## メモリ インターフェイス アプリケーション ノートの概要

著者 : Maria George

### 概要

このアプリケーション ノートでは、Virtex™ シリーズ FPGA をサポートするすべてのザイリンクス メモリ インターフェイスに関するアプリケーション ノートの概要を紹介します。また、一般的なメモリ テクニックの特徴についても説明します。各アプリケーション ノートでは、データ取得テクニック、クロック設計手法、使用する FPGA リソース、およびサポートされるメモリ テクニックについて説明しています。

### はじめに

メモリ インターフェイスはソース同期インターフェイスであり、クロック/ストロブとメモリ デバイスから伝送されるデータがエッジアラインしています。読み出しデータの取得を実現させることは、多くのメモリ インターフェイス ベンダおよびコントローラ ベンダの課題になっています。実際、FPGA での読み出しデータ取得は、設計の中で最も難しい部分です。ザイリンクスは、異なるメモリ テクノロジーやパフォーマンス要件に対応できるさまざまな読み出しデータ取得テクニックを提供しています。それらすべてのテクニックは、ザイリンクス FPGA で実証済みです。

次のセクションでは、一般的なメモリ テクニックについて簡潔に説明します。

### ダブルデータ レート 同期ダイナ ミック ランダム アクセス メモリ (DDR SDRAM)

DDR SDRAM メモリの主な特徴を次に示します。

- SSTL-2.5V Class I/II IO 規格を使用するソース同期の読み出し/書き込みインターフェイス。
- ストロブの両エッジ（ポジティブおよびネガティブ）でデータの読み書きが可能。
- フリーランニングではない双方向のシングル エンド ストロブで、出力は読み出しデータとエッジアラインし、入力を書き込みデータとセンタアライン。
- 4 または 8 データ ビットに 1 ストロブ。
- コンポーネントのデータ バス幅は 8、16、32。DIMM のデータ バス幅は 32、64、72。
- バースト長が 2、4、または 8 データ ワードの読み出しおよび書き込みをサポート。（各データ ワードはデータ バス幅に相当）。
- 周波数は、100MHz、133MHz、166MHz、および 200MHz であり、読み出しレイテンシは 2、2.5、3 クロック サイクル。
- 非アクティブ行の列アドレスへアクセスする前に、行のアクティブ化が必要。
- 15.6μs 毎にリフレッシュ サイクルが必要。
- 電源投入後、通常動作に入る前に初期化シーケンスが必要。

### ダブルデータ レート 同期ダイナ ミック ランダム アクセス メモリ (DDR 2 SDRAM)

DDR SDRAM である第 2 世代メモリ DDR 2 SDRAM の主な特徴を次に示します。

- SSTL-1.8V Class I/II IO 規格を使用するソース同期の読み出し/書き込みインターフェイス。
- ストロブの両エッジ（ポジティブおよびネガティブ）でデータの読み書きが可能。
- フリーランニングではない双方向の差動ストロブで、出力は読み出しデータとエッジアラインし、入力を書き込みデータとセンタアライン。
- 4 または 8 データ ビットに 1 差動ストロブ ペア。

© 2004-2005 Xilinx, Inc. All rights reserved. すべての Xilinx の商標、登録商標、特許、免責条項は、<http://www.xilinx.co.jp/legal.htm> にリストされています。他のすべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

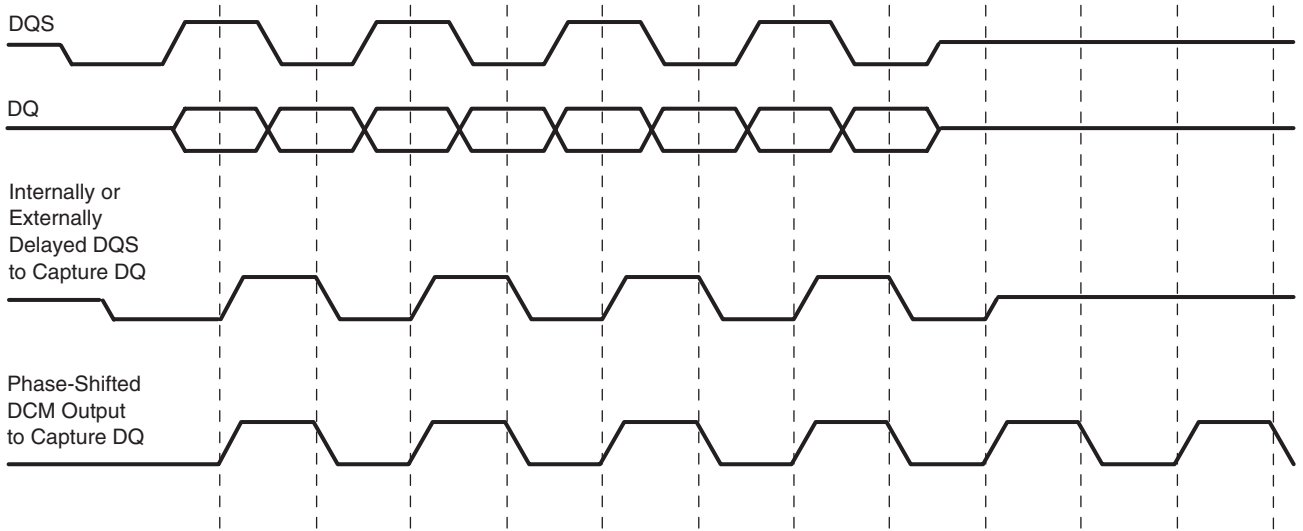
保証否認の通知：Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性や特定の目的に対する適合性についての黙示的な保証も含まれます。

- コンポーネントのデータ バス幅は 4、8、16。DIMM のデータ バス幅は 64、72。バースト長が 4 または 8 データ ワードの読み出しおよび書き込みをサポート。(各データ ワードはデータ バス幅に相当)。
- 周波数は 200MHz から 400MHz の範囲内であり、読み出しレイテンシは最小 3 クロック サイクル。
- 非アクティブ行の列アドレスへアクセスする前に、行のアクティブ化が必要。
- 7.8 $\mu$ s 毎にリフレッシュ サイクルが必要。
- 電源投入後、通常動作に入る前に初期化シーケンスが必要。

## DDR SDRAM または DDR 2 SDRAM を使用 した設計

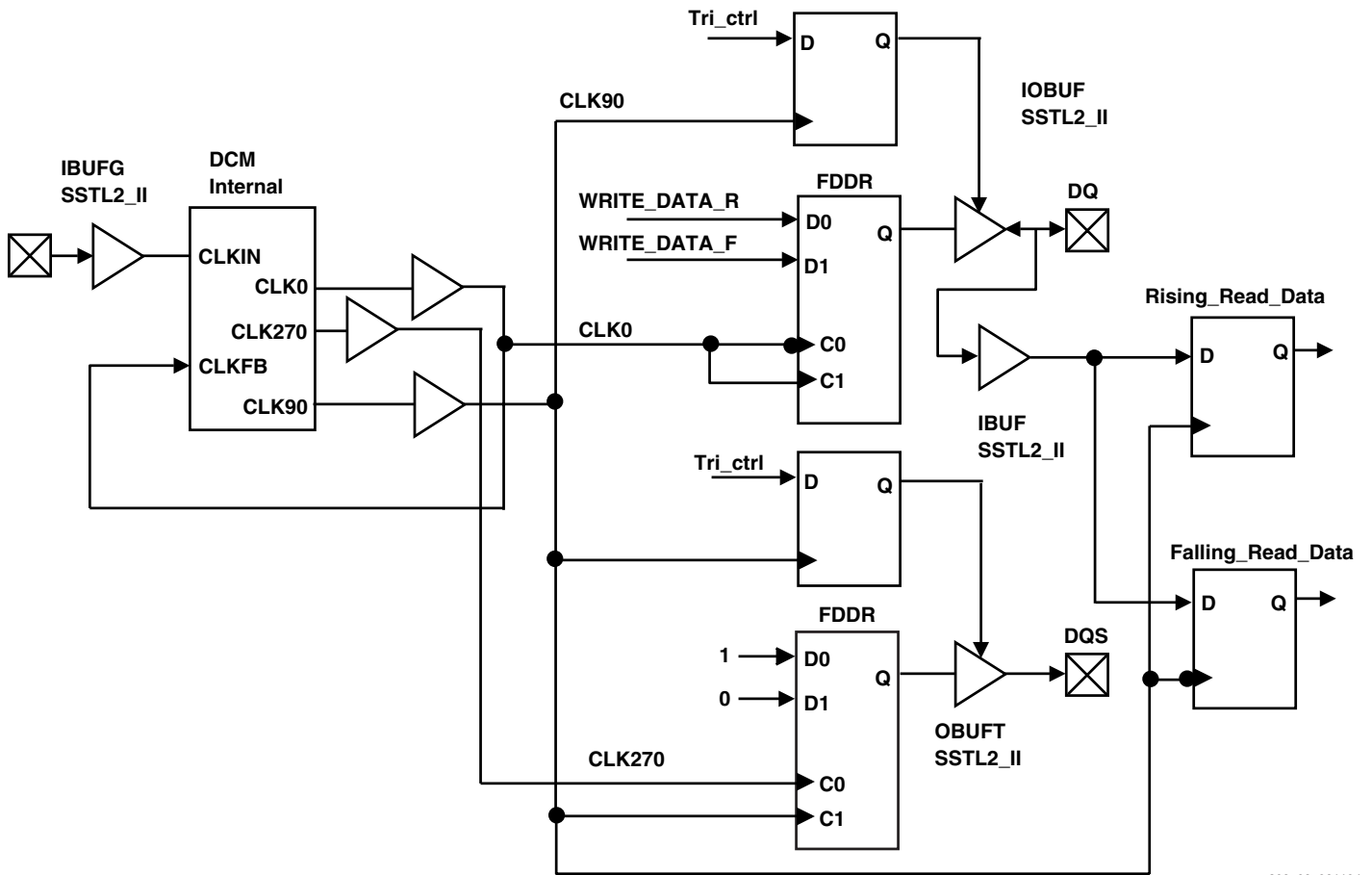
フリーランニングではないストローブとこれらのメモリから出力されるエッジ アラインした読み出しデータにおいて、読み出しデータ取得のインターフェイスを実現することは大変困難です。図 1 に、読み出し動作中のタイミング図を示します。パフォーマンス要件に応じ、さまざまな読み出しデータ取得テクニックを適用できます。これらのテクニックの詳細については、表 1 で示す各アプリケーション ノートで説明しています。

- 低周波数 (100MHz) インターフェイスの場合、読み出しメモリ ストローブを使用せず、DCM 位相シフト出力を使用します。図 2 に、DCM 位相シフト出力を使用したデータ 取得のブロック図を示します。
- 高周波数 (133MHz から 200MHz) インターフェイスの場合、より広いマージンを実現させるには読み出しメモリ ストローブを使用する必要があります。データ ウィンドウの中央でデータを取得するには、ストローブに遅延を追加する必要があります。遅延したストローブは、ローカル クロック リソースを使用して、FPGA 内に分配されます。
  - 遅延コンポーネントまたは PCB の追加トレース長を使用した、外部遅延ストローブ (図 3 を参照)。
  - 継続的に調整される遅延エレメントを使用した、FPGA 内部遅延ストローブ。
    - CLB フリップフロップで読み出しデータを取得 (図 4 を参照)。
    - LUT RAM FIFO で読み出しデータを取得 (図 5 を参照)。
- 高周波数 (200 MHz 以上) インターフェイスの場合、Virtex™-4 デバイスには IDELAY という 64 タップの絶対遅延エレメントが各 I/O に組み込まれています。プロセス、電圧および温度を考慮した上、各タップのリゾリューションは約 80ps です。この機能により柔軟性が備わり、読み出しデータの取得が容易になります。
  - データ取得のためのダイレクト クロック テクニックは、FPGA クロックが有効データ ウィンドウの中央に一致するように読み出しデータに遅延を追加します。読み出しメモリ ストローブを使用して、読み出しデータ遅延の値が決定されます。この読み出しデータ遅延の値は、メモリ ストローブと FPGA クロック間の位相関係を確認して判断されます (図 6 を参照)。



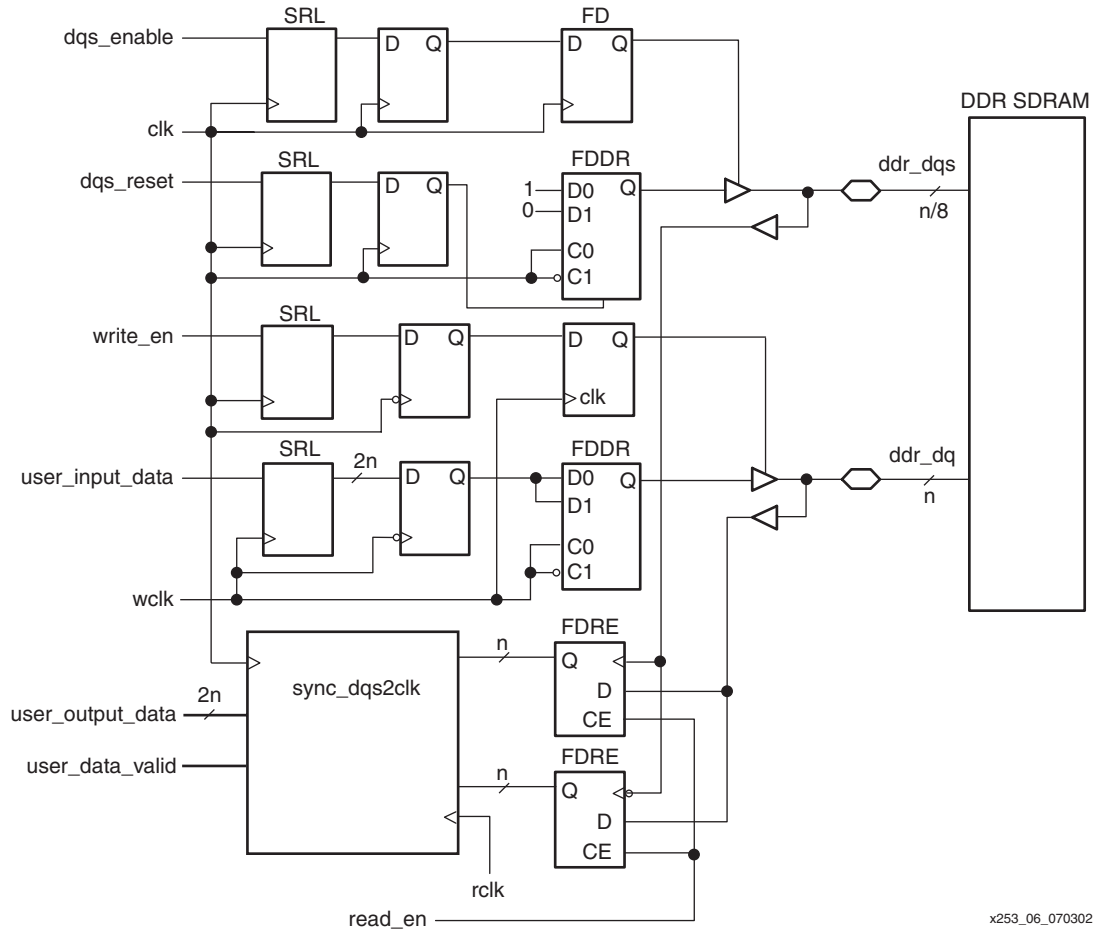
x802\_01\_020904

図 1：読み出し動作のタイミング図



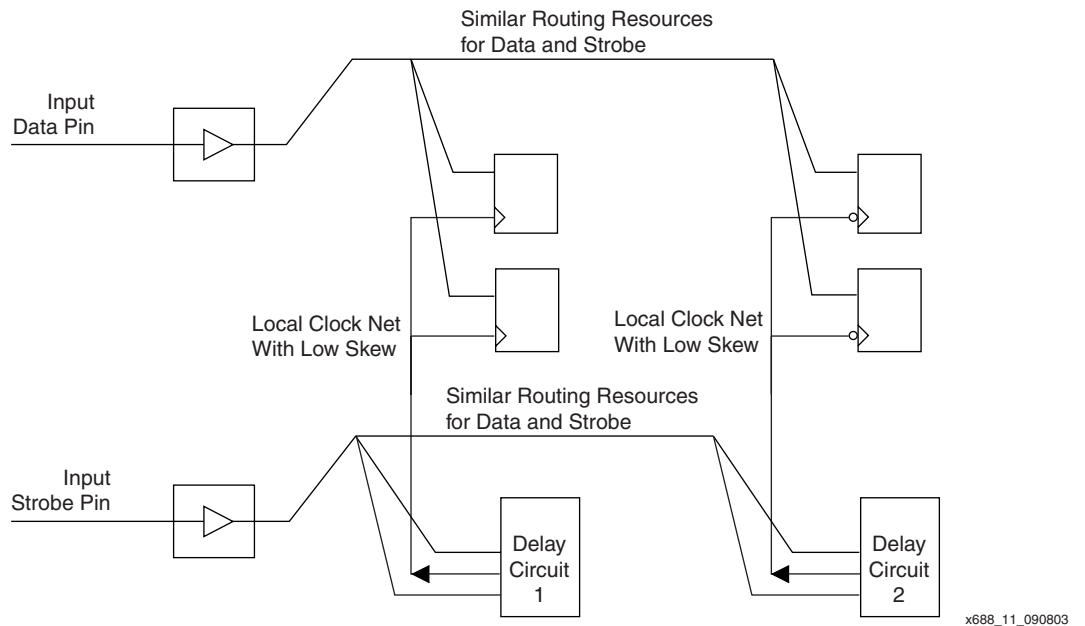
x802\_02\_021104

図 2：位相シフトした DCM 出力を使用した IOB フリップフロップでデータ取得



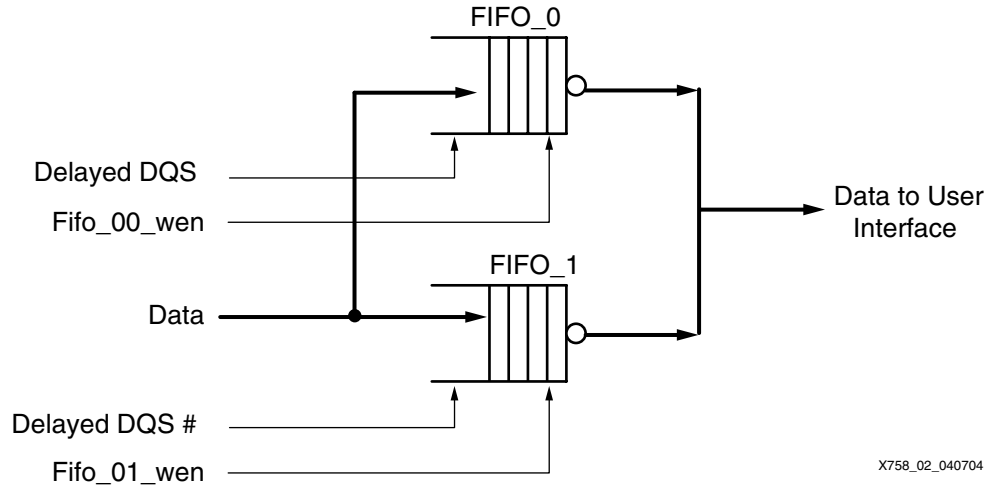
x253\_06\_070302

図 3： 外部遅延 DQS を使用した IOB フリップフロップでデータ取得



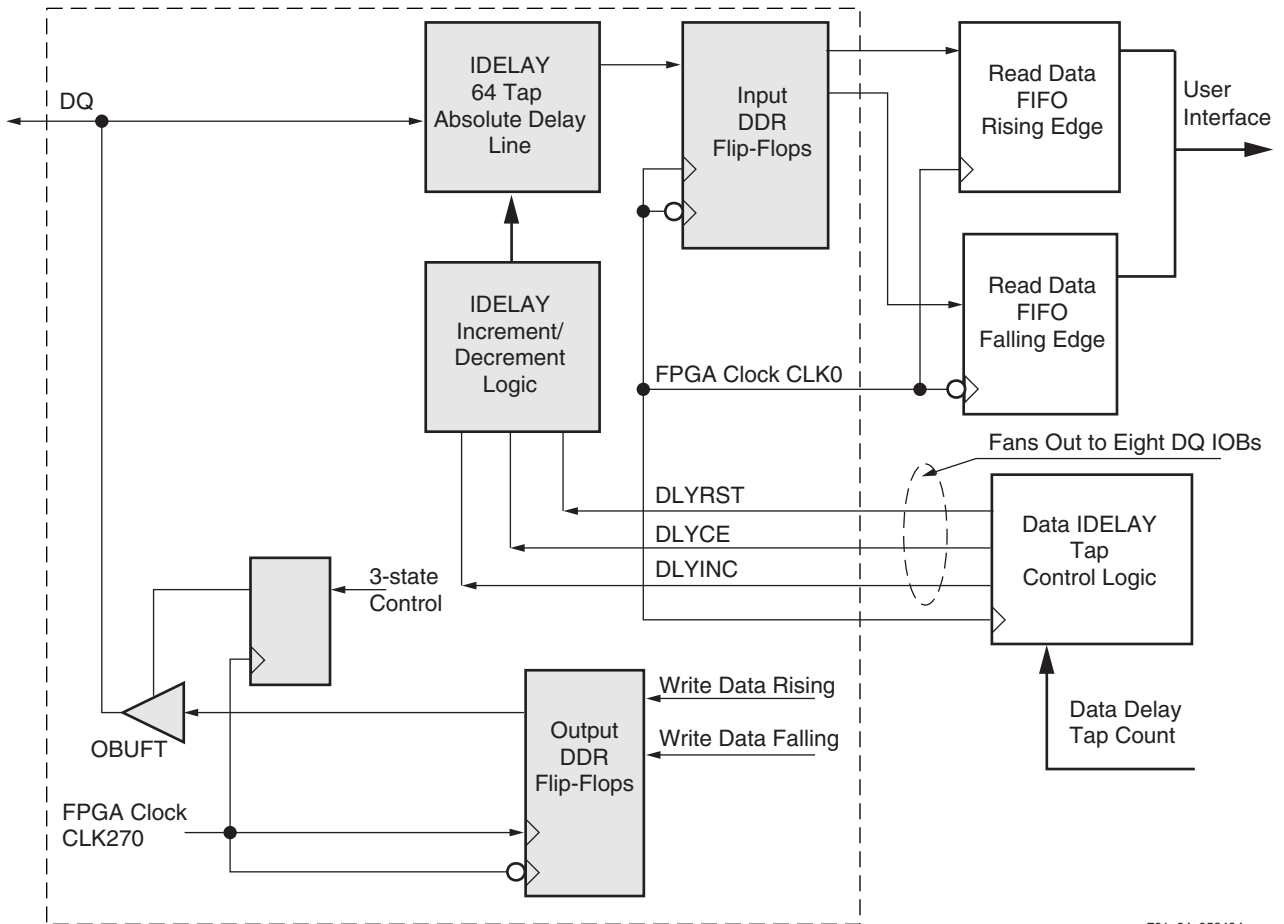
x688\_11\_090803

図 4： 内部遅延 DQS を使用した CLB フリップフロップでデータ取得



X758\_02\_040704

図 5：内部遅延 DQS を使用した LUT RAM FIFO でデータ取得



x701\_04\_052404

図 6：ダイレクト クロッキング テクニックを使用したデータ取得

## クワッド データ レート同期ランダ ム アクセス メモ リ (QDR I SRAM)

QDR I SRAM メモリの主な特徴を次に示します。

- HSTL-2.5V IO 規格を使用したソース同期読み出し/書き込みインターフェイス。
- ストロープの両エッジ（ポジティブおよびネガティブ）でデータの読み書きが可能。
- 一方向のフリー ランニング差動データ/エコー クロックで、読み出しデータとエッジ アラインし、書き込みデータとセンタ アライン。
- 8、9、または 18 データ ビットに 1 差動ストロープ ペア。
- コンポーネントのデータ バス幅は 8、9、18。(QDR-I DIMM はありません)。
- バースト長が 2 または 4 データ ワードの読み出しおよび書き込みをサポート。(各データ ワードはデータ バス幅に相当)。
- 周波数は、154MHz から 267MHz の範囲内であり、読み出しレイテンシは、1.5 クロック サイクル。
- 効果的にメモリ バンド幅を利用するために、行のアクティブ化、サイクルのリフレッシュ、または電源投入後の初期化シーケンスを実行する必要がない。

## クワッド データ レート同期ランダ ム アクセス メモ リ (QDR II SRAM)

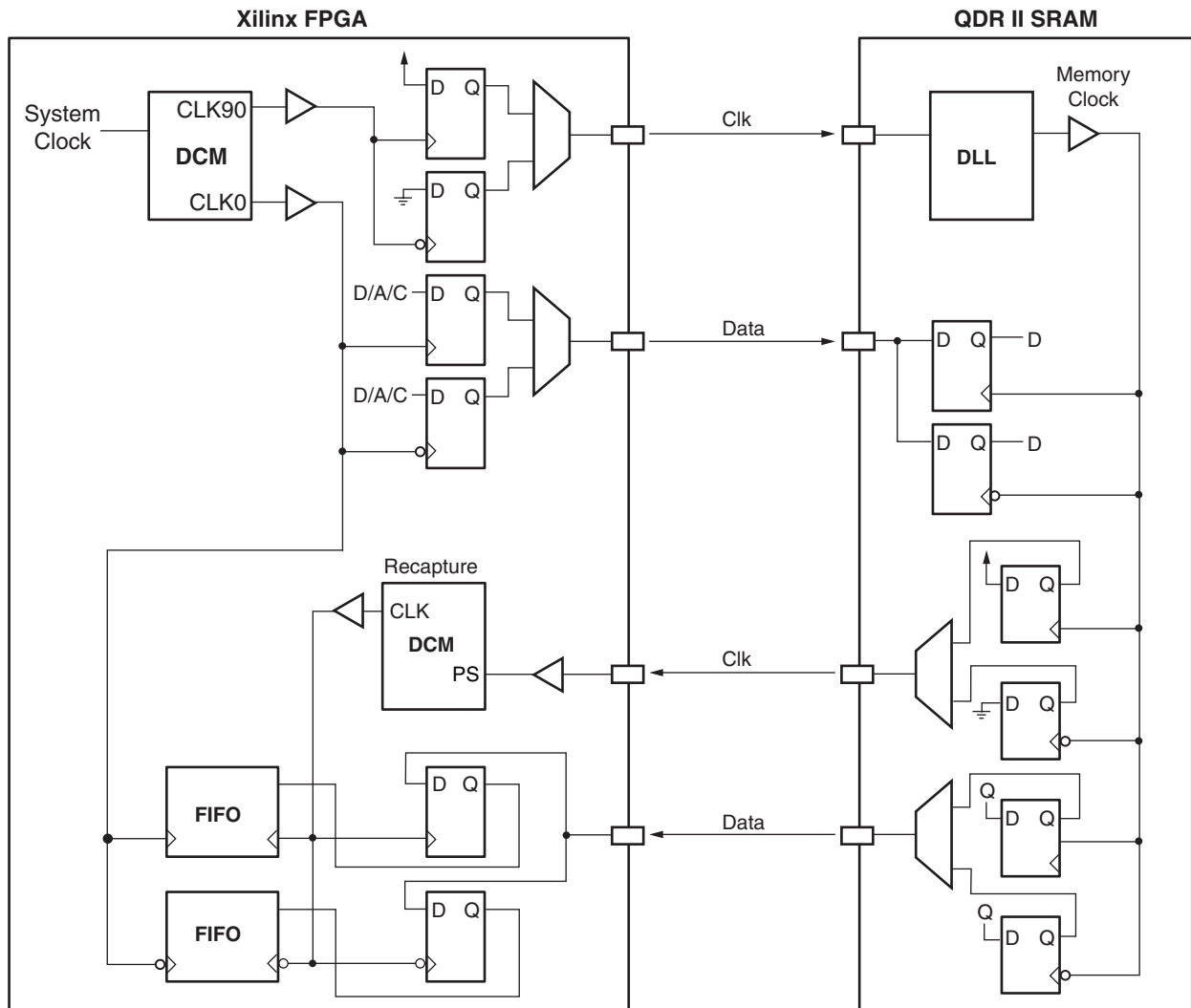
QDR I SRAM である第 2 世代メモリ QDR II SRAM の主な特徴を次に示します。

- HSTL-1.8V IO 規格を使用したソース同期読み出し/書き込みインターフェイス。
- ストロープの両エッジ（ポジティブおよびネガティブ）でデータの読み書きが可能。
- 一方向のフリー ランニング差動データ/エコー クロックで、読み出しデータとエッジ アラインし、書き込みデータとセンタ アライン。
- 8、9、18、36、または 72 データ ビットに、1 差動ストロープ ペア。
- コンポーネントのデータ バス幅は 8、9、18、36。(QDR II SDRAM DIMM はありません)。
- バースト長が 2 または 4 データ ワードの読み出しおよび書き込みがサポート。(各データ ワードはデータ バス幅に相当)。
- 周波数は 154MHz から 267MHz であり、読み出しレイテンシは 1.5 クロック サイクル。
- 効果的にメモリ バンド幅を利用するために、行のアクティブ化、サイクルのリフレッシュ、または電源投入後の初期化シーケンスを実行する必要がない。

## QDR I SRAM または QDR II SRAM を使用す る設計

QDR メモリから出力されるフリーランニング データ クロックにおいて、FPGA における読み出しデータ取得インターフェイスの実現が比較的容易になります。パフォーマンス要件に応じ、さまざまな読み出しデータ取得テクニックを適用できます。これらのテクニックの詳細については、表 1 で示す各アプリケーション ノートで説明しています。

- 低周波数 (100MHz) インターフェイスの場合、メモリ データ クロックを使用せず、DCM 位相シフト出力を使用します。
- 高周波数インターフェイスの場合、広いマージンを実現するためにはメモリ データ クロックまたはエコー クロックのどちらかを使用する必要があります。
  - データ クロック C が DCM の入力になり、DCM 位相シフト出力を使用して、読み出しデータを取得する (最大周波数 200MHz)。
  - エコー クロック CQ が DCM の入力になり、DCM 位相シフト出力を使用して、読み出しデータを取得する (最大周波数 200MHz)。(図 7 を参照)
  - エコー クロック CQ は、継続的に調整される遅延エレメントを使用して FPGA 内で遅延が追加され、遅延した CQ はローカル クロック リソースを使用して分配される (最大 200MHz)。(図 4 を参照)



x802\_03\_111804

図 7: DCM 位相シフト出力を使用したデータ取得

## 低レイテンシ ダイナミックランダムアクセスメモリ (RLDRAM II)

RLDRAM II メモリの主な特徴を次に示します。

- HSTL-1.8V IO 規格を使用したソース同期読み出し/書き込みインターフェイス。
- ストローブの両エッジ（ポジティブおよびネガティブ）でデータの読み書きが可能。
- 一方向のフリーランニング差動メモリクロックで、読み出しデータとエッジアラインし、書き込みデータとセンタアライン。
- 9 または 18 データビットに 1 ストローブ。
- コンポーネントのデータバス幅は 9、18、36。(DIMM はありません)。
- バースト長が 2、4、または 8 データワードの読み出しおよび書き込みがサポートされている。(各データワードはデータバス幅に相当)。
- 周波数は 200MHz、300MHz、または 400MHz であり、読み出しレイテンシは 5 または 6 クロックサイクル。
- メモリデバイスからデータ有効信号が出力される。
- 行のアクティブ化は必要なく、行および列のアドレスは同時に指定。

- 3.9 $\mu$ s 毎にリフレッシュ サイクルが必要。
- 電源投入後、通常動作に入る前に初期化シーケンスが必要。

## RLDRAM II を使用した設計

出力データ クロックは RLDRAM II デバイスから伝送され、読み出しデータとエッジアラインされています。データ取得には、次のテクニックを使用します。

- 高周波数 (200 MHz 以上) インターフェイスの場合、Virtex-4 デバイスには IDELAY という 64 タップの絶対遅延エレメントが各 I/O に組み込まれています。プロセス、電圧および温度を考慮した上、各タップのリゾリューションは約 80ps です。この機能により柔軟性が備わり、読み出しデータの取得が容易になります。
  - ダイレクト クロッキング テクニックは、FPGA クロックが有効データ ウィンドウの中央に一致するように読み出しデータに遅延を与えてデータ取得をします。読み出しメモリ ストロープを使用して、読み出しデータ遅延の値を決定します。この読み出しデータ遅延の値は、メモリ ストロープと FPGA クロック間の位相関係を確認して判断されます。(図 6 に、このブロック図を示します。)

## 高速サイクル ランダム アクセス メモリ (FCRAM-I)

FCRAM-I メモリの主な特徴を次に示します。

- SSTL-2.5V Class I/II IO 規格を使用するソース同期の読み出し/書き込みインターフェイス。
- ストロープの両エッジ (ポジティブおよびネガティブ) でデータの読み書きが可能。
- フリーランニングではない双方向のシングル エンド ストロープ出力で、出力は読み出しデータとエッジアラインし、入力を書き込みデータとセンタアラインする。
- 8 データ ビットに 1 ストロープ。
- コンポーネントのデータ バス幅は、8 および 16。(DIMM はありません)。
- バースト長が 2 または 4 データ ワードの読み出しおよび書き込みがサポートされている。(各データ ワードはデータ バス幅に相当)。
- 周波数は、154MHz から 267MHz の範囲内であり、読み出しレイテンシは、3 または 4 クロック サイクル。
- 非アクティブ行の列アドレスへアクセスする前に、行のアクティブ化が必要。
- 7.8 $\mu$ s 毎にリフレッシュ サイクルが必要。
- 電源投入後、通常動作に入る前に初期化シーケンスが必要。

## FCRAM-I を使用した設計

これらのメモリから出力されるフリーランニングではないストロープとエッジアラインされた読み出しデータの場合、FPGA での読み出しデータ取得インターフェイスを実現させることは大変困難です。FCRAM-I 読み出しデータ取得インターフェイスを実現するには、2つの方法があります。

- 広いマージンを実現させるためには、読み出しメモリ ストロープを使用する必要があります。データ取得には、ストロープ信号がデータ有効ウィンドウの中央に一致するように遅延を追加する必要があります。遅延したストロープは、ローカル クロック リソースを使用して、FPGA 内に分配されます。
  - 遅延コンポーネントまたは PCB の追加トレース長を使用した外部遅延ストロープ (図 3 を参照)。
  - 継続的に調整される遅延エレメントを使用した FPGA の内部遅延ストロープ (図 4 を参照)。



## 高速サイクル ランダム アクセス メモリ (FCRAM-II)

FCRAM-I である第 2 世代メモリ FCRAM-II の主な特徴を次に示します。

- SSTL-1.8V Class I/II IO 規格を使用するソース同期の読み出し/書き込みインターフェイス。
- ストロープの両エッジ（ポジティブおよびネガティブ）でデータの読み書きが可能。
- フリーランニングまたはフリーランニングではない一方向のシングル エンド ストロープ/クロック。出力は読み出しデータとエッジ アラインし、入力は書き込みデータとセンタ アラインする。
- 9 または 18 データ ビットに 1 ストロープ。
- コンポーネントのデータ バス幅は 9、18、36。(DIMM はありません)。
- バースト長が 2 または 4 データ ワードの読み出しおよび書き込みがサポートされている。(各データ ワードはデータ バス幅に相当)。
- 周波数は 154 MHz から 267 MHz の範囲内であり、読み出しレイテンシは 4、5、6 または 7 クロック サイクル。
- 非アクティブ行の列アドレスへアクセスする前に、行のアクティブ化が必要。
- 3.9 $\mu$ s 毎にリフレッシュ サイクルが必要。
- 電源投入後、通常動作に入る前に初期化シーケンスが必要。

表 1 に、Virtex シリーズのメモリ インターフェイスに関する、現在入手可能なアプリケーション ノート (XAPP) の一覧を示し、それぞれで使用した読み出しデータ取得テクニックについて簡潔に説明します。

表 1 : Virtex シリーズ メモリ インターフェイス関連のアプリケーション ノート別データ取得テクニック

メモリ技術 および I/O 規格	サポートさ れる FPGA	最大パフォー マンス	最大データ幅	XAPP 番号	XAPP タイトル	データ取得テクニック
DDR2 SDRAM SSTL-1.8V Class II	Virtex-4	267MHz	16 ビット (コンポーネント) 144 ビットレジス タ付き DIMM	<a href="#">XAPP702</a> <a href="#">XAPP701</a>	『Virtex-4 デバイスを使用 した DDR2 SDRAM コン トローラ』  『ダイレクトクロッキン グテクニックを使用した メモリ インターフェイス のデータ取得』	FPGA クロックがデータ ウィ ンドウの中央に一致するよう に、読み出しデータに遅延を 追加する。  メモリ読み出しストロープを 使用して、読み出しデータ遅 延の値を決定する。
DDR SDRAM SSTL-2.5V Class I/II	Virtex-4	200MHz	16 ビット (コンポーネント) 144 ビットレジス タ付き DIMM	<a href="#">XAPP709</a>	『Virtex-4 デバイスを使用 した DDR SDRAM コン トローラ』	FPGA クロックがデータ ウィ ンドウの中央に一致するよう に、読み出しデータに遅延を 追加する。  メモリ読み出しストロープを 使用して、読み出しデータ遅 延の値を決定する。
QDR II SRAM HSTL-1.8V	Virtex-4	300MHz	72 ビット (コンポーネント)	<a href="#">XAPP703</a>	『QDR II SRAM インター フェイス』	FPGA クロックがデータ ウィ ンドウの中央に一致するよう に、読み出しデータに遅延を 追加する。  メモリ読み出しストロープを 使用して、読み出しデータ遅 延の値を決定する。
RLDRAM II HSTL-1.8V	Virtex-4	300MHz	36 ビット (コンポーネント)	<a href="#">XAPP710</a>	『Virtex-4 FPGA の合成可 能な CIO DDR RLDRAM II コントローラ』	FPGA クロックがデータ ウィ ンドウの中央に一致するよう に、読み出しデータに遅延を 追加する。  メモリ読み出しストロープを 使用して、読み出しデータ遅 延の値を決定する。
DDR SDRAM SSTL-2.5V Class I/II	Virtex-II Virtex-II Pro	200MHz	72 ビット (コンポーネント および DIMM)	XAPP678c (ライセンスの 取得が必要) <a href="#">XAPP688</a>	『CLB フリップフロップ を使用したデータ取得テ クニック』  『Virtex-II および Virtex- II Pro FPGA を使用した 高速メモリ インターフェ イスの設計』	継続的に調整される遅延エレ メントを使用した内部遅延読 み出しメモリ ストロープ (DQS) により、CLB フリッ プフロップ内でデータ取得す る。(図 4 を参照)
DDR SDRAM SSTL-2.5V Class I/II	Virtex-II Virtex-II Pro	167MHz	8 ビット (コンポーネント)	XAPP758c (ライセンスの 取得が必要)	『Virtex-II デバイスと DDR メモリを 167MHz のパフォーマンスでイン ターフェイス』	継続的に調整される遅延エレ メントを使用した内部遅延し た読み出しメモリ ストロープ (DQS) により、CLB フリッ プフロップ内でデータ取得す る。(図 5 を参照)
DDR SDRAM SSTL-2.5V Class I/II	Virtex-II Virtex-II Pro	200MHz	32 ビット (コンポーネント)	XAPP253 (メモ 1 を参 照)	『合成可能な 400 Mbps DDR SDRAM コン トローラ』	外部遅延読み出しメモリ ス トロープ (DQS) により、CLB フリップフロップ内でデータ 取得する。(図 3 を参照)

表 1: Virtex シリーズ メモリ インターフェイス関連のアプリケーション ノート別データ取得テクニック (続き)

メモリ技術 および I/O 規格	サポートさ れる FPGA	最大パフォー マンス	最大データ幅	XAPP 番号	XAPP タイトル	データ取得テクニック
DDR SDRAM SSTL-2.5V Class I/II	Virtex-II Virtex-II Pro	100MHz	64 ビット (DIMM)	XAPP608 (メモ 1 を参 照)	『Virtex-II デバイスの DDR SDRAM DIMM イ ンターフェイス』	読み出しメモリ ストロープ (DQS) を使用せず、DCM 位 相シフト出力を使用して IOB フリップフロップ内でデータ 取得する。(図 2 を参照)
QDR I SRAM HSTL-2.5V	Virtex-II Virtex-II Pro	200MHz	18 ビット (コンポーネント) 2 ワード バースト	<a href="#">XAPP262</a>	『合成可能 QDR SRAM イ ンターフェイス』	メモリ データ クロックが DCM の入力で、DCM 位相 シフト出力を使用して IOB フ リップフロップ内でデータ取 得する。(図 7 を参照)
QDR II SRAM HSTL-1.8V	Virtex-II Virtex-II Pro	200MHz	36 ビット (コンポーネント) 4 ワード バースト	<a href="#">XAPP750</a> XAPP770c (ライセンスの 取得が必要)	『QDR II SRAM ローカル クロッキング物理層 イン ターフェイス』 『Virtex-II シリーズの FPGA のローカル クロッ キング物理層と QDR II SRAM のインターフェイ ス』	継続的に調整される遅延エレ メントを使用した内部遅延読 み出しメモリ ストロープ (CQ) で、CLB フリップフ ロップ内でデータ取得する。 (図 4 を参照)
FCRAM-I SSTL-2.5V Class I/II	Virtex-II Virtex-II Pro	154MHz	16 ビット (コンポーネント)	<a href="#">XAPP266</a>	『合成可能な FCRAM コ ントローラ』	外部遅延読み出しメモリスト ロープ (DQS) で IOB フリッ プフロップ内でデータ取得す る。(図 3 を参照)
DDR SDRAM SSTL-2.5V Class I/II	Spartan-3	133MHz	72 ビット (コンポーネント)	XAPP768c (ライセンスの 取得が必要)	『DDR メモリおよび Spartan-3 デバイスの 133MHz パフォーマンス のインターフェイス』	継続的に調整される遅延エレ メントを使用した内部遅延読 み出しメモリ ストロープ (DQS) で LUT RAM FIFO 内で データ取得する。 (図 5 を参照)
DDR SDRAM SSTL-2.5V Class I/II	Virtex Virtex-E Spartan-II	133MHz	64 ビット (コンポーネント)	XAPP200 (メモ 1 を参 照)	『合成可能な DDR SDRAM コントローラ』	読み出しメモリ ストロープ (DQA) は使用せず、DLL 出 力を使用して CLB フリップ フロップ内でデータ取得す る。
QDR I SRAM HSTL-2.5V	Virtex Virtex-E	100MHz	9 ビット (コンポーネント)	XAPP214 (メモ 1 を参 照)	Virtex デバイス クワッド データ レート (QDR) SRAM インターフェイス	メモリ データ クロックは使 用せず、DLL 出力を使用して CLB フリップフロップ内で データ取得する。
ZBT SRAM LVTTTL	Virtex Spartan-II	200MHz	36 ビット (コンポーネント)	<a href="#">XAPP136</a>	『合成可能な 200MHz ZBT SRAM インター フェイス』	DLL 出力を使用して、シング ルデータ レートの読み出し データを取得する。
SDRAM LVTTTL	Virtex Spartan-II	125MHz	32 ビット (コンポーネント)	<a href="#">XAPP134</a>	『合成可能な高性能 SDRAM コントローラ』	DLL 出力を使用して、シング ルデータ レートの読み出し データを取得する。

## メモ :

- 新規デザインの場合、このアプリケーション ノートは推奨できません。既存デザインの場合は、ザイリンクスの販売代理店またはテクニカルサポートまでお問い合わせください。

表 2 に、すべての Virtex シリーズの現在入手可能なメモリ インターフェイス アプリケーション ノートのリソースの使用情報を示します。

表 2 : Virtex シリーズ メモリ インターフェイス アプリケーション ノート リソース使用情報

XAPP 番号 メモリ テクノロジ I/O 規格	パフォーマンス	DCM/DLL 数	BUFG 数	リストされた DCM および BUFG 数で インターフェイスで きる数	ハードウェア検証で 使用したバイス	要件
<a href="#">XAPP702</a> <a href="#">XAPP701</a> DDR2 SDRAM SSTL-1.8V Class II	267MHz	1	6	同じ周波数の場合、 複数	XC4VLX25 -11 FF668	すべてのバンク をサポート
<a href="#">XAPP709</a> DDR SDRAM SSTL-2.5V Class I/II	200MHz	1	6	同じ周波数の場合、 複数	XC4VLX25 -11 FF668	すべてのバンク をサポート
<a href="#">XAPP703</a> QDR II SRAM HSTL-1.8V	300MHz	1	3	同じ周波数の場合、 複数	XC4VLX25 -11 FF668	すべてのバンク をサポート
<a href="#">XAPP710</a> RLDRAM II HSTL-1.8V	300MHz	1	5	同じ周波数の場合、 複数	XC4VLX25 -11 FF668	すべてのバンク をサポート
XAPP678c (ライセンスの取得が必 要) <a href="#">XAPP688</a> DDR SDRAM SSTL-2.5V Class I/II	200MHz	2	5	同じ周波数の場合、 複数	XC2V1000 -5 FG456 XC2VP20 -6 FF1152	サポートされる バンク： 2、3、6、7
XAPP758c (ライセンスの取得が必 要) DDR SDRAM SSTL-2.5V Class I/II	167MHz	1	4	同じ周波数の場合、 複数	XC2VP20 -6 FF1152	すべてのバンク をサポート
XAPP253 (メモ 1 を参照) DDR SDRAM SSTL-2.5V Class I/II	200MHz	3	5	32 ビット コンポー ネットを 1 つ	XC2V1000 -5 FG456	サポートされる バンク： 2、3、6、7
XAPP608 (メモ 1 を参照) DDR SDRAM SSTL-2.5V Class I/II	100MHz	2	6	64 ビット DIMM を 1 つ	XC2V6000 -5 FF1152	すべてのバンク をサポート
<a href="#">XAPP262</a> QDR I SRAM HSTL-2.5V	200MHz	2	6	18 ビット コンポー ネットを 1 つ	XC2V3000	すべてのバンク をサポート
<a href="#">XAPP750</a> XAPP770c (ライセンスの取得が必 要) QDR II SRAM HSTL-1.8V	200MHz	2	5	同じ周波数の場合、 複数	XC2VP20 -6 FF1152	サポートされる バンク： 2、3、6、7

表 2: Virtex シリーズ メモリ インターフェイス アプリケーション ノート リソース使用情報 (続き)

XAPP 番号 メモリ テクノロジ I/O 規格	パフォーマンス	DCM/DLL 数	BUFG 数	リストされた DCM および BUFG 数で インターフェイスで きる数	ハードウェア検証で 使用したバイス	要件
<a href="#">XAPP266</a> FCRAM-I SSTL-2.5V Class I/II	154MHz	2	3	16 ビット コンポー ネットを 1 つ	XC2V1000-4 FG456	サポートされる バンク: 2、3、6、7
XAPP768c (ライセンスの取得が必 要) DDR SDRAM SSTL-2.5V Class I/II	133MHz	1	2	同じ周波数の場合、 複数	3S1500-4 FG676	すべてのバンク をサポート
XAPP200 (メモ 1 を参照) DDR SDRAM SSTL-2.5V Class I/II	133MHz	2 DLL	2	64 ビット コンポー ネットを 1 つ	Virtex-6 Spartan-II-6	すべてのバンク をサポート
XAPP214 (メモ 1 を参照) QDR I SRAM HSTL-2.5V	100MHz	2 DLL	5	9 ビット コンポー ネットを 1 つ	XCV50	すべてのバンク をサポート
<a href="#">XAPP136</a> ZBT SRAM LVTTTL	200MHz	2 DLL	2	32 ビット コンポー ネットを 1 つ	Virtex-6 Spartan-6	すべてのバンク をサポート
<a href="#">XAPP134</a> SDRAM LVTTTL	125MHz	2 DLL	3	32 ビット コンポー ネットを 1 つ	Virtex-6	すべてのバンク をサポート

## メモ:

- 新規デザインの場合、このアプリケーション ノートは推奨できません。既存デザインについては、ザイリンクスの販売代理店またはテクニカル サポートまでお問い合わせください。

## まとめ

ここに記載したさまざまなメモリ テクノロジおよびパフォーマンス要件に関するアプリケーション ノートは、[www.xilinx.co.jp](http://www.xilinx.co.jp) より入手できます。このアプリケーション ノートの表 1 および表 2 から、デザインに最適なアプリケーション ノートを参照してください。

## 改訂履歴

このドキュメントの改訂履歴を示します。

日付	バージョン	改訂内容
2004/02/11	1.0	初版リリース
2004/05/10	1.1	XAPP 758 に関する内容の追記
2004/06/22	1.2	微修正
2004/06/28	1.3	微修正
2004/08/31	1.4	表 1 および 表 2 の変更

日付	バージョン	改訂内容
2004/11/18	1.5	<a href="#">図 7</a> の修正
2005/01/21	1.6	Virtex-4 に関する内容の追記