



XAPP851 (v1.1) 2006 年 7 月 14 日

Virtex-5 FPGA デバイスを使用した DDR SDRAM コントローラ

本資料は英語版 (v1.1) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

概要

このアプリケーション ノートでは、Virtex™-5 デバイスにインプリメントされる 200MHz DDR SDRAM (JEDEC DDR400、PC3200 規格) コントローラについて説明します。このコントローラのインプリメンテーションでは、IDELAY エlementを使用して、読み出しデータのタイミングが調整されます。読み出しデータのタイミングは、このコントローラで調整されます。

DDR SDRAM デバイスは、コストが低く、集積度が高いストレージ リソースで、多数のメモリ ベンダーから入手可能です。このリファレンス デザインは、DDR400 SDRAM コンポーネントを使用して開発されています。

DDR SDRAM について

DDR SDRAM の仕様は、米国電子工業会 (Electronic Industries Alliance : EIA) の一部である JEDEC のサイト (<http://www.jedec.org/>) から入手できます。DDR SDRAM の仕様は、JESD79E という名前で参照されています。

DDR SDRAM デバイスは、消費者向け製品、映像システムなどさまざまなアプリケーションで最も頻繁に利用されているシリコン メモリ リソースです。DDR SDRAM デバイスの周波数範囲は、200MHz または DDR400 までです。DRAM デバイスは、コンポーネントまたはモジュール コンフィギュレーションで使用できます。

DDR コントローラのコマンド

表 1 に、コントローラにより発行されるコマンドを示します。これらのコマンドは、次の制御信号を使用してメモリに転送されます。

- 行アドレス セレクト ($\overline{\text{RAS}}$)
- 列アドレス セレクト ($\overline{\text{CAS}}$)
- ライト イネーブル ($\overline{\text{WE}}$)
- クロック イネーブル (CKE) (デバイスのコンフィギュレーション後は High に保持)
- チップ セレクト ($\overline{\text{CS}}$) (デバイスの動作中は Low に保持)

表 1 : DDR SDRAM のコマンド

信号番号	動作	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{WE}}$
1	Load Mode Register	L	L	L
2	Auto Refresh	L	L	H
3	Precharge ⁽¹⁾	L	H	L
4	Select Bank Activate Row	L	H	H

© 2006 Xilinx, Inc. All Rights Reserved. XILINX、Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知 : Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。

表 1 : DDR SDRAM のコマンド(続き)

信号番号	動作	RAS	CAS	WE
5	Write Command	H	L	L
6	Read Command	H	L	H
7	No Operation (NOP)	H	H	H

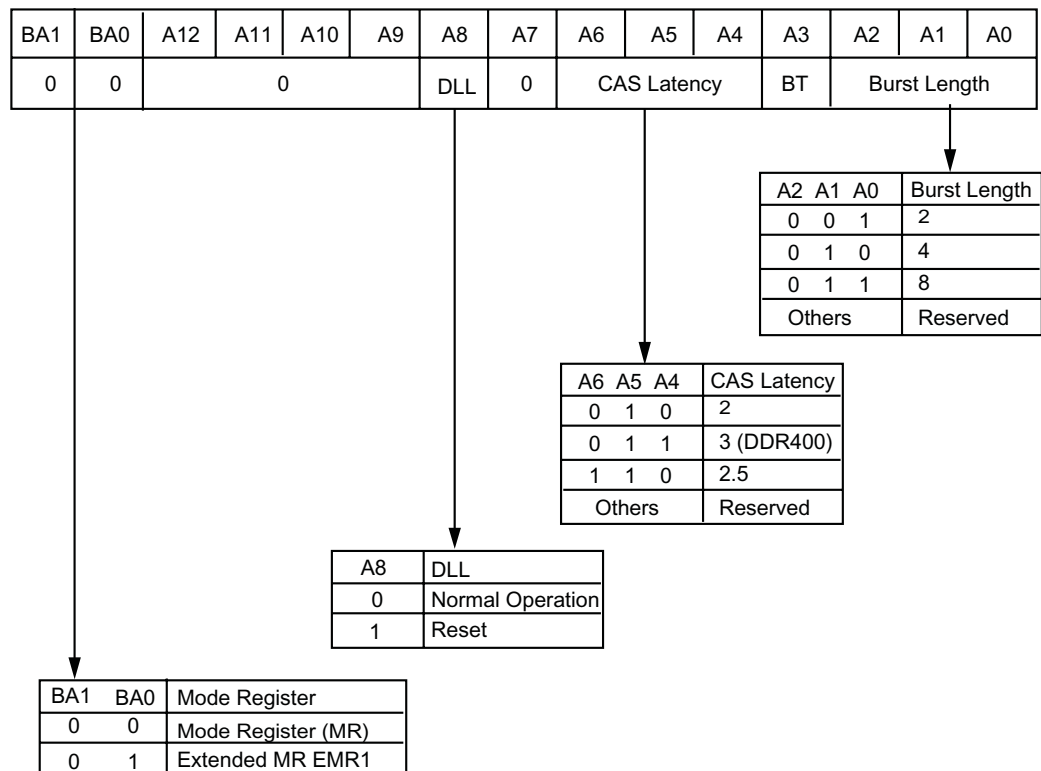
メモ :

1. アドレス信号 A10 は、PRECHARGE ALL BANKS のときは High に保持し、単一のバンク プリチャージのときは Low に保持します。

コマンドの機能

モード レジスタ

モード レジスタは、バースト長の選択、バーストのタイプ、CAS レイテンシ、操作モードなど、DDR SDRAM の操作モードを定義します。図 1 に、このコントローラで使用するモード レジスタの定義を示します。



x851_01_031806

図 1 : DDR400 のモード レジスタの定義

バンク アドレス BA1 および BA0 は、モード レジスタを選択します。図 1 には、バンク アドレス ビットのコンフィギュレーションも示されます。

拡張モード レジスタ

拡張モード レジスタでは、モード レジスタで制御できない機能を設定できます。拡張モード レジスタで設定できる機能は、図 2 に示すように、DDR SDRAM インターフェイスの DLL イネーブル/ディスエーブルおよび出力駆動電流です。

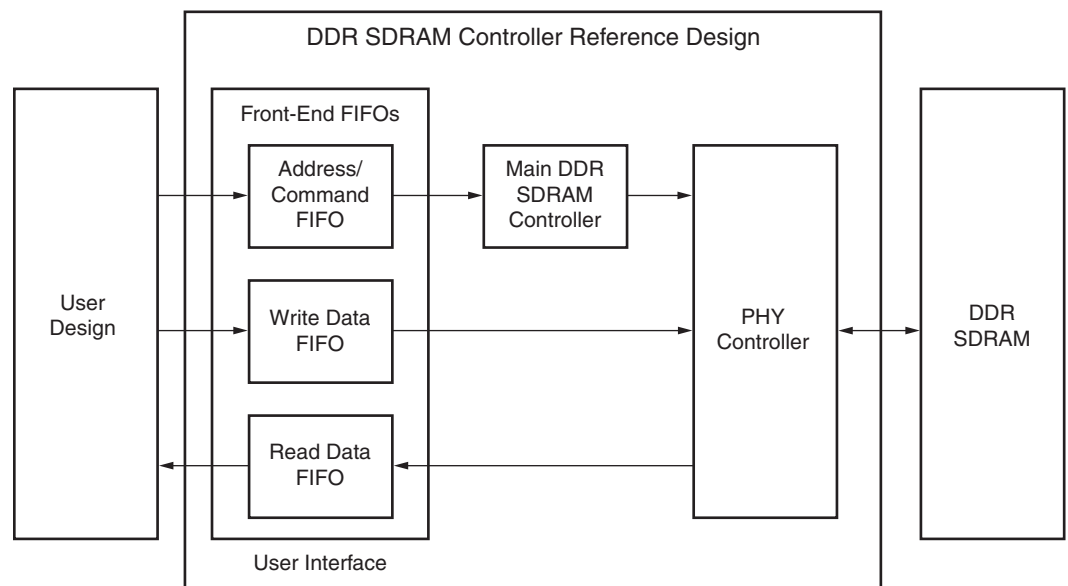


x851_02_031806

図 2 : DDR400 の拡張モード レジスタ

DDR SDRAM メモリ コントローラ リファンレス デザイン

メモリ コントローラ リファンレス デザインには、図 3 に示すように、PHY レイヤとメイン コントローラ レイヤが含まれます。PHY レイヤには、メモリ初期化ロジックとアドレス/コマンド/データの I/O ロジックが含まれます。読み出しデータがキャプチャされるタイミングのキャリブレーションは、この PHY レイヤ内で実行されます。メイン コントローラ レイヤには、DDR SDRAM コントローラ ステート マシンとアドレス/コマンド/データの FIFO ロジックが含まれます。



X851_03_050606

図 3 : DDR SDRAM メモリ コントローラ リファンレス デザインの構造

DDR SDRAM インターフェイス デザイン

DDR コントローラへのユーザー インターフェイスは、ユーザーがコマンドを実行すると基本的な FIFO のような役割りを果たし、DDR メモリにデータを書き込んだり、DDR メモリからデータを読み出したりに使用されます。ユーザー インターフェイスのデータ幅は DDR メモリ バスの 2 倍なので、DDR メモリ コントローラには FPGA クロック サイクルごとに 2 データ ワードが供給されます。

DDR SDRAM ユーザー インターフェイス

バックエンド ユーザー インターフェイスには、次の 3 つの FIFO が含まれます。

- アドレス/コマンド FIFO
- 書き込みデータ FIFO
- 読み出しデータ FIFO

最初の 2 つの FIFO はユーザー特有のバックエンド モジュールに読み込まれます。読み出しデータ FIFO は PHY コントローラからアクセスされ、各読み出しサイクルごとにキャプチャしたデータを格納します。

表 2: ユーザー インターフェイスのポート

ポート名	I/O	幅	説明	メモ
APP_ADDR	I	36	コントローラで実行されるコマンドの命令コードおよびアドレス。このポートのビットは次のようにマップされます。 [31:0] メモリ アドレス (CS、バンク、行、列) [34:32] ダイナミック コマンド要求 (表 4 参照) [35] 未使用 - 将来の機能のために予約	この FIFO に書き込まれる前に APP_ADDR_AF (almost full フラグ) を監視
APP_ADDREN	I	1	APP_ADDR の書き込みストロブ	アクティブ High
APP_ADDR_AF	O	1	アドレス/コマンド FIFO (almost full フラグ)	アクティブ High
APP_WR_DATA	I	data_width x 2	書き込みバースト用の書き込みデータ	
APP_DATAMASK	I	data_mask_width x 2	書き込みデータに対するデータ マスク	
APP_DATAEN	I	1	APP_WR_DATA/APP_DATAMASK の書き込みストロブ	アクティブ High
APP_WRDATA_AF	O	1	書き込みデータ FIFO (almost full フラグ)	アクティブ High
APP_RD_DATA	I	data_width x 2	読み出しデータ FIFO 出力 (キャプチャされた読み出しデータ)	
APP_RD_VALID	O	1	アサートされると、APP_RD_DATA のキャプチャされた読み出しデータが現在のクロック サイクルで有効であることを示します。	アクティブ High
CTRL_RDY	O	1	アサートされると、PHY インターフェイス ロジックが SDRAM の初期化と読み出しデータバスのキャリブレーションを終了したことを示します。	アクティブ High
PHY_ERROR	O	1	アサートされると、読み出しデータバスのキャリブレーション中にエラーが発生したことを示します。	アクティブ High

メモリ アドレス (APP_ADDR) には、表 3 に示すように、列アドレス、行アドレス、バンク アドレス、ディープ メモリ インターフェイスのチップ セレクト幅が含まれます。

注意 このメモリ コントローラでは自動プリチャージがサポートされないので、Read コマンドと Write コマンドの両方で APP_ADDR[10] が必ず Low になるように設定してください。

表 3: ユーザー インターフェイスのアドレス ビット

アドレス	ビット
列アドレス	col_ap_width - 1 : 0
行アドレス	col_ap_width + row_address - 1 : col_ap_width
バンク アドレス	col_ap_width + row_address + bank_address - 1 : col_ap_width + row_address
チップ セレクト	col_ap_width + row_address + bank_address + chip_address - 1 : col_ap_width + row_address + bank_address

ダイナミック コマンド 要求

表 4 は、ユーザー インターフェイスを介したメモリ コントローラでサポートされるコマンドをリストしています。「Load Mode Register」、「Auto Refresh」、「Precharge」、「Activate」などのコマンドは、適切なタイミングでメモリ コントローラから自動的に実行されますが、ユーザー インターフェイスから手動で実行することも可能です。

表 4: コントローラでサポートされるコマンド

APP_ADDR[34:32]	説明
000	Load Mode Register
001	Auto Refresh
010	Precharge All
011	Activate
100	Write
101	Read
110	NOP
111	NOP

DDR SDRAM コントローラ インターフェイス

図 4 に、DDR SDRAM コマンド生成ステート マシンを示します。

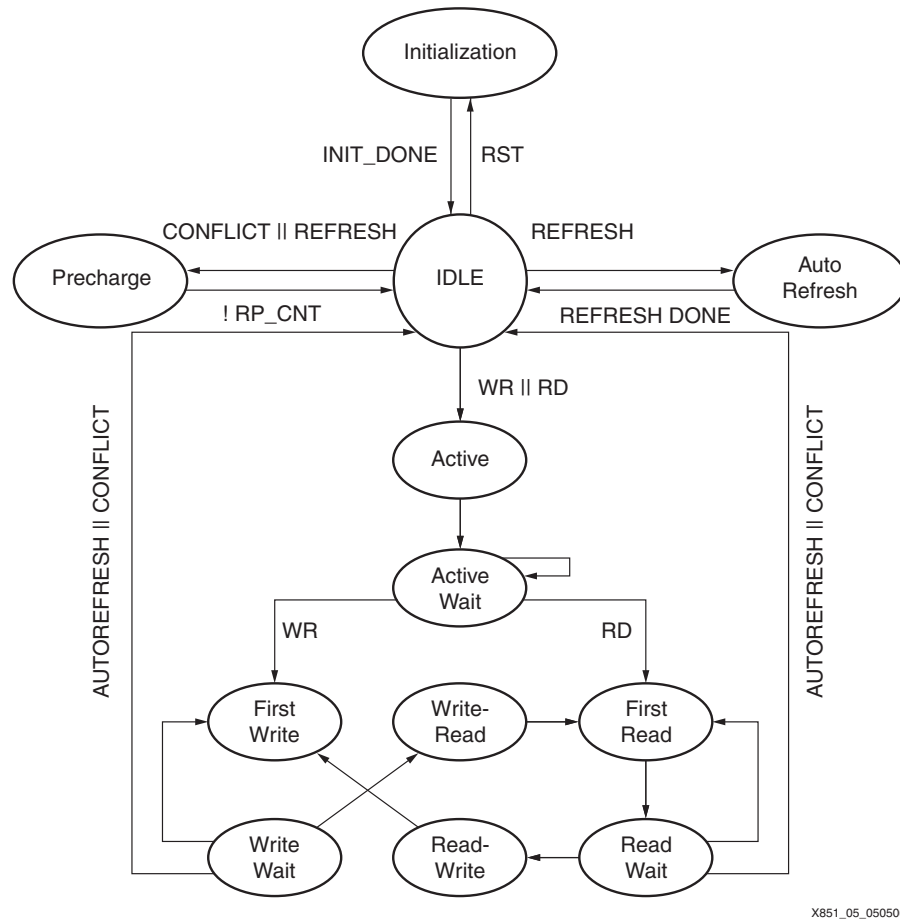


図 4：メイン コントローラ ステート マシン

コントローラからメモリにコマンドが送信される前に、次の操作が実行されます。

1. コマンド ロジック ブロックにより **Read/Write** コマンドが生成されます。
2. コントローラにより、読み出し/書き込みアドレス FIFO にリード イネーブル信号が送信されます。
3. すべてのバンクがプリチャージされている場合は対応するバンクの行がアクティブになり、既にアクティブな行がある場合は、その行とバンクのアドレスが新しい行とバンクのアドレスと比較されます。異なる場合は、現在アクティブな行がプリチャージされ、読み出し/書き込みステートに遷移する前に **Active** コマンドが送信されます。
4. **Write** ステートのときに **Read** コマンドが検出されると、**Write_to_Read** タイム後に **Read** コマンドが送信されます。同様に、読み出しステートのときにコマンド ロジック ブロックから **Write** コマンドが検出されると、**Read_to_Write** タイム後に **Write** コマンドが送信されます。
5. コマンドは、DDR メモリに対して送信される前に、パイプライン化されてアドレス信号に同期します。

表 5 は、SDRAM コントローラ インターフェイスのデザイン ファイルを示しています。

表 5: DDR SDRAM コントローラのデザイン ファイル

モジュール名	ファイル名	説明
DDR1_TOP	ddr1_top.vhd	最上位モジュール
DDR1_PARAMETERS	ddr1_parameters.vhd	DDR SDRAM メモリ パラメータ
DDR1_CONTROLLER	ddr1_controller.vhd	DDR SDRAM メモリのメイン コントローラ
DDR1_BACKEND_FIFOS	ddr1_backend_fifos.vhd	ddr1_rd_wr_addr_fifo および ddr1_wr_data_fifo_16 モジュールをインスタンス化
DDR1_RD_WR_ADDR_FIFO	ddr1_rd_wr_addr_fifo.vhd	読み出し/書き込みアドレス FIFO
DDR1_WR_DATA_FIFO_16	ddr1_wr_data_fifo_16.vhd	書き込みデータ FIFO

表 6 は、SDRAM コントローラ インターフェイスの最上位レベルの I/O ポートを示しています。

表 6: DDR SDRAM コントローラの最上位レベルのポート

ポート名	I/O	説明
RST	I	信号の詳細は、8 ページの「PHY インターフェイス」を参照
CLK0	I	
CLK90	I	
CKE	O	
CK	O	
AD	O	
BA	O	
CS_n	O	
RAS_n	O	
CAS_n	O	
WE_n	O	
DM	O	
DQ	I/O	
DQS	I/O	

表 6 : DDR SDRAM コントローラの最上位レベルのポート(続き)

ポート名	I/O	説明
APP_ADDR	I	信号の詳細は、8 ページの「PHY インターフェイス」を参照
APP_ADDR_EN	I	
APP_WR_DATA	I	
APP_DATA_MASK	I	
APP_DATA_EN	I	
APP_RD_DATA	O	
APP_RD_VALID	O	
APP_ADDR_AF	O	
APP_WR_DATA_AF	O	
CTRL_RDY	O	
PHY_ERROR	O	

PHY インターフェイス

PHY レイヤには、DDR SDRAM メモリの初期化ステートマシンと読み出しデータのキャプチャタイミングをキャリブレーションするロジックが含まれます。電源が投入されると、DDR SDRAM メモリの初期化が開始され、初期化が終了すると、読み出しデータをキャプチャするタイミングのキャリブレーションが開始されます。

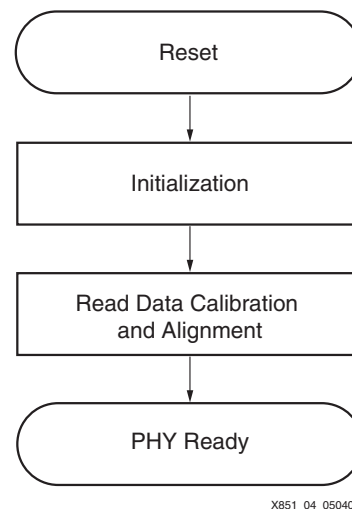
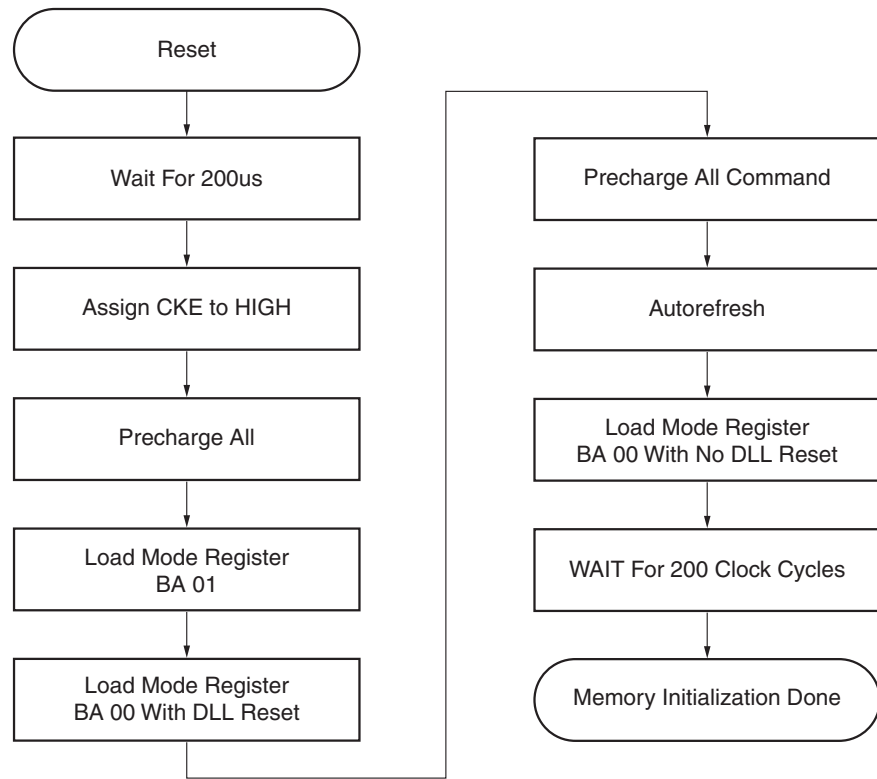


図 5 : PHY 初期化ステートマシンのシーケンス

初期化

DDR SDRAM は、読み出しおよび書き込みの前に初期化される必要があります。図 6 に示すとおり、アクティブ High のリセット信号が High から Low に設定されると、コントローラはメモリの初期化を開始します。メモリの初期化シーケンスは、JEDEC 規格で定義されています。



X851_06_050406

図 6：メモリ初期化ステート マシンのシーケンス

読み出しデータ キャプチャのタイミング キャリブレーション

読み出しデータは、キャリブレーション後に DQS ストローブ信号と共にキャプチャされます。この後、読み出しデータは DQS のクロックドメインから FPGA のクロックドメイン (CLK0) に転送される必要がありますが、DQS は FPGA クロックと関係付けられていないため、転送するには DQ/DQS を位相シフトし、FPGA クロックでタイミング違反なしに DQ データがキャプチャされるようにする必要があります。図 7 に示すとおり、DQ データは IDDR レジスタを使用して DQS 信号によりキャプチャされ、同期されます。

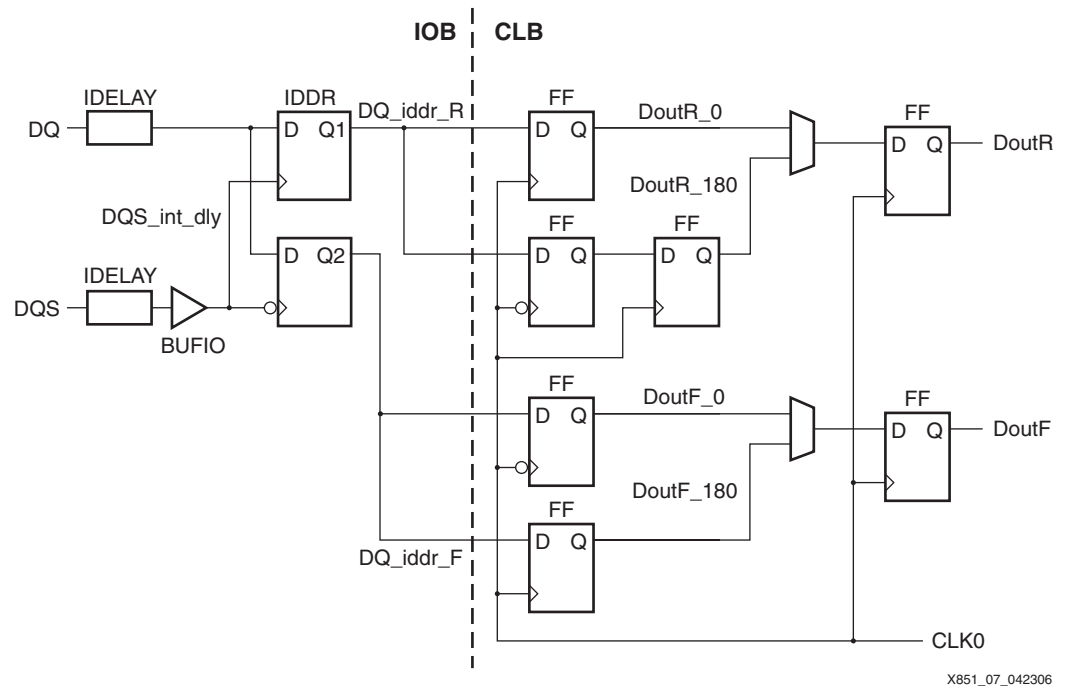


図 7：読み出しデータ キャプチャ ブロック

DQS 信号は遅延回路および BUFIO から配線され、IDDR のクロック入力になります。DQ_iddr_R は DQS の立ち上がりエッジでキャプチャされる IDDR の出力です。DQ_iddr_F は DQS の立ち下がりエッジでキャプチャされる IDDR の出力です。この DQ_iddr_R と DQ_iddr_F の位相は、CLK0 で揃いません。DQ 信号と DQS 信号を遅延させ、CLK0 クロックと同期させるのは、このリファレンスデザインの キャリブレーション ロジックです。位相を揃えるには、次の 4 つのケースのいずれかを実行します。

ケース 1：CLK0 が DQS の 90° ~ 180° 内にある場合、IDELAY を使用して DQ と DQS に 0° ~ 90° の遅延を追加します。

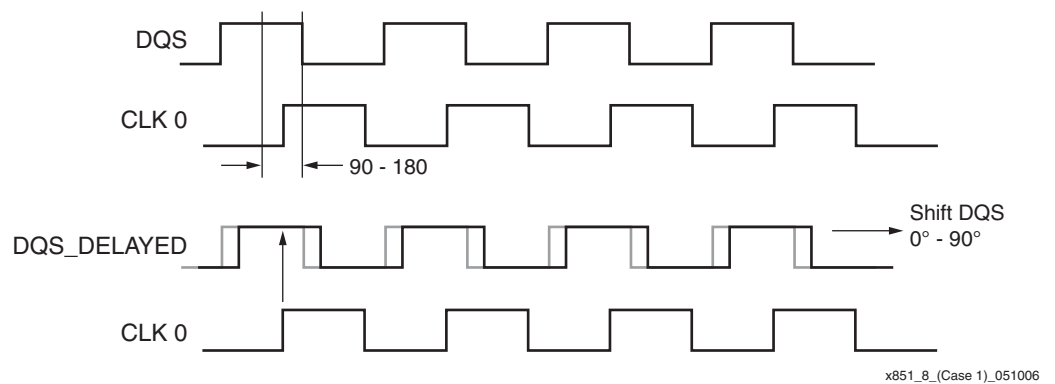


図 8：ケース 1 - DQS とシステム クロックの位相関係

ケース 2: CLK0 が DQS の $180^\circ \sim 270^\circ$ 内にある場合、IDELAY を使用して DQ と DQS に $90^\circ \sim 180^\circ$ の遅延を追加します。

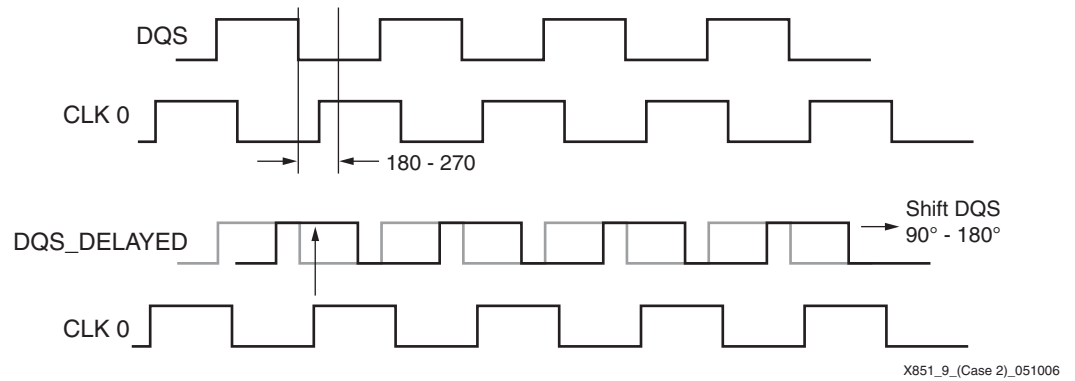


図 9: ケース 2 - DQS とシステム クロックの位相関係

ケース 3: CLK0 が DQS の $270^\circ \sim 360^\circ$ 内にある場合、IDELAY を使用して DQ と DQS に $0^\circ \sim 90^\circ$ の遅延を追加し、CLK0 と反対側のエッジを使用して DQ をキャプチャします。

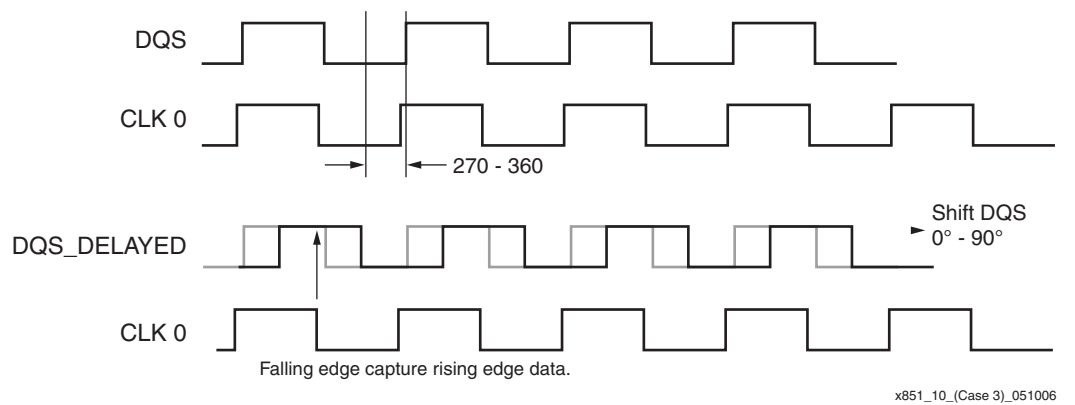


図 10: ケース 3 - DQS とシステム クロックの位相関係

ケース 4: CLK0 が DQS の $0^\circ \sim 90^\circ$ 内にある場合、IDELAY を使用して DQ と DQS に $90^\circ \sim 180^\circ$ の遅延を追加し、CLK0 と反対側のエッジを使用して DQ をキャプチャします。

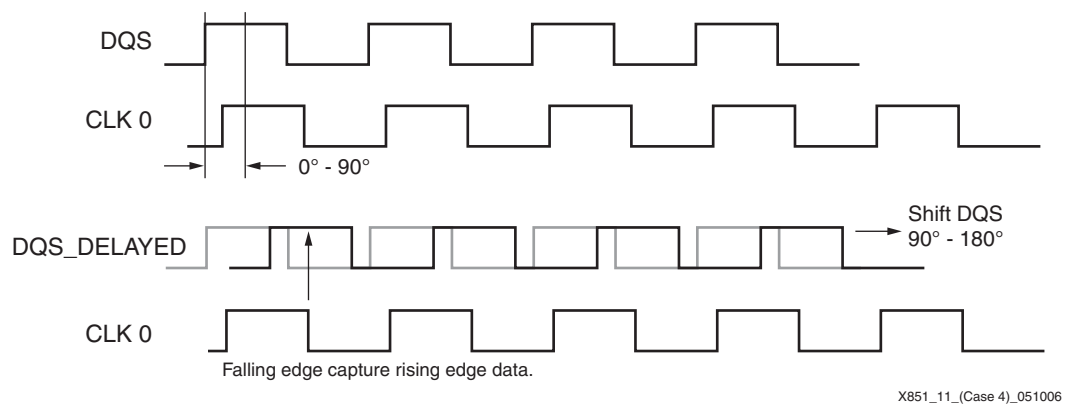


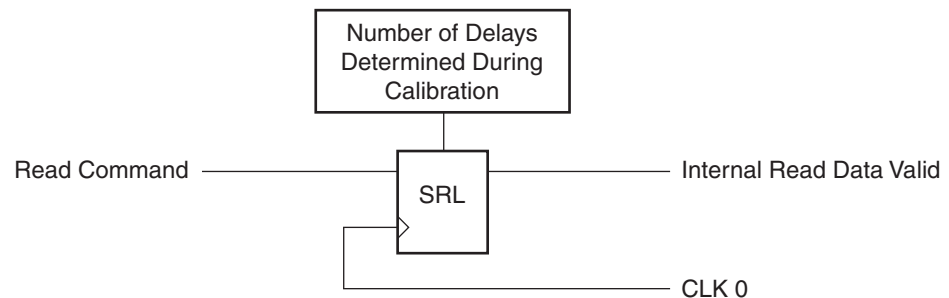
図 11: ケース 4 - DQS とシステム クロックの位相関係

リード イネーブルのタイミング キャリブレーション

FPGA とメモリ間の遅延は、ボード レイアウトや PCB のトレース長などの環境によって異なります。このため、コントローラではメモリへ Read コマンドを送信した後、どの FPGA クロック サイクルで有効なデータが FPGA に到着するのか明確には認識できません。DDR2 SDRAM デバイスからは、読み出しデータと共にリード バリッドまたはリード イネーブル信号は供給されないため、キャリブレーションを実行して読み出しデータが有効になる FPGA クロック サイクルを決定する必要があります。このリード イネーブル信号は、CAS レンテンシおよびバースト長に基づいて生成され、メモリと FPGA 間の遅延 (カスタマによって異なる) を調整します。リード イネーブル信号を読み出しデータ キャプチャブロックの出力に揃えるために必要なレジスタの段数は、キャリブレーション中に判断されます。各データ バイトに対し、1 つの内部リード イネーブル信号が生成されます。リード イネーブル ロジックのブロック図は、図 12 を参照してください。このリファレンス デザインには、初期化中にトレーニング パターンを使用して、リード イネーブルのタイミングを調整できるロジックが含まれます。

- コントローラは固定データ パターンをメモリに書き込みます。これが、リード イネーブルのキャリブレーション中のトレーニング パターンになります。
- データがメモリから読み戻され、読み出しデータが元のトレーニング パターンと比較されます。
- リード イネーブル信号は、読み出しデータ キャプチャブロックから受信されたデータ出力がトレーニング パターンと一致するまで遅延されます。
- バイト数が異なると、リード イネーブルのレイテンシが異なることがあるため、読み出しデータ キャプチャブロックからの読み出しデータ出力を何バイト分か遅らせて、読み出しワードすべてが同じクロック サイクルで内部読み出しデータ FIFO に到着するようにする必要があります。

読み出しデータ キャプチャとリード イネーブル キャリブレーションが終了したら、PHY コントローラはメイン コントローラからのユーザー コマンドを実行できる状態になります。



X851_12_050506

図 12: リード イネーブル

タイミング解析

読み出しデータ DQ は、9 ページの「読み出しデータ キャプチャのタイミング キャリブレーション」に示すように DQS にキャプチャされ、FPGA クロック ドメインに転送されます。読み出しデータとクロック タイミングの関係は、表 7 を参照してください。

表 7: 読み出しデータのタイミング解析

パラメータ	シンボル	時間 (ps)
クロック周期	t_{CK}	5000
DDR SDRAM メモリ		
データ周期 (デューティ サイクル 0.45 : 0.55)	$t_{CKx0.45}$	2250
$\overline{CK}/\overline{CK}$ からの DQS のアクセス範囲の合計	t_{DQSCK}	1200
DRAM の不確定値の合計		1200
FPGA		
BUFIO クロック ツリー スキュー		未定
システム クロック ジッタ	$t_{PERJITT_0}$	未定
IDDR 出力から CLB FF スキュー		未定
タップ不確定値 (± 1 IDELAY タップ カウント)	$t_{IDELAYRESOLUTION}$	未定
FPGA の不確定値の合計		未定
不確定値の合計		未定
DQ 範囲のマージン		未定

PHY コードの構造

PHY レイヤはメイン コントローラとは別になっているので、独立して使用できます。DDR コントローラ デザインで PHY レイヤが独立して使用される場合、PHY レイヤの構造 (表 8 および 図 13 を参照) は、独立したコントローラに含める必要があります。この場合、行のアクティブ/非アクティブ、メモリ リフレッシュ、読み出しおよび書き込みアクセスのタイミングなどの機能は、この独立したコントローラで制御する必要があります。

表 8: PHY デザイン ファイル

モジュール名	ファイル名	説明
PHY_TOP	phy_top.vhd	PHY インターフェイスの最上位
PHY_ADR_OUT	phy_adr_out.vhd	アドレスおよびバンク信号 IOB FF
PHY_CTRL_OUT	phy_ctrl_out.vhd	制御信号 IOB FF
PHY_DATA_WRITE	phy_data_write.vhd	書き込みデータ バス
PHY_DATA_READ	phy_data_read.vhd	読み出しデータ バス
PHY_DQ_ALIGN	phy_dq_align.vhd	読み出しデータ キャプチャのタイミング アライメント ロジック
PHY_RDEN_ALIGN	phy_rden_align.vhd	リード イネーブルアライメント信号
PHY_PTN_GEN	phy_ptn_gen.vhd	読み出しキャプチャ タイミング キャリブレーションのパターン ジェネレータ
PHY_INIT	phy_init.vhd	DDR SDRAM メモリ初期化ステートマシン

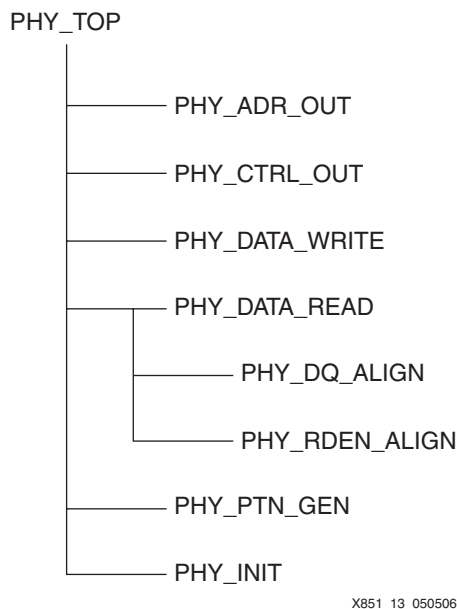


図 13：PHY レイヤのコード構造

PHY レイヤには、DDR SDRAM との通信に使用される I/O ポートの制御機能がすべて含まれます。これらのポートのリストと説明は、次の表 9 を参照してください。

表 9：PHY レイヤの I/O ポートと信号の説明

ポート名	I/O	説明
RST	I	同期リセット
CLK0	I	メイン クロック (BUFG クロック)
CLK90	I	90 度位相シフトされたクロック (BUFG クロック)
PHY_ADDR_IN	I	行アドレス/列アドレス IOB FF
PHY_BANK_IN	I	バンク選択
PHY_CS_N_IN	I	CS_N 信号の定義はメモリ信号と同じ
PHY_RAS_N_IN	I	RAS_N 信号の定義はメモリ信号と同じ
PHY_CAS_N_IN	I	CAS_N 信号の定義はメモリ信号と同じ
PHY_WE_N_IN	I	WE_N 信号の定義はメモリ信号と同じ
PHY_WR_DATA_IN	I	書き込みデータ
PHY_WR_EN_IN	I	この信号が High になると書き込みデータがイネーブルになる
PHY_WR_DM_IN	I	データ マスク ビット
PHY_RD_DATA_O	O	読み出しデータ
PHY_RD_VALID_O	O	読み出しデータ バリッド
CKE	O	メモリの CKE ピンに接続
CK	O	メモリの CK ピンに接続
AD	O	メモリの AD ピンに接続

表 9 : PHY レイヤの I/O ポートと信号の説明(続き)

ポート名	I/O	説明
BA	O	メモリの BA ピンに接続
CS_N	O	メモリの CS_n ピンに接続
RAS_N	O	メモリの RAS_n ピンに接続
CAS_N	O	メモリの CAS_n ピンに接続
WE_N	O	メモリの WE_n ピンに接続
DM	O	メモリの DM ピンに接続
DQ	I/O	メモリの DQ ピンに接続
DQS	I/O	メモリの DQS ピンに接続

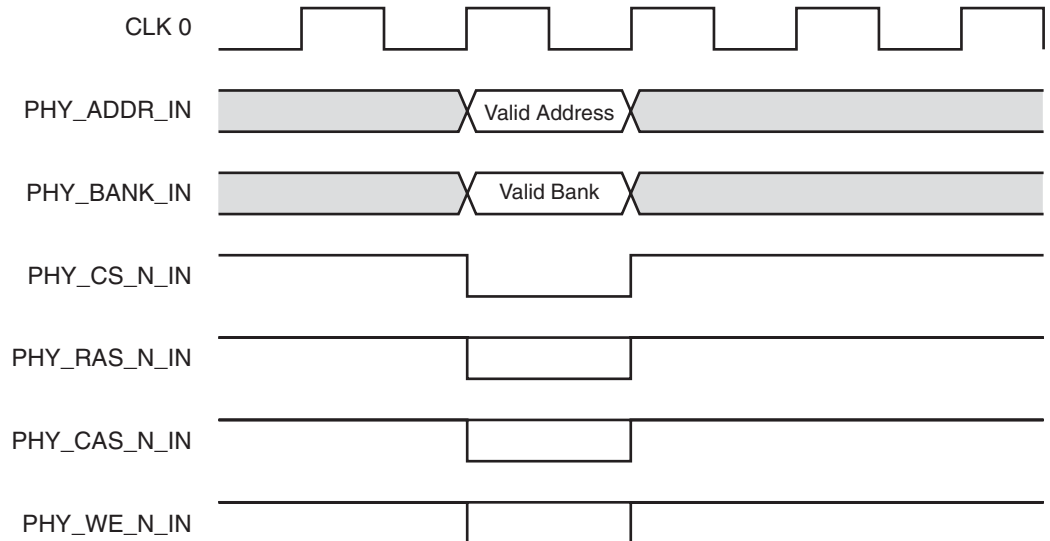
PHY ユーザー インターフェイス

PHY で初期化とキャリブレーションが終了したら、コントローラ レイヤからコマンドが送信されます。次のセクションに使用可能なコマンドの一部を示します。

- 「一般的なコマンドのタイミング」
- 「データ書き込み」
- 「データ読み出し」

一般的なコマンドのタイミング

図 14 は、Refresh や Activate などの DDR SDRAM コマンドのタイミングを示しています。さまざまな DDR SDRAM コマンドの信号ロジック レベルについては、1 ページの表 1 を参照してください。

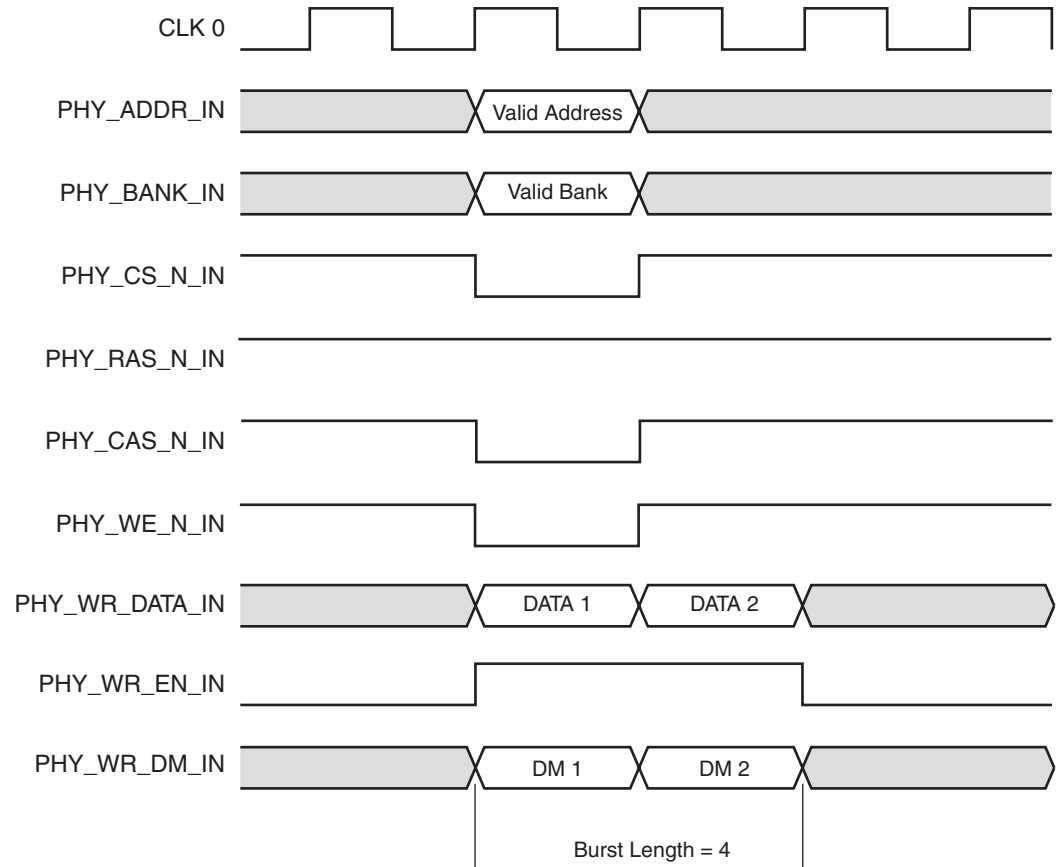


X851_14_050406

図 14 : DDR SDRAM のアクセスのタイミング

データ書き込み

PHY インターフェイスに対して Write コマンドが発行されると、コントローラ レイヤから有効なアドレス、バンク、制御信号、および有効なデータが PHY に送信されます。これらの信号は、同じクロック サイクルで送信されます。バースト長が 4 または 8 の場合は、その後続くクロック サイクルで PHY_WR_EN_IN がアサートされている間に書き込みデータを入力します。



X851_15_050406

図 15 : Write コマンドのタイミング (バースト長 = 4)

データ読み出し

Read コマンドが PHY レイヤに送信されると、PHY レイヤはメモリから読み出しデータを返します。この読み出しデータは、同じクロック サイクルで PHY_RD_VALID_O がアサートされているときにのみ PHY_RD_DATA_O ポートで有効になります。Read コマンドからのレイテンシは、リード イネーブルのキャリブレーションの結果によって異なります。

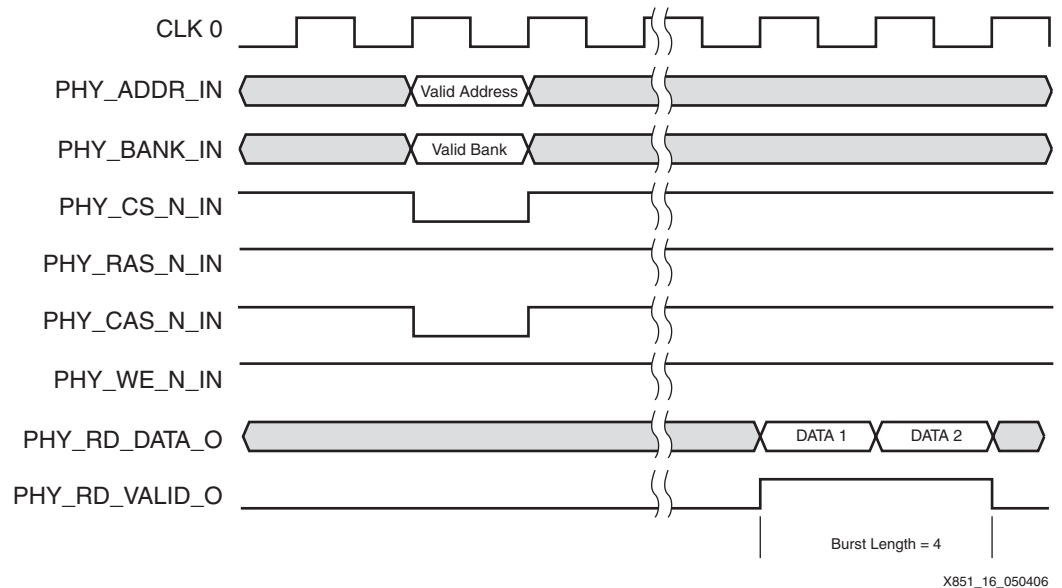


図 16: Read コマンドのタイミング (バースト長 = 4)

リファレンス
デザインの仕様

200MHz DDR SDRAM コントローラにインプリメントするリファレンス デザインは、次から入手できます。

<http://japan.xilinx.com/bvdocs/appnotes/xapp851.zip>

表 10 は、このリファレンス デザインの仕様を示しています。

表 10: リファレンス デザインの仕様

パラメータ	仕様/詳細
動作周波数	200MHz (DDR400 - PC3200)
サポートされる CAS レイテンシ	2、2.5、および 3
HDL 言語	VHDL
バス幅	16 ビット
コンポーネントの検証に使用されたデバイス	Micron MT46V32M16FN-5

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
05/12/06	1.0	初期リリース
07/14/06	1.1	リファレンス デザイン ファイルへのリンクを追加。表 2 に APP_DATAEN を追加。「読み出しデータ キャプチャのタイミング キャリブレーション」の概要を変更。