



XAPP853 (v1.0) 2006 年 5 月 12 日

Virtex-5 デバイスの QDR II SRAM インターフェイス

著者 : Lakshmi Gopalakrishnan

本資料は英語版 (v1.0) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

概要

このアプリケーション ノートでは、Virtex-5 デバイスにおける 4 ワード バーストのクワッド データ レート (QDR II) SRAM インターフェイスのインプリメンテーションおよびタイミングについて詳細に説明します。合成可能なリファレンス デザインは、Virtex-5 ファミリー独自の I/O およびクロッキング機能を活用して 300MHz (600Mb/s) レベルのパフォーマンスを達成し、43.2Gb/s の各 36 ビット メモリ インターフェイスのスループットを集約させます。

デザインは、使用リソースを最小限に抑えながら、FPGA 内部での読み出しデータ キャプチャのタスクを簡潔にしています。1 つまたは複数の QDR II インターフェイスを利用して、完全な FPGA デザインに容易に統合できるようにわかりやすいユーザー インターフェイスが提供されています。

はじめに

QDR SRAM は、ネットワーキングおよびテレコミュニケーション アプリケーションでターゲットとなるバンド幅の広いメモリに対する要求に応じて開発されました。基本的な QDR アーキテクチャでは、読み出しおよび書き込みを同時に実行するため、それぞれに独立したデータバスがあります。両方のバスが DDR (ダブル データ レート) 伝送を使用して、各クロック サイクルで 2 つのワードを (1 つは立ち上がりエッジ、もう 1 つは立ち下がりエッジで) 送信します。その結果、クロック周期ごとに 4 バス幅 (読み出しおよび書き込みが 2 つずつ) のデータが送信されるため、これはクワッド データ レートと呼ばれています。

QDR I および QDR II 仕様は、QDR 協会 (Cypress 社、IDT 社、NEC 社、Samsung 社、Renesas 社) によって合同で定義および開発されています。QDR 仕様、QDR 協会、および QDR メモリ製品の詳細は、[16 ページの「参考資料」](#)を参照してください。

QDR メモリ デバイスは、2 ワード バーストおよび 4 ワード バースト アーキテクチャの両方で提供されます。2 ワード バースト デバイスは、読み出しまたは書き込み要求ごとに 2 ワードを送信します。DDR アドレス バスが使用され、クロック周期の始めの半部で読み出し要求が、後の半分で書き込み要求が可能になります。これに対して、4 ワード バースト デバイスは、各読み出しまたは書き込み要求で 4 ワードを送信します。読み出しおよび書き込み動作は、交互後のクロック サイクル (つまり、重複しない) で要求される必要があり、これによってアドレス バスが共有できます。

本書で説明するリファレンス デザインは、4 ワード バースト QDR II SRAM デバイスをターゲットとしています。QDR II アーキテクチャ独自の特長の 1 つとして、エコー クロック (CQ) 出力があります。この出力は、周波数はデバイスの入力クロック (K) に固定されていますが、エッジは読み出しバス出力 (Q) に送信されるデータと揃えられています。CQ クロック出力は、QDR II メモリ デバイス内部の DDL (遅延ロック ループ) 回路を使用して、Q データ出力と揃うようにリタイムされます。クロックをこのようにフォワードする、またはソース同期にすることで、遠端デバイスで読み出しデータをキャプチャする際のタイミング マージンが大きくなります。

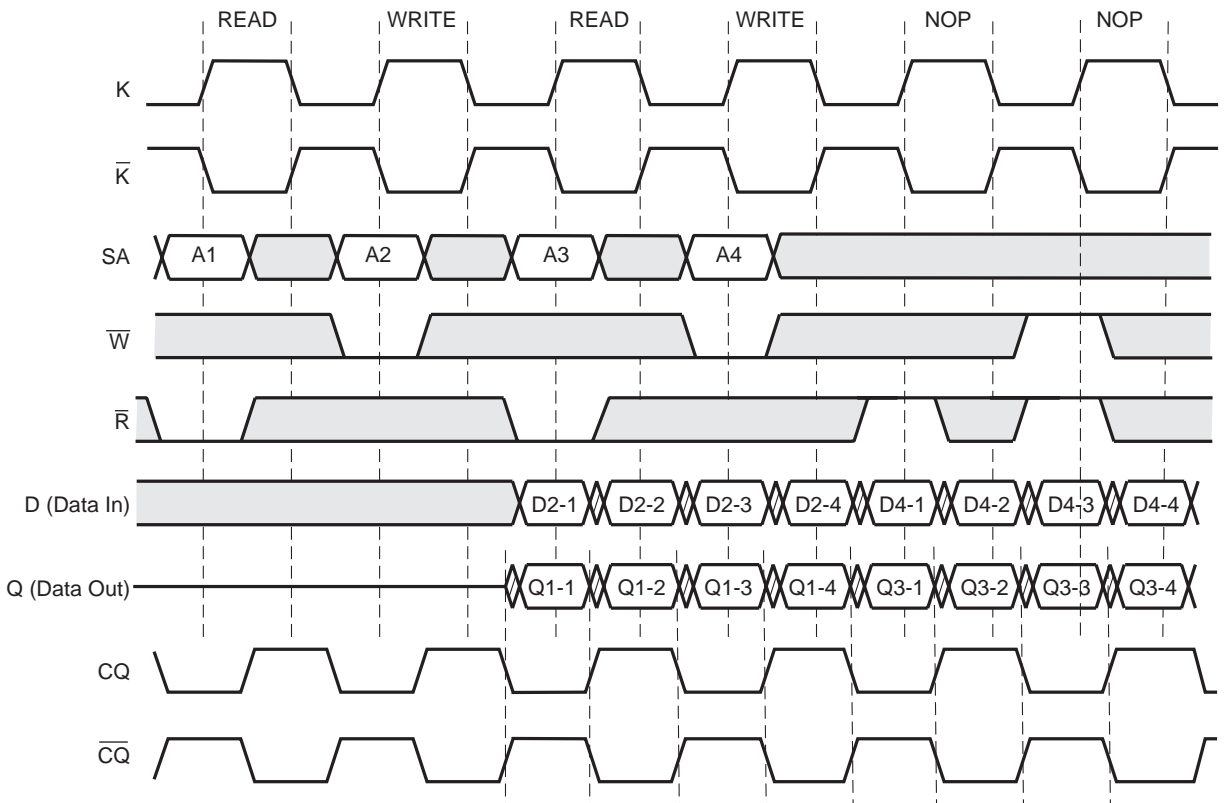
[2 ページの図 1](#) に、4 ワード バースト QDR II メモリ インターフェイスで、読み出し/書き込みが同時に実行される場合のタイミング図を示します。QDR II メモリへのすべての入力は入力クロック (K および \bar{K}) に同期し、通常は K および \bar{K} クロック エッジの中央に位置するよう調整されています。

© 2006 Xilinx, Inc. All Rights Reserved. XILINX, Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知: Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。

メモ：アクティブ Low の読み出し制御 (\bar{R}) および書き込み制御 (\bar{W}) ピンは、クロック サイクルを交互に使用し、共有の SDR アドレス バス (SA) を有効にします。

書き込みバス データ入力 (D) 値は DDR モードでメモリに送信されます。これは、書き込み制御ピンがアクティブとなった K の次の立ち上がりエッジから開始します。読み出しバス データ出力 (Q) 値は、メモリから CQ および \bar{CQ} エコー クロック出力に同期して DDR モードで送信されます。読み出しバスの最初のワードは、 \bar{CQ} クロック出力の立ち上がりエッジで送信され、それに \bar{K} 入力クロックの立ち上がりエッジが続きます。

QDR II メモリには、メモリへの書き込み時にデータ入力 (D) ワードから特別なバイトを選択する場合に使用する、アクティブ Low のバイト書き込みイネーブル (\bar{BW}) ピンがあります。これらの信号は図を簡略にするため、図 1 には記載されていません。



X853_01_042706

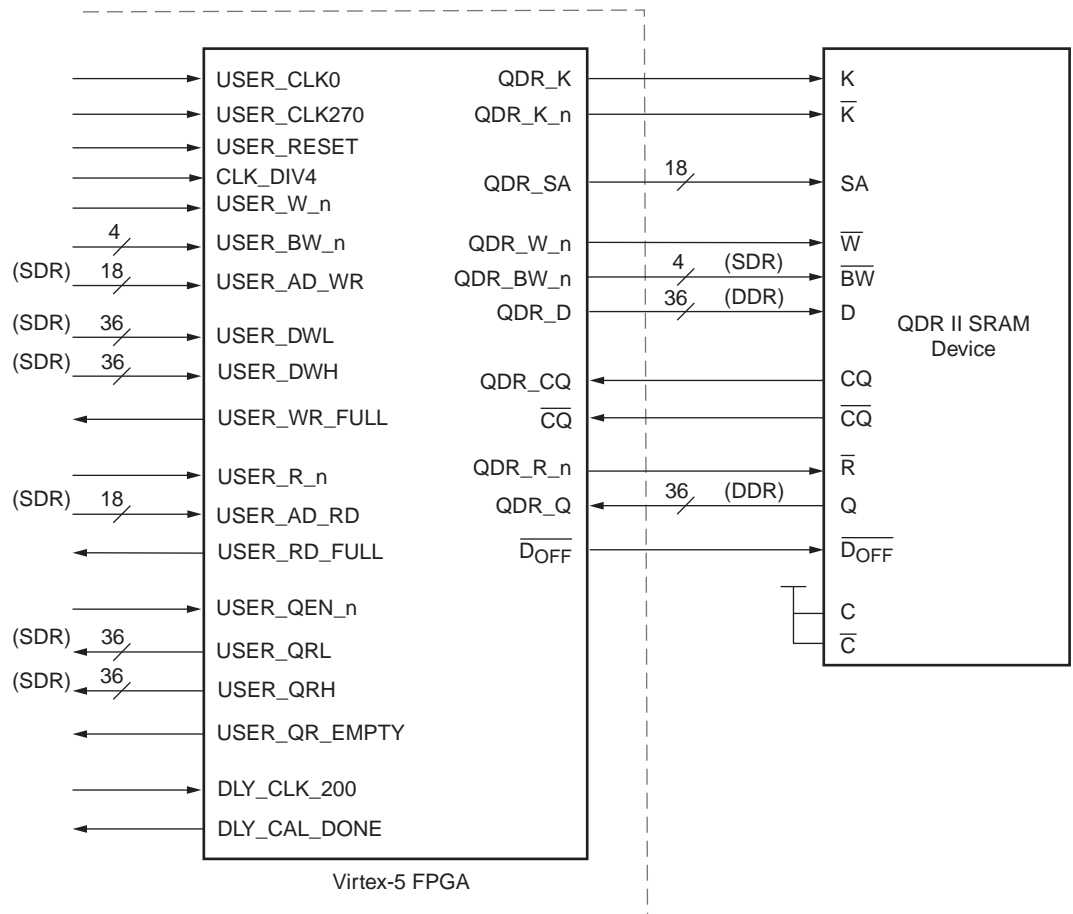
図 1：読み出し/書き込みが同時に起こる場合の 4 ワード バースト QDR II SRAM のタイミング図

図 1 に、2 ワード バースト QDR II メモリ インターフェイスで、読み出し/書き込みが同時に行われる場合のタイミング図を示します。DDR アドレス バスによって、クロック周期の前半で読み出しアドレスを、後半で書き込みアドレスをメモリに出すことができます。したがって、アクティブ Low の読み出し制御 (\bar{R}) および書き込み制御 (\bar{W}) ピンは同一クロック サイクルでアサート可能です。

2 つの書き込みバス データ入力 (D) 値は DDR モードでメモリに送信されます。これは、書き込みアドレス信号がアサートされる前の K の立ち上がりエッジで開始します。読み出しバス データ出力 (Q) 値は、メモリから CQ および \bar{CQ} エコー クロック出力に同期して DDR モードで送信されます。読み出しバスの最初のワードは、 \bar{CQ} クロック出力の立ち上がりエッジで送信され、それに \bar{K} 入力クロックの立ち上がりエッジが続きます。

デザインの概要

図 2 は Virtex-5 QDR II リファレンス デザインの概図です。この図では、QDR II メモリ デバイスへの外部接続および読み出し/書き込みコマンドを開始する内部 FPGA ファブリック インターフェイスの両方を示しています。



X853_02_050406

図 2: Virtex5 QDR II リファレンス デザインのブロック図

図 2 では、QDR II デバイスの C および C̄ ピンは High に固定されています。

4 ページの図 3 に示すように、Virtex-5 QDR II リファレンス デザインは次の 4 つの主要なエレメントで構成されています。

- ユーザー インターフェイス
- 物理インターフェイス
- 読み出し/書き込みステート マシン
- 遅延キャリブレーション ステート マシン

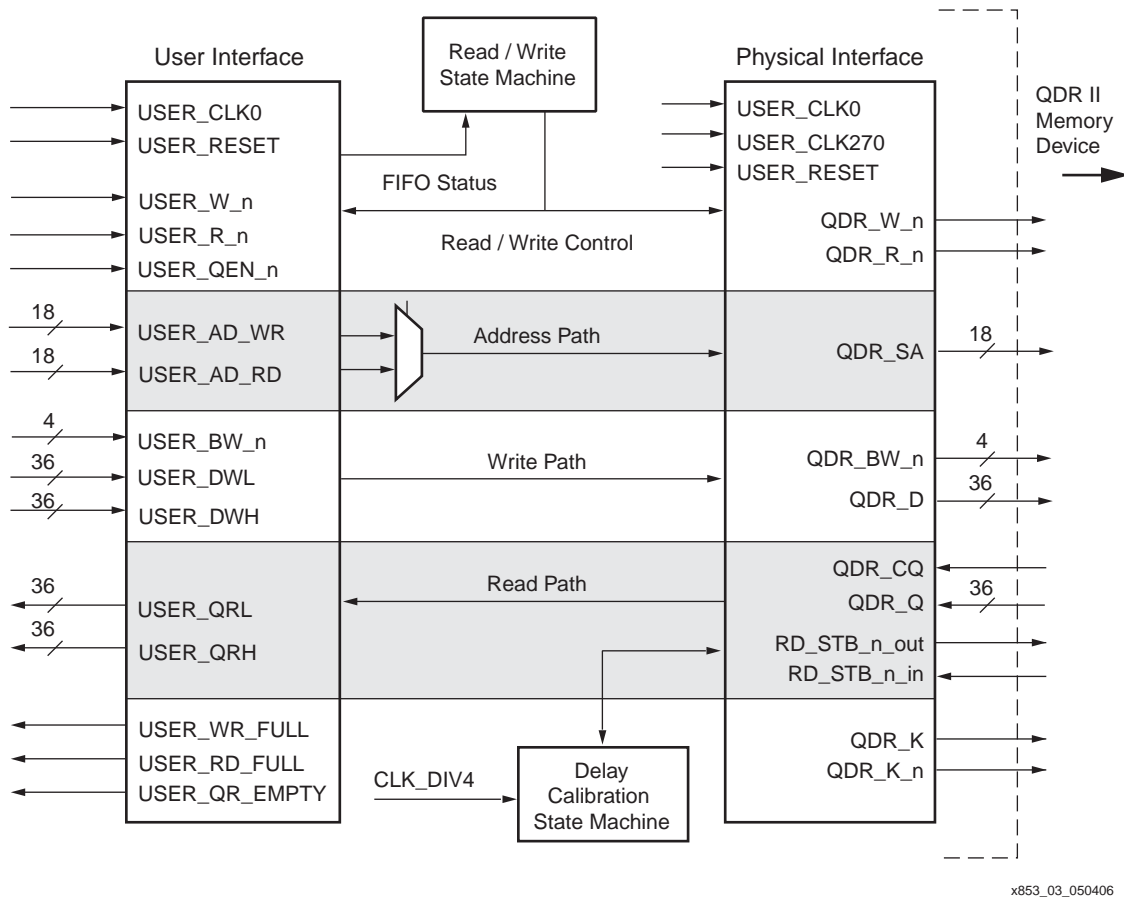


図 3: QDR II リファレンス デザインのコンポーネント

ユーザー インターフェイスは、SDR 信号のみに基づく単純なプロトコルを使用し、読み出し/書き込み要求を作成します。このモジュールは本来 FIFO16 プリミティブから構成されたもので、読み出し/書き込み前後のアドレスおよびデータ値の保存に使用されます。ユーザー インターフェイスのタイミングプロトコルの詳細は、5 ページの「ユーザー インターフェイス」を参照してください。

読み出し/書き込みステート マシンは、ユーザー インターフェイス モジュールにある FIFO のステータスをモニタする役割を担い、ユーザー インターフェイスと物理インターフェイス間のデータフローを調整して、外部メモリ デバイスへの実際の読み出し/書き込みコマンドを開始します。これによって、読み出し/書き込みが、QDR II メモリ仕様で指定されるように、最小のレイテンシで同時に実行されます。

物理インターフェイスはタイミング関係を適切にし、コマンド プロトコルおよびタイミング要件に準拠した形で外部メモリ デバイスと通信するための DDR 信号を作成します。

遅延キャリブレーション ステート マシンは、物理インターフェイスに不可欠な構成要素で、FPGA 内部での読み出しデータ キャプチャのタスクを非常に簡潔にする一方で、最大のパフォーマンスを実現するために使用されます。Virtex-5 デバイスの各入力ピンには、プログラム可能な遅延エレメント (IDELAY) があり、これは入力パスの遅延が 5ns のウィンドウに納まるよう動作中に調整可能です。遅延キャリブレーション ステート マシンは、この独自の機能を活用し、複雑なデータ キャプチャ手法を使用することなく、メモリ デバイスから戻ってくる読み出しデータが FPGA システムのグローバルクロック (USER_CLK0) と直接同期するようにタイミングを調整します。

5 ページの表 1 に、Virtex-5 QDR II リファレンス デザインの要件を簡単に示します (パフォーマンス目標およびデータ使用率の詳細を含む)。

表 1: Virtex-5 QDR II リファレンス デザインの仕様

パラメータ		仕様/詳細	
デバイス使用率	スライス	609	
	GCLK バッファ	3	
	FIFO16 (ブロック RAM)	6	
QDR II SRAM の動作		4 ワード バースト	
バス幅		36 ビット読み出し/36 ビット書き込み	
I/O 規格		HSTL_I_18 (1.8V 信号)	
HDL 言語サポート		Verilog	
検証用のターゲット メモリ デバイス	シミュレーション	4 ワード バースト	Samsung 社 K7R643684M-FC30 (2Mx36)
	ハードウェア	4 ワード バースト	Samsung 社 K7R643684M-FC30 (2Mx36)

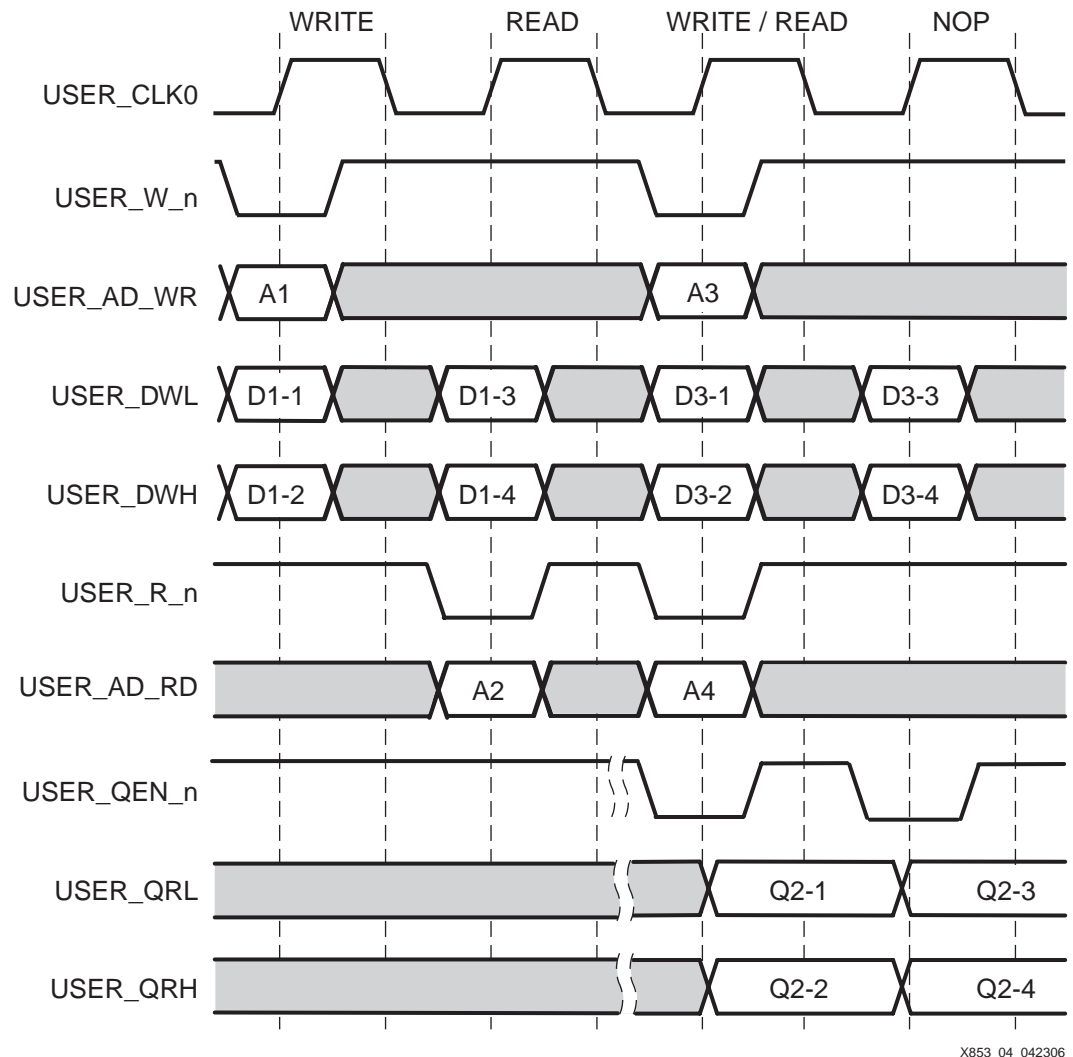
インプリメンテーションについて

QDR II リファレンス デザインは、Virtex-5 ファミリー独自の性能を活用するようインプリメントされました。I/O、クロッキング、格納エレメントテクノロジーの優れた特長によって、このデザインの高性能ですぐに実行可能な動作が実現されています。ここから、デザインのインプリメンテーションについて更に詳しく説明します。

ユーザー インターフェイス

ユーザー インターフェイス モジュールは、6 つの FIFO16 ブロックを使用し、読み出し/書き込み動作のアドレスおよびデータ値を格納します。書き込みコマンドの場合、3 つの FIFO16 ブロックが使用されます。このうち 1 つは書き込みアドレス (USER_AD_WR) とバイト書き込みイネーブル (USER_BW_n) 信号を格納し、残りの 2 つはメモリに書き込む Low (USER_DWL) および High (USER_DWH) の 36 ビット データワードを格納します。読み出しコマンドの場合も 3 つの FIFO16 ブロックを使用します。この場合、1 つは読み出しアドレス (USER_AD_RD) を格納し、2 つは読み出しを実行した結果としてメモリから戻ってくる Low (USER_QRL) および High (USER_QRH) の 36 ビット データワードを格納します。

6 ページの図 4 に、4 ワード バースト リファレンス デザインを使用する場合、ユーザー インターフェイスへの読み出し/書き込み要求を発行するために必要なタイミング プロトコルを示します。前述したように、インターフェイスは FPGA デザインのシステム クロック (USER_CLK0) に同期したすべての SDR 信号を使用します。



X853_04_042306

図 4: 4ワードバーストインターフェイスのタイミングプロトコル

書き込み要求は、USER_CLK0の立ち上がりエッジ間に、アクティブLowのUSER_W_n信号によって作成されます。18ビットの書き込みアドレス(USER_AD_WR)は、これと同じクロックエッジで現れる必要があります。このとき、メモリに書き込まれる1つ目および2つ目の36ビットデータワードもそれぞれ、36ビットのUSER_DWLおよびUSER_DWH入力パスに現れます。USER_CLK0の次の立ち上がりエッジで、4ワードバーストの3つ目のワードがUSER_DWLに、4つ目のワードがUSER_DWHに現れます。

読み出し要求は、USER_CLK0の立ち上がりエッジ間に、アクティブLowのUSER_R_n信号によって作成されます。18ビットの読み出しアドレス(USER_AD_RD)は、これと同じクロックエッジで現れる必要があります。読み出しコマンドの実行後、4ワードバースト値は読み出しデータFIFOに格納されます。アクティブLowのUSER_QEN_n信号はUSER_CLK0の立ち上がりエッジ中、これらの値を読み出し、36ビットのUSER_QRLおよびUSER_QRHに出力します。USER_QEN_nがLowに維持されている間、最初のサイクルで1番目と2番目のワードが現れ、次のサイクルで3番目と4番目のワードが現れます。

QDR IIメモリ自体と異なり、ユーザーインターフェイスは図4の3番目のサイクルに示すように、同じクロックサイクルで書き込み要求と読み出し要求を受け取ることができます。読み出し/書き込みステートマシンは、外部メモリデバイスに対する読み出しおよび書き込み要求のインターリーブを管理し、ユーザーインターフェイスがこれを実行する負荷を低減させます。

また、ユーザー インターフェイスには、読み出し/書き込み FIFO のステータスを表す信号で、[図 4](#)には示していないものが多数あります。アクティブ High の USER_WR_FULL 出力は、書き込み FIFO が FULL であることを示します。この場合、書き込み要求のキューに空きができるまで、これ以上の書き込み要求は不可となります。USER_WR_FULL が High の間に発行されたすべての書き込み要求は無視されます。同様の状況が、読み出し要求の USER_RD_FULL 信号の場合も起こります。

アクティブ High の USER_QR_EMPTY 出力は、読み出しデータ FIFO には保存された読み出しデータ値がないことを示します。この場合、USER_QRL および USER_QRH パスに値を読み出そうとしても無視されます。この状況は、追加の読み出しコマンドが実行され、それに関連するデータ値が読み出しデータ FIFO に格納されるまで続きます。

読み出し/書き込みステート マシン

[8 ページの図 5](#)に、4ワードバースト読み出し/書き込みステート マシンのステート図を示します。このステートマシンは、ユーザー インターフェイスと物理インターフェイス間のデータ フローを調整する役割を担います。また、ユーザー インターフェイス FIFO に格納された要求に基づいて、外部メモリデバイスへの読み出し/書き込みコマンドを開始します。

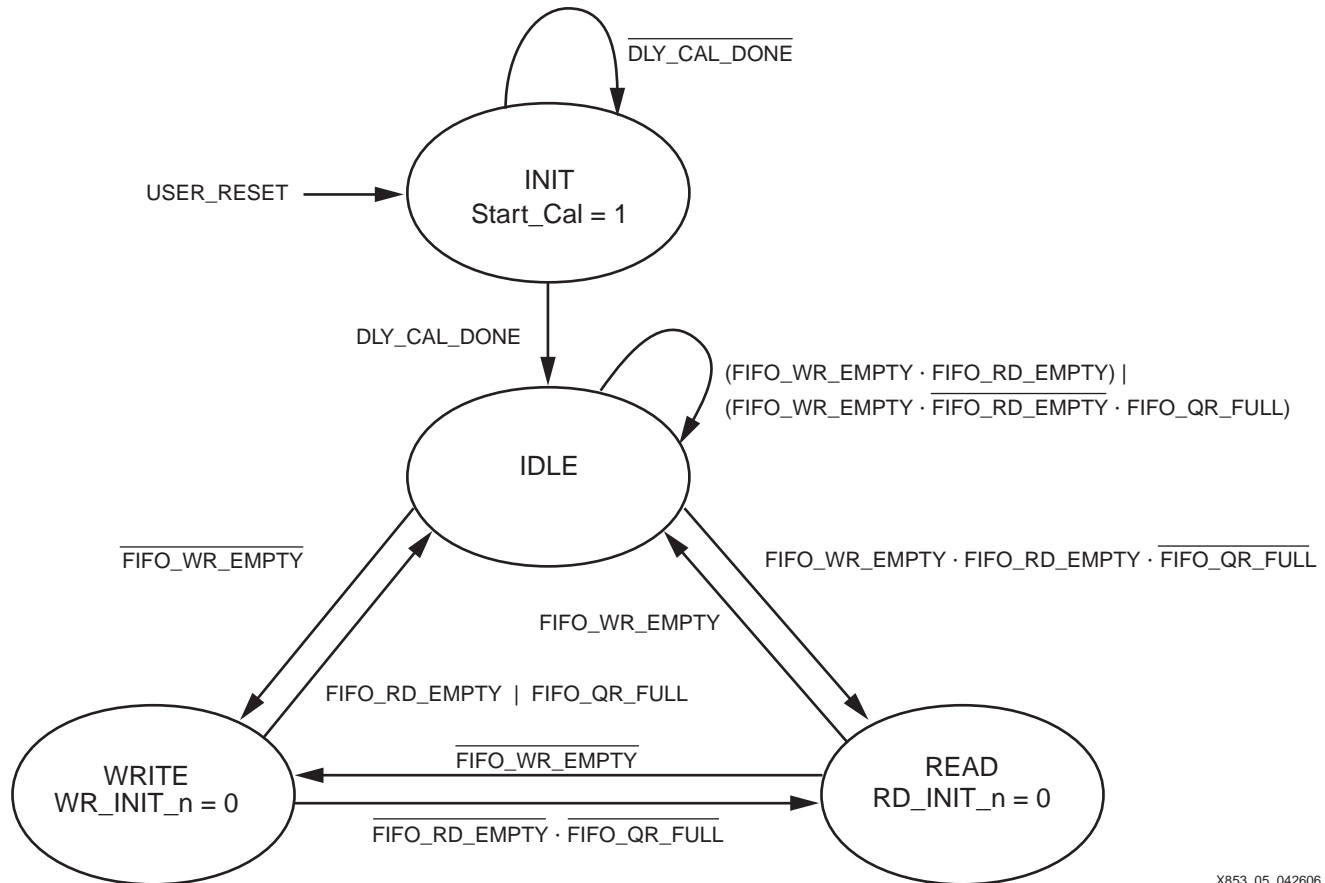
USER_RESET によって、ステートマシンは常に INIT ステートに戻ります。このステートでは、遅延キャリブレーション ステートマシンによって IDELAY ブロックの遅延が調整され、読み出しパスのデータが FPGA システム クロック USER_CLK0 に対して中央に位置するまで、メモリ処理が中断されます。キャリブレーションの完了は、アクティブ High の DLY_CAL_DONE 入力のアサートされることでわかります。これによって、読み出し/書き込みステートマシンは、ユーザー インターフェイスからの読み出し/書き込み要求を待機するアイドルステートになります。

アイドルステート以降、書き込みコマンドは、メモリへの書き込みは常に有効なデータ読み出しの前に実行されなければならないという前提の下に実行されます。保留中の読み出しまたは書き込み要求がない場合、ステートマシンはアイドルステートでループ状態となります。

ユーザー インターフェイス FIFO に保留中の書き込み要求がある場合、内部 WR_INIT_n ストローブ信号によって書き込みコマンドが開始する、書き込みステートに移行します。このストローブは、FIFO から書き込みアドレスおよびデータ値を引き出し、メモリ デバイスへの外部 QDR_W_n 制御ストローブを初期化します。

保留中の読み出し要求がある場合は、ステートマシンは内部 RD_INIT_n ストローブがアクティブな読み出しステートに移行します。このストローブは、FIFO から読み出しアドレスを引き出し、外部 QDR_R_n ストローブをメモリ デバイスに送り始めます。このプロセスの結果として、読み出しデータ FIFO の戻り値がキャプチャされます。

読み出し/書き込みステートマシンは、ユーザー インターフェイス FIFO ステータス信号のモニタを継続し、保留中の読み出し/書き込み要求があるかを判断します。読み出し/書き込み要求が同時に発生し続けると、ステートマシンは単純に読み出しおよび書き込みステート間を交互に行き来し、外部メモリへの要求が適切にインタリーブされるようにします。書き込み専用要求のストリームの結果、アイドルステートと書き込みステートが交互になり、読み出しストリームの結果はアイドルステートと読み出しステートが交互になります。



X853_05_042606

図 5: 4ワードバースト読み出し/書き込みステートマシン

物理インターフェイス

Virtex-5 QDR II リファレンス デザインの物理インターフェイスは、読み出し/書き込みコマンドを外部メモリデバイスに通信させるための実際の I/O 信号を作成し、タイミング関係を決定します。これには DDR データ信号も含まれます。このインターフェイスは、デザイン全体のパフォーマンス要件を満たすために必要なタイミング マージンおよび I/O 信号規格を供給します。QDR II デザインの全 I/O 信号は HSTL 規格を使用します。ここでは、物理インターフェイスの各コンポーネントについて詳細に説明します。

クロッキング方法

QDR II デザインでは、すべての Virtex-5 I/O ブロックに含まれる ODDR (出力 DDR) プリミティブが使用されます。これら内蔵 DDR レジスタ機能は、QDR II メモリ デバイスとの通信用の適切なクロック、アドレス、データ、および制御信号の生成を大幅に簡潔化します。IDDR および ODDR プリミティブの両方にさまざまな動作モードがあり、これらによって、キャプチャされた DDR データまたは送信された DDR データがどのように FPGA ファブリックまたは I/O ピンに現れるかを決定します。

QDR II デザインでのクロッキング方法 (9 ページの図 6) では、ODDR レジスタを OPPOSITE_EDGE モードで使用し、メモリ デバイスの QDR_K および QDR_K_n クロックを生成します。クロック信号には QDR II アドレス、データ、および制御信号とほぼ同一のタイミングがあるため、このようにクロックをフォワードする方法によって、タイミング マージンを考慮する際に FPGA の Clock-to-Out パラメータを事実上削除できます。したがって、Clock-to-Out パラメータに関しては、外部から送信された全信号が「一致」していることになります。

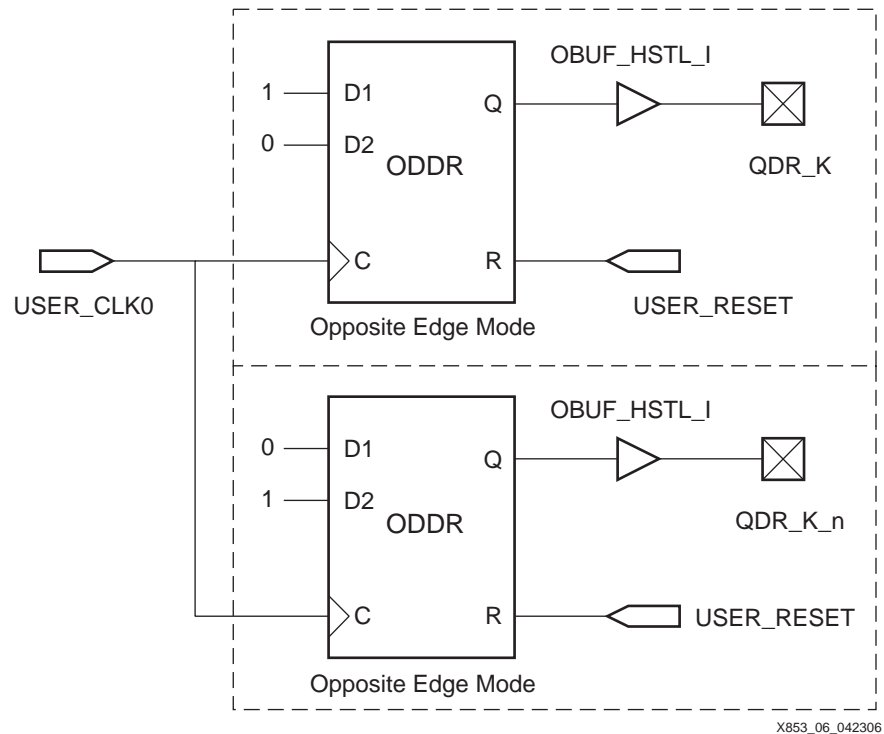


図 6： ODDR レジスタ機能に基づいたクロックのフォワード方法

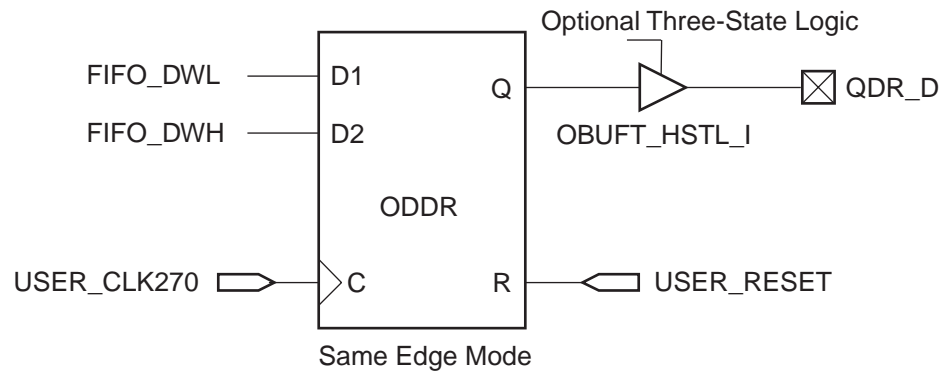
書き込みパス

QDR II メモリへの書き込みパスには、書き込みを実行するために必要なアドレス、データ、制御信号が含まれます。書き込みアドレス (QDR_AD_WR)、制御ストローブ (QDR_W_n)、バイト書き込みイネーブル (QDR_BW_n) 信号すべてが SDR を使用します。ただし、書き込みデータ値 (QDR_D) は DDR で信号を送信し、割り当てられたクロック周期内で要求されている 2 ワードまたは 4 ワード パーストを達成します。

書き込みパスの全信号は、QDR_K および QDR_K_n のクロック エッジに対して中央に位置していません。このため、これらの信号の出力レジスタは USER_CLK270 クロックに同期しています。この信号は USER_CLK0 と同一周波数で動作しますが、位相が 270° (クロック周期の 75%) シフトしています。これによって、メモリ デバイスでは、入力されている QDR_K および QDR_K_n クロック エッジに対する十分なセットアップおよびホールド マージンを確保できます。

10 ページの図 7 に、USER_CLK270 および ODDR レジスタを使用して、QDR_D 書き込みデータパスに必要な DDR 信号を作成する場合を図示します。ODDR レジスタは SAME_EDGE モードに設定され、2 つの 36 ビット ワード (FIFO_DWL および FIFO_DWH) 両方が USER_CLK270 の同じ立ち上がりエッジで FPGA ファブリックからキャプチャできます。FIFO_DWL 値はこの立ち上がりエッジ直後に QDR_D 書き込みデータパスに送信され、それに続いて USER_CLK270 の次の立ち下がりエッジで、FIFO_DWH 値が ODDR ブロックから送信されます。このプロセスを繰り返すことによって、4 ワードの書き込みデータ パーストが生成されます。

読み出し/書き込みアドレス、バイト書き込みイネーブル、および読み出し/書き込み制御ストローブが I/O ブロックで、フリップフロップを 1 つ使用して生成されます。これらは、USER_CLK270 に同期した SDR 信号を作成します。



X853_07_042706

図 7: 書き込みデータバスのインプリメンテーション

読み出しデータパス

CQ ベースのデータ キャプチャ方法の場合、非常に高いクロック レートでメモリからの読み出しデータをキャプチャできます。この方法では、全 I/O で利用可能な ISERDES 機能を使用します。入力されているクロック (CQ) およびデータ (Q) は遅延され、ISERDES モジュール内分のシステム クロック (CLK0) に同期します。

読み出しデータ パスは、読み出しデータのキャプチャと再キャプチャの 2 段階で構成されます。両段階とも、Virtex-5 の I/O すべてが備える ISERDES 内部で行われます。BUFIO を通って配線された CQ 信号は、ISERDES ブロック内部にある最初のレジスタ セットで入力されている読み出しデータ (Q) をキャプチャします。レジスタの 2 番目のセットは、CQ ドメインのデータをシステム クロック ドメインへ送信する際に使用されます。

ISERDES には CLK、OCLK、および CLKDIV の 3 つのクロック入力があります。読み出しデータ (Q) キャプチャは CLK (CQ) ドメインで実行され、OCLK および CLKDIV を使用してシステム クロック ドメインに送信されます (図 8)。

- CLK : 読み出しクロック (CQ)、BUFIO を通って配線されて CLK クロック入力を供給します。
- OCLK および CLKDIV : 入ってくるデータのデシリアライズに使用されます。データはインターフェイスの速度と同じ周波数で伝送されるため、システム クロック (CLK_0) は OCLK および CLKDIV への入力を供給します。

ISERDES でキャプチャされたデータは、Virtex-5 FPGA が内蔵する FIFO36 モジュールに書き込むことができます。

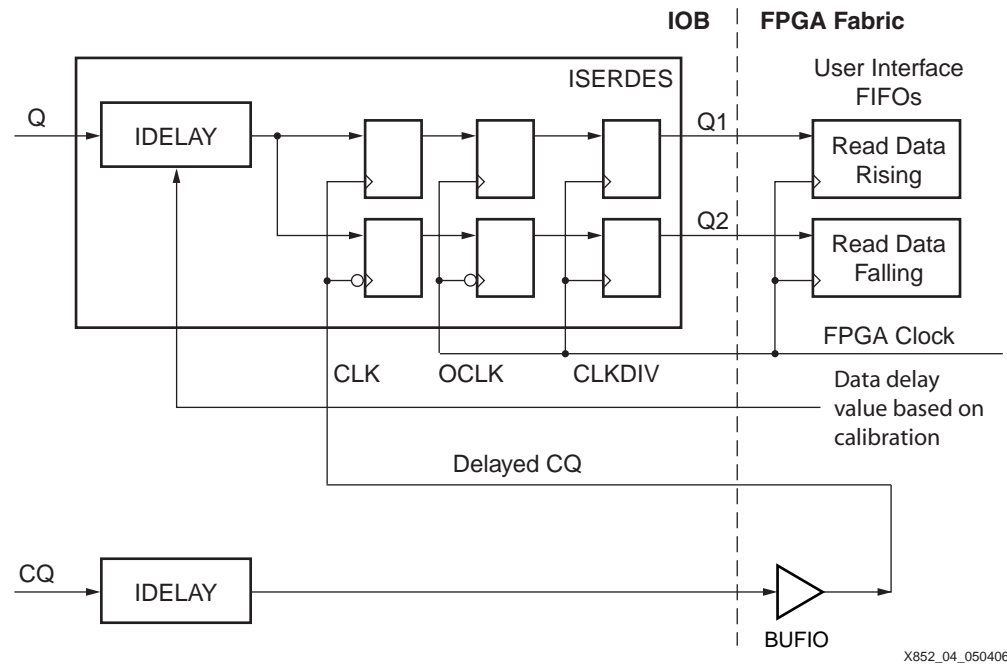


図 8：ISERDES を使用した読み出しデータのキャプチャ

CQ ベースのデータ キャプチャ方法では、読み出しクロック (CQ および \overline{CQ}) を Clock-Capable I/O (CCIO) に割り当てる必要があり、各バンク内にある利用可能な BUFIO へはここからアクセスできます。

x36 幅の QDR II SRAM インターフェイスの場合、CQ_P および CQ_N の両方が読み出しデータのキャプチャに使用されます (11 ページの図 9)。Virtex-5 デバイスのバンク 1 つには 40 個の I/O が含まれているため、x36 インターフェイスの読み出しデータは 2 つのバンクに配置する必要があります。バイトの最初のセットをキャプチャするには CQ_P が使用され、残りのデータバイトのキャプチャには隣接するバンクにある CQ_N が使用されます。CQ_P および CQ_N は共に、対応するバンクにある CCIO の P 側に配置する必要があります。

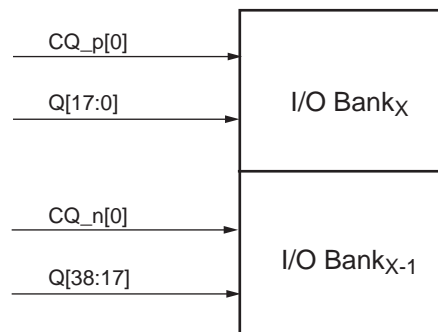


図 9：x36 インターフェイスの場合の CQ 配置

遅延キャリブレーション

遅延キャリブレーション ロジックは、キャプチャしたデータを FPGA のクロックの中央に位置させるため、読み出しデータ (Q) およびクロック (CQ) に必要な遅延を与えます。遅延キャリブレーション ステート マシンは、IDELAYCTRL から IDELAY_READY 信号が High にアサートされ、かつメモリの初期化に必要なクロック サイクルが満たされると有効になります。キャリブレーションでは 1 回の書き込み後、Q および CQ 信号に必要な適切な遅延値が認識されるまで同じロケーションが読み出されます。キャリブレーション ステート マシンは、読み出しキャリブレーションの開始後、次の手順を実行します。

1. **CQ および Q の遅延値のインクリメント**：有効なデータが最初に使用可能となる時点のタップ カウント値が、データ有効ウィンドウの開始を示します。
2. **有効ウィンドウの終わりまで CQ および Q のタップ遅延値のインクリメントを継続**
3. **CQ をこのウィンドウの中央に位置させる**：CQ がデータ有効ウィンドウの中央に固定されるまでタップ値をデクリメントすることで、センタリングを完了します。
4. **データバス (Q) を CQ および FPGA のクロックに対して中央に位置させる**：Q のタップ値がリセットされ、CQ およびシステム クロック (CLK0) に対する Q の有効ウィンドウが導き出されます。データ信号 (Q) が CQ および FPGA のクロックに対して中央に位置するようになります。

CQ に関連したすべての Q 信号がセンタリングされると、遅延キャリブレーションが完了し、読み出しイネーブルのキャリブレーションが続きます。

読み出しイネーブル ロジック

メモリの読み出しコマンドはキャリブレートされ、キャプチャされたデータを読み出しデータ FIFO へ書き込むための書き込みイネーブルが生成されます。SRL16 を使用して構築されたキャリブレーション ロジックは、適切な書き込みイネーブル信号を生成するため、読み出しコマンド信号で必要なレジスタ段数の決定に役立ちます。

ボード デザインに関する考察事項

Virtex-5 ファミリーは、メモリ インターフェイスの設計を大幅に簡潔にするために役立つ多数の優れた I/O およびクロッキング機能を提供しますが、それでも信頼性が高く高性能なインターフェイスを設計するには、基本的なボード設計の基準に注意が必要です。

特に、読み出しおよび書き込みバスのインターフェイスにはソース同期という特徴があるため、インターフェイス クロック、データ、および制御信号のトレース長が一致しなければなりません。

たとえば、QDR II デバイスの入力信号 (QDR_K、QDR_K_n、QDR_W_n、QDR_R_n、QDR_SA、QDR_BW_n、および QDR_D) のトレース長は、きちんと一致する必要があります。それによって、メモリ デバイスへの制御、アドレス、およびデータラインが十分なセットアップおよびホールド マージンを持つようになります。物理インターフェイスのインプリメンテーションでは、これらの信号が FPGA デバイスの出力から出される際に、QDR_K および QDR_K_n のクロック エッジに対して中央に位置するようにします。ボードトレースは、これらの関係がメモリ デバイスの入力まで確実に維持されるようにする必要があります。

同様に、QDR II デバイスの出力信号 (QDR_Q、QDR_CQ) は、信号が Virtex-5 デバイスの入力にエッジが揃った状態で到達するよう、トレース長が一致していなければなりません。これは、読み出しデータのキャプチャに直接クロッキングを使用する場合、非常に重要です。適切なボード設計ツールを使用することで、比較的容易に、これらのトレースを許容可能な範囲内で一致させることができます。

タイミング解析

Virtex-5 QDR II リファレンス デザインでは、細かい配置およびピンアウトの解析の必要性を大きく低減させる一方で、パフォーマンスおよびタイミング マージンを最大にするためのデバイス独自の I/O およびクロッキング機能を活用しています。

このセクションでは、アドレス/制御バス、書き込みデータバス、および読み出し (キャプチャ) データバスのタイミング解析例について説明します。

アドレス/制御バス

前述したように、読み出し/書き込みアドレスバス、バイト書き込みイネーブル信号、および読み出し/書き込み制御ストローブはすべて USER_CLK270 クロックに同期しています。このことによって、これらの SDR 信号には USER_CLK0 から派生したメモリへの QDR_K および QDR_K_n に対して十分なセットアップおよびホールド マージンが確保されます。

表 2 に、Virtex-5 デバイスとインプリメントされた 300MHz の 4 ワード バースト QDR II メモリ デバイスへのインターフェイスをベースにした、これらの信号のタイミング解析例を示します。

表 2: アドレスおよび制御信号のタイミング解析

パラメータ	値 (ps)	立ち上がりでの不確定時間	立ち下がりでの不確定時間	説明
T _{CLOCK}	3333	–	–	300MHz でのクロック周期
T _{CLOCK_SKEW_FPGA}	TBD	TBD	TBD	TRACE からのクロック スキュー
T _{PACKAGE_SKEW}	TBD	TBD	TBD	バンク内での最大パッケージ スキュー
T _{SETUP}	400	400	0	メモリのデータシートに記載のセットアップ タイム
T _{HOLD}	400	0	400	メモリのデータシートに記載のホールド タイム
T _{PCB_LAYOUT_SKEW}	±50	50	50	ボードトレースを一致させる際の許容範囲の概算に基づく最大スキュー
T _{OUT_OFFSET}	TBD	TBD	TBD	DCM の差動出力間の最大オフセット
T _{JITTER}	TBD	TBD	TBD	USER_CLK0 および USER_CLK270 間の際に関連したジッタ要素
総不確定時間	–	TBD	TBD	
有効ウィンドウ	TBD	TBD	TBD	ワースト ケース

図 10 に、アドレスおよび制御信号のタイミング マージンを示します。これらの信号は USER_CLK270 を参照するため、QDR_K クロック エッジに対するマージンが立ち上がりエッジよりも立ち下がりエッジで大きくなります。これにより、使用するグローバルクロックパッファが少なく済むだけでなく、立ち上がりエッジでも十分なマージンが与えられています。

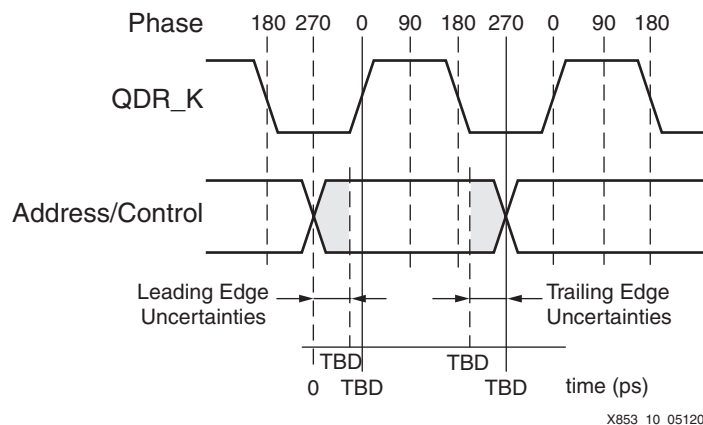


図 10: アドレスおよび制御信号のタイミング マージン

書き込みデータパス

書き込みデータパス (QDR_D) も USER_CLK270 に同期しています。ただし、書き込みデータワードは DDR 値として送信されるため、QDR_K および QDR_K_n の両方の立ち上がりエッジに対して十分なセットアップとホールド マージンが必要となります。表 3 に示す書き込みデータパスのタイミング解析は、メモリクロックにおけるデューティサイクルのずれの最大値を含み、300MHz、4 ワードバーストの QDR II メモリとスピードグレードが -11 の Virtex-5 デバイスに基づいています。

表 3: 書き込みデータパスのタイミング解析

パラメータ	値 (ps)	立ち上がりでの不確定時間	立ち下がりでの不確定時間	説明
T _{CLOCK}	3333	-	-	300MHz でのクロック周期
T _{CLOCK_PHASE}	1666.5	-	-	クロック位相 (クロック周期の 50%)
T _{DCD}	TBD	-	-	メモリクロックのデューティサイクルのずれ
T _{DATA_PERIOD}	TBD	-	-	総データ周期、T _{CLOCK_PHASE} - T _{DCD}
T _{CLOCK_SKEW_FPGA}	TBD	TBD	TBD	TRACE からのクロックスキュー
T _{PACKAGE_SKEW}	TBD	TBD	TBD	バンク内での最大パッケージスキュー
T _{SETUP}	300	300	0	メモリのデータシートに記載のセットアップタイム
T _{HOLD}	300	0	300	メモリのデータシートに記載のホールドタイム
T _{PCB_LAYOUT_SKEW}	±50	50	50	ボードトレースを一致させる際の許容範囲の概算に基づく最大スキュー
T _{OUT_OFFSET}	TBD	TBD	TBD	DCM の差動出力間の最大オフセット
T _{JITTER}	TBD	TBD	TBD	USER_CLK0 および USER_CLK270 間の差に関連したジッタ要素
総不確定時間	-	TBD	TBD	立ち上がりと立ち下りのワーストケースは同時には発生しない
有効ウィンドウ	TBD	TBD	TBD	ワーストケース

図 11 に、書き込みデータパスのタイミングマージンを示します。ここでは、QDR_K に対する解析のみを示しています。QDR_K_n の場合も同様です。

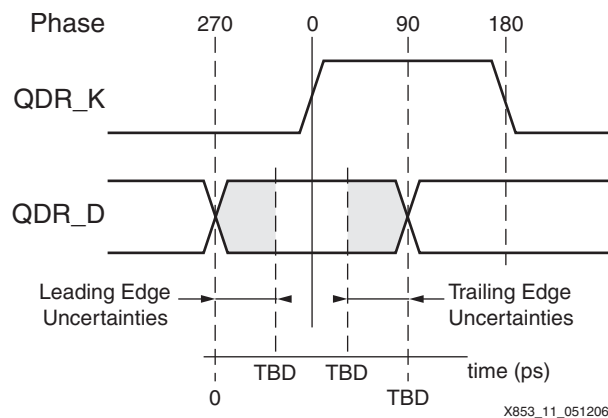


図 11: 書き込みデータパスのタイミングマージン

読み出しデータパス (データキャプチャ)

読み出しデータパス (QDR_Q) の値は、SERDES 内部の USER_CLK0 クロックドメインへ直接キャプチャされます。表 4 に、読み出しデータキャプチャのタイミング解析を示します。

表 4 : 300MHz での読み出しタイミング解析

パラメータ	値 (ps)	説明
クロック周期	3333	
データ周期	1666.5	
メモリの不確定要素		
T _{CQ_Q_SKEW}	540	メモリのデータシートに記載されている値
FPGA の不確定要素		
T _{SAMP_BUFIO}	TBD	Virtex-5 デバイスでのサンプル ウィンドウに基づく値で、IOB FF でのセットアップおよびホールドと、タップの不確定要素としての 150ps を含む
T _{CKSKEW}	TBD	
T _{PKGSKEW}	TBD	
T _{PCB_LAYOUT_SKEW}	50	
T _{BUFIO_DCD}	TBD	
タップ ジッタ	TBD	IDELAY を使用してデータを遅延させる際に発生するジッタ
データ有効ウィンドウ		
データ ウィンドウ	TBD	

まとめ

このアプリケーション ノートでは、Virtex-5 デバイスを使用する場合の、4 ワード バーストのクワッド データ レート (QDR II) SRAM インターフェイスのインプリメンテーションおよびタイミングについて詳細に説明しました。ここで使用したデータ キャプチャ方法では、FPGA 内部での読み出しデータ キャプチャのタスクが非常に単純化される一方で、現在および次世代の QDR II SRAM メモリ デバイス向けの高性能、堅牢、かつ拡張性を持ったメモリ ソリューションが提供されています。

QDR II のリファレンス デザインは、次のザイリンクスのウェブサイトからダウンロードできます。

<http://japan.xilinx.com/bvdocs/appnotes/xapp853.zip>

参考資料

QDR 協会

<http://www.qdrsram.com>

QDR II SRAM メモリ デバイス ベンダー

- Cypress Semiconductor : <http://www.cypress.com/>
- Renesas Technology : <http://www.renesas.com/>
- IDT, Inc. : <http://www.idt.com/>
- Samsung Semiconductor : <http://www.samsung.com/>
- NEC Corporation : http://www.ic.nec.co.jp/memory/index_e.html/

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2006/05/12	1.0	初版リリース