



XAPP878 (v1.1) 2010 年 6 月 9 日

MMCM ダイナミック リコンフィギュレーション

著者 : Karl Kurbjun および Carl Ribbing

まとめ

このアプリケーション ノートでは、ダイナミック リコンフィギュレーション ポート (DRP) を介して Virtex[®]-6 FPGA ミックスモード クロック マネージャー (MMCM) のクロック出力の周波数、位相シフト、およびデューティ サイクルを動的に変更する方法について説明します。内部の DRP 制御レジスタの動作は、ステート マシンを使用して DRP を駆動するリファレンス デザインからわかります。ステート マシンは、レジスタが正しい順序で制御されるように使用されます。

リファレンス デザインはそのまま動作するものですが、MMCM の機能を理解していることが推奨されます。MMCM 機能の詳細は、『Virtex-6 FPGA クロッキング リソース ユーザー ガイド』([UG362](#)) を参照してください。

このリファレンス デザインは、2 つのリコンフィギュレーション ステート アドレスをサポートしていますが、拡張してサポートするステートを追加することも可能です。それぞれのステートが MMCM のフル リコンフィギュレーションを行うため、ほぼすべてのパラメーターが変更できます。このデザインは、分数分周値を設定した出力やファイン位相シフトを有効に設定したリコンフィギュレーションをサポートしません。

はじめに

Virtex-6 デバイス内のクロック マネージメント タイル (CMT) には、それぞれ 2 つの MMCM が含まれています。MMCM の最も強力な機能の 1 つは、クロック出力の位相、デューティ サイクル、および分周の値を動的にリコンフィギュレーション可能であるということです。このアプリケーション ノートでは、MMCM のリコンフィギュレーションに必要な情報を提供し、ここで扱うすべてのアルゴリズムを実装するリファレンス デザインについて説明します。

リコンフィギュレーションは MMCM DRP ポートを介して実行されます。DRP を使用することによって、通常はビットストリームでのみ初期化されるコンフィギュレーション ビットへのアクセスが可能となります。このため、デザインが動作中でも MMCM クロック出力を動的に変更できます。周波数、位相、およびデューティ サイクルすべてが動的に変更可能です。MMCM を適切にリコンフィギュレーションするには、整数の分周値が最初に設定され、ファイン位相シフトが無効に設定されている必要があります。分数分周器およびファイン位相シフターのリコンフィギュレーションはサポートされていません。

「[MMCM コンフィギュレーション ビット グループ](#)」および「[MMCM DRP レジスタ](#)」セクションに、コンフィギュレーション ビットが 5 つのビット グループで記載されており、使用方法の概要とレジスタでのコンフィギュレーション ビットの位置が説明されています。この情報は、DRP リファレンス デザインを使用する場合は必要ありませんが、レジスタ位置に伴って変更しなければならない内部 MMCM の属性について説明するために提供しています。属性の計算方法に関する具体的な情報は、リファレンス デザインで提供されます。リファレンス デザインの機能および使用方法については、「[リファレンス デザイン](#)」および「[リファレンス デザインの使用](#)」セクションで解説しています。

MMCM コンフィギュレーション ビット グループ

MMCM には ユーザーがアクセス可能なコンフィギュレーション ビット グループが 5 つあり、各クロック出力は個別にリコンフィギュレーションできます。5 つのグループは、分周器グループ、位相グループ、ロックグループ、フィルターグループ、パワーグループです。これらのコンフィギュレーション ビット グループは、MMCM プリミティブに内在し、MMCM_DRP モジュールの動作を明確にする

ものです。このユーザー指定可能な MMCM_DRP モジュールのパラメーターについては、「リコンフィギュレーション モジュールのポートと属性」セクションで説明しています。

分周器グループ

すべてのクロック出力それぞれに関連する分周器グループがあります。このグループには次のパラメーターがあります。

- High Time
- Low Time
- No Count
- Edge

上記の最初の 2 つのパラメーターは、High 時間および Low 時間のカウンターです。これらのカウンターは、出力クロックが High または Low を保持しなければならない時間を VCO (電圧制御オシレーター) クロック サイクル数で指定します。たとえば、High Time と Low Time の両パラメーターを 2 に設定した場合の有効な分周値は 4 となり、デューティ サイクルは 50% です。High Time および Low Time カウンターを迂回します。

No Count パラメーターは、High Time および Low Time カウンターを両方無効にし、分周器が出力するクロック分周値を事実上 1 にします。

Edge パラメーターは、High から Low への遷移を制御します。High Time カウンターを最後のカウンターの立ち下がりエッジで強制的に遷移させます。これは、High Time を増加させて、Low Time を減少させるという作用があります。つまり、エッジビットは、High Time に 1/2 VCO クロック サイクル分を追加して、Low Time から 1/2 クロック サイクル分を差し引きします。

たとえば、分周値が 3 で 50/50 のデューティ サイクルが要求される場合にエッジビットを設定します。High Time カウンターが 1、Low Time カウンターが 2 に設定された場合、エッジビットを使用することで、High Time と Low Time それぞれのサイクル数が結果として 1.5 クロック サイクルになります。

位相グループ

DIVCLK を除くすべてのクロック出力それぞれに関連する位相グループがあります。このグループには、次のパラメーターがあります。

- Phase MUX
- Delay Time
- MX

Phase MUX は、VCO クロック周期に対して分解能 45° ($360^\circ/8$) のクロック出力を生成するために、VCO からコース位相を選択します。

Delay Time は、出力を遅延させる VCO クロック サイクル数を数えるカウンターです。つまり、クロック出力で可能な位相シフトとその特定出力の分周値には直接的な相関関係があります。分周値が増加するほど、より細かい位相シフトが可能です。この Delay Time カウンターでは、最大 64 の VCO クロック サイクルの位相オフセットが可能です。

MX は、前の値とは無関係に、リコンフィギュレーション中は 2'b00 に設定する必要があります。このパラメーターによって、予想どおりの位相が確実に出力されます。

ロックグループ

このグループは、アルゴリズムを使用して計算されるのではなく、デバイスの特性評価で作成されたロックアップ テーブルに基づきます。ロック ビットの適切な設定値は、フィードバック分周器の設定によって異なります。この分周器は、MMCM_DRP モジュールのインスタンス化時に、CLKFBOUT_MULT

属性で設定されます。ロック グループは、MMCM のロックを検出する MMCM の性能に影響を与えません。ルックアップ テーブルは、リファレンス デザインの `mmcm_drp_func.h` にあります。

フィルター グループ

このグループは計算されるのではなく、デバイスの特性評価で作成されたルックアップ テーブルに基づきます。各帯域幅設定に対して 1 つ、実際に 2 つのテーブルがあります。フィードバック分周器の設定 (CLKFBOUT_MULT) が、選択されたテーブルのインデックスとして機能します。ツールには 3 種類の帯域幅設定 (High、Low、および Optimized) がありますが、実際には 2 つのみです。High と Optimized は同じテーブルを使用し、Low は別のテーブルを使用します。フィルター グループは、MMCM の位相スキューやジッター フィルタリングの性能に影響を与えます。ルックアップ テーブルは、リファレンス デザインの `mmcm_drp_func.h` にあります。

パワー グループ

このグループによって、動的リコンフィギュレーション動作が正常に機能します。リコンフィギュレーション実行時には、このグループに関連するすべてのビットを有効にする必要があります。

MMCM DRP レジスタ

17 個のコンフィギュレーション レジスタは、分周および位相のビット グループを共有しています。これらのうちの 16 個は、ビット配置が同一であり、クロック出力 0 ~ 6 と CLKFBOUT に関連付けられています。1 つの出力レジスタは DIVCLK 出力に関連付けられており、MMCM への入力パス上に配置されています。DIVCLK 出力には、どの位相コンフィギュレーション ビットも関連付けられていません。図 1 に、7 つのクロック出力、フィードバック クロック出力、および DIVCLK (図の D) を示します。

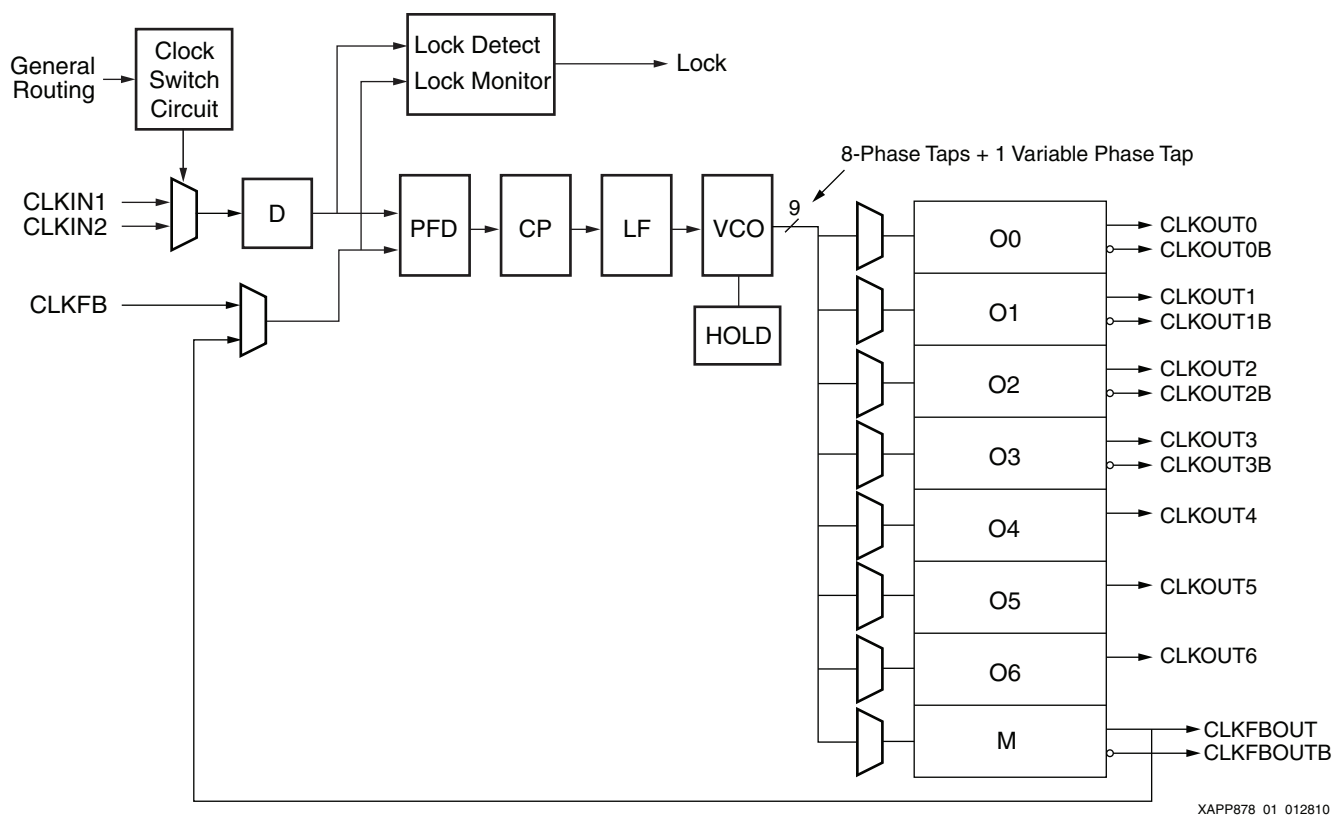


図 1：MMCM ブロック図

各クロック出力には、位相属性と分周属性を共有する 2 つのレジスタがあります。同じビット配置を持つ 16 個のレジスタは、2 つのレジスタに分けられます。表 1 ~ 表 6 に、レジスタのビットマップを示します。

表 1 : MMCM ClkReg1 のビットマップ

ClkReg1	ビット	説明
PHASE MUX	[15:13]	クロック出力に対して最初の位相オフセット値を選択します。分解能は 1/8 VCO 周期です。
予約済み	[12]	ここに格納された前の値を保持します。
HIGH TIME	[11:6]	クロック出力が High を保持する時間を VCO 周期を単位として設定します。
LOW TIME	[5:0]	クロック出力が Low を保持する時間を VCO 周期を単位として設定します。

表 2 : MMCM ClkReg2 のビットマップ

ClkReg2	ビット	説明
予約済み	[15:10]	ここに格納された前の値を保持します。
MX	[9:8]	2'b00 に設定する必要があります。
EDGE	[7]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[6]	High Time および Low Time カウンターを迂回します。
DELAY TIME	[5:0]	VCO 周期と同じ分解能の位相オフセットです。

表 3 : MMCM DivReg のビットマップ

DivReg	ビット	説明
予約済み	[15:14]	ここに格納された前の値を保持します。
EDGE	[13]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[12]	High Time および Low Time カウンターを迂回します。
HIGH TIME	[11:6]	クロック出力が High を保持する時間を VCO 周期を単位として設定します。
LOW TIME	[5:0]	クロック出力が Low を保持する時間を VCO 周期を単位として設定します。

表 4 : MMCM LockReg1 のビットマップ

LockReg1	ビット	説明
予約済み	[15:10]	ここに格納された前の値を保持します。
LKTABLE[29:20]	[9:0]	これらのビットは、リファレンス デザインにあるロックアップテーブルから取得します。

表 5 : MMCM LockReg2 のビットマップ

LockReg2	ビット	説明
予約済み	[15]	ここに格納された前の値を保持します。
LKTABLE[34:30]	[14:10]	これらのビットは、リファレンス デザインにあるロックアップテーブルから取得します。
LKTABLE[9:0]	[9:0]	これらのビットは、リファレンス デザインにあるロックアップテーブルから取得します。

表 6 : MMCM LockReg3 のビットマップ

LockReg3	ビット	説明
予約済み	[15]	ここに格納された前の値を保持します。
LKTABLE[39:35]	[14:10]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
LKTABLE[19:10]	[9:0]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。

フィルター グループは 10 ビットで構成されており、これらは 2 つのレジスタに格納されています。表 7 および表 8 に、レジスタのビットマップを示します。

表 7 : MMCM FiltReg1 のビットマップ

FiltReg1	ビット	説明
TABLE[9]	[15]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[14:13]	ここに格納された前の値を保持します。
TABLE[8:7]	[12:11]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[10:9]	ここに格納された前の値を保持します。
TABLE[6]	[8]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[7:0]	ここに格納された前の値を保持します。

表 8 : FiltReg2 のビットマップ

FiltReg2	ビット	説明
TABLE[5]	[15]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[14:13]	ここに格納された前の値を保持します。
TABLE[4:3]	[12:11]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[10:9]	ここに格納された前の値を保持します。
TABLE[2:1]	[8:7]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[6:5]	ここに格納された前の値を保持します。
TABLE[0]	[4]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[3:0]	ここに格納された前の値を保持します。

パワー ビットは、表 9 にビットマップを示す 1 つのレジスタに格納されます。

表 9 : MMCM PowerReg のビットマップ

PowerReg	ビット	説明
POWER	[15:0]	DRP を実行している間、これらのビットはすべて High に設定されていなければなりません。

表 10 に、Virtex-6 FPGA MMCM のレジスタ アドレスを示します。

表 10 : MMCM のアドレス マップ

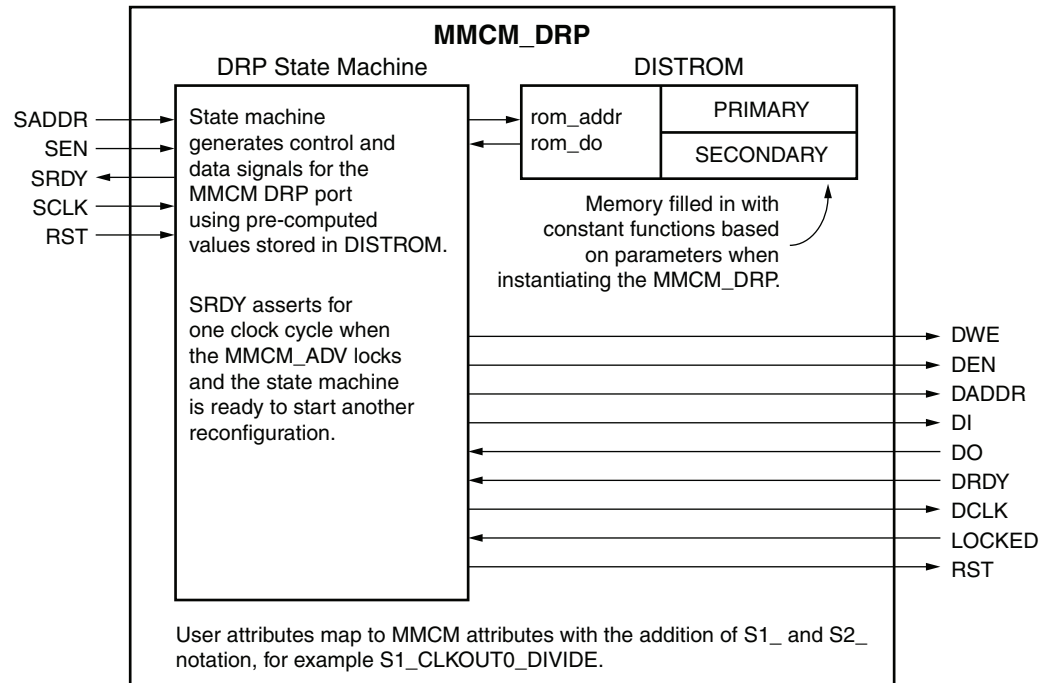
アドレス	配置	説明
0x06	ClkReg1	CLKOUT5 レジスタ 1
0x07	ClkReg2	CLKOUT5 レジスタ 2
0x08	ClkReg1	CLKOUT0 レジスタ 1
0x09	ClkReg2	CLKOUT0 レジスタ 2
0x0A	ClkReg1	CLKOUT1 レジスタ 1
0x0B	ClkReg2	CLKOUT1 レジスタ 2
0x0C	ClkReg1	CLKOUT2 レジスタ 1
0x0D	ClkReg2	CLKOUT2 レジスタ 2
0x0E	ClkReg1	CLKOUT3 レジスタ 1
0x0F	ClkReg2	CLKOUT3 レジスタ 2
0x10	ClkReg1	CLKOUT4 レジスタ 1
0x11	ClkReg2	CLKOUT4 レジスタ 2
0x12	ClkReg1	CLKOUT6 レジスタ 1
0x13	ClkReg2	CLKOUT6 レジスタ 2
0x14	ClkReg1	CLKFBOUT レジスタ 1
0x15	ClkReg2	CLKFBOUT レジスタ 2
0x16	DivReg	DIVLCK レジスタ
0x18	LockReg1	ロック レジスタ 1
0x19	LockReg2	ロック レジスタ 2
0x1A	LockReg3	ロック レジスタ 3
0x28	PowerReg	パワー レジスタ
0x4E	FiltReg1	フィルター レジスタ 1
0x4F	FiltReg2	フィルター レジスタ 2

リファレンス デザイン

リファレンス デザイン ファイルには、Verilog の MMCM リコンフィギュレーション モジュールが含まれています。このモジュールは、24 個のスライスのみを使用してリコンフィギュレーション ロジックとステート マシン メモリを構成しています。

リファレンス デザインは、ステート マシンで DRP ポートを駆動します。ステート マシンは、MMCM のアドレスを指定して前の値を読み出し、変更が必要なビットをマスクしてから新しい値を設定して、最後に MMCM DRP ポートへ値を書き込みます。アドレス値、マスク値、および新しい値は、あらかじめ初期化されている ROM に格納されます。この ROM へは合成プロセスのエラボレーション中に書き込まれます。ROM は、リファレンス デザインで提供されている定数関数で初期化されます。

図 2 に、リコンフィギュレーション モジュールのブロック図を示します。

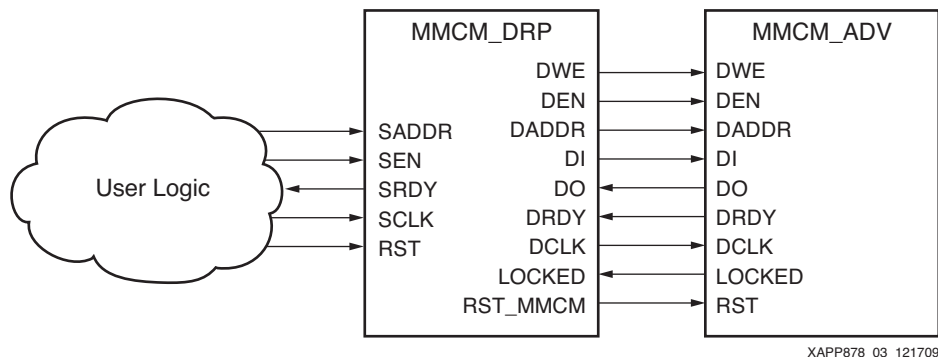


XAPP878_02_012810

図 2： MMCM_DRP の内部ブロック図

mmcm_drp.v モジュールには、ステート マシンと ROM が含まれており、mmcm_drp_func.h で定義されている定数関数を呼び出します。

図 3 に、mmcm_adv および mmcm_drp モジュールが接続されたシステムのブロック図を示します。



XAPP878_03_121709

図 3： リファレンス デザインのブロック図

DRP ステート マシン

DRP ステート マシンは、表 11 に示す 9 個のステートで構成されており、mmcm_drp モジュールから送信されるすべての信号を制御します。

表 11: DRP ステート

ステート	説明	次のステート	遷移の条件
RESTART	SRST ピンがアサート、または current_state が未定義ステートに遷移すると、このステートへ遷移します。	WAIT_LOCK	SRST = 0
WAIT_LOCK	MMCM からの LOCK 信号がアサートされるまで待機します。LOCK 信号がアサートされると、SRDY = 1 となります。	WAIT_SEN	LOCK = 1
WAIT_SEN	SEN がアサートされるまで待機し、SADDR にしたがって適切な ROM アドレスを設定します。	ADDRESS	SEN = 1
ADDRESS	WAIT_SEN または WAIT_DRDY のいずれかのステートから遷移します。ROM に格納された現在値に基づいて DADDR を設定し、DEN をアサートします。	WAIT_A_DRDY	<常に成立>
WAIT_A_DRDY	常に ADDRESS ステートから遷移します。MMCM が DRDY 信号をアサートするまで待機します。	BITMASK	DRDY = 1
BITMASK	常に WAIT_A_DRDY ステートから遷移します。MMCM の DO で、ROM に格納されているマスク値とビット単位の論理積 (AND) を計算します。	BITSET	<常に成立>
BITSET	常に BITMASK ステートから遷移します。ROM に格納されているビットセットと BITMASK 動作の出力からビット単位の論理和 (OR) を計算します。	WRITE	<常に成立>
WRITE	DEN、DWE、および RST_MMCM をアサートします。フルリコンフィギュレーションを 1 回実行するのに必要なレジスタ書き込み数を把握するためのステート カウンターを更新します。	WAIT_DRDY	<常に成立>
WAIT_DRDY	MMCM が DRDY 信号をアサートするまで待機します。	ADDRESS (state_count > 0) WAIT_LOCK (state_count ≤ 0)	DRDY = 1

簡単に説明すると、MMCM の値を 1 つの値にリコンフィギュレーションするには、次を実行する必要があります。

- MMCM に対して RST をアサートする (ディアサートしない)
- MMCM の DADDR を設定して DEN を 1 クロック サイクル間アサートする
- MMCM が DRDY 信号をアサートするまで待機する
- DO ポートと MASK のビット単位の論理積 (AND) を実行する (DI = DO AND MASK)。
- DI 信号と BITSET のビット単位の論理和 (OR) を実行する (DI = DI | BITSET)。
- MMCM で DEN と DWE を 1 クロック サイクル間アサートする
- MMCM が DRDY 信号をアサートするまで待機する
- MMCM に対して RST をディアサートする
- MMCM がロックするまで待機する

リコンフィギュレーション モジュールのポートと属性

リコンフィギュレーション モジュールには、表 12 に示すポートがあります。

表 12: MMCM リコンフィギュレーション ポート

ポート	方向	説明
SADDR	入力	MMCM をリコンフィギュレートするステートを選択します。0 はステート 1、1 はステート 2 に相当します。
SEN	入力	リコンフィギュレーション ステート マシンを有効にします。SCLK の立ち上がりエッジでこのポートがアサートされると、リコンフィギュレーション動作が開始されます。
SCLK	入力	リコンフィギュレーション モジュールのクロックです。DCLK 出力へ接続されています。
RST	入力	ステート マシンと下位の MMCM をリセットします。
SRDY	出力	リコンフィギュレーション シーケンス完了時に、1 クロック サイクル間アサートします。新しいリコンフィギュレーションが開始できることをユーザーに知らせます。
DO[15:0]	入力	MMCM DO ポートへ直接接続する必要があります。MMCM からのレジスタ値の読み出しに使用されます。
DRDY	入力	MMCM DRDY ポートへ直接接続する必要があります。MMCM の読み出し準備または新しい値の書き込み準備が整ったことをリファレンス デザインに伝えます。
LOCKED	入力	MMCM LOCKED ポートへ直接接続する必要があります。MMCM がロックされ、WAIT_LOCK ステートから遷移したことをリファレンス デザインに伝えます。
DWE	出力	MMCM DWE ポートへ直接接続する必要があります。レジスタへの書き込みを有効にします。
DEN	出力	MMCM DEN ポートへ直接接続する必要があります。レジスタの読み出しまたは書き込みの開始に使用されます。
DADDR[6:0]	出力	MMCM DADDR ポートへ直接接続する必要があります。読み出しまたは書き込みのレジスタ位置のアドレス指定に使用されます。
DI[15:0]	出力	MMCM DI ポートへ直接接続する必要があります。書き込み用の新しいレジスタ値の出力に使用されます。
DCLK	出力	MMCM DCLK ポートへ直接接続する必要があります。MMCM のリコンフィギュレーション ポートへのクロック供給に使用されます。MMCM リコンフィギュレーション モジュールから渡される SCLK 信号です。
RST_MMCM	出力	MMCM RST ポートへ直接接続する必要があります。リコンフィギュレーション中、または RST ポートがアサートされた場合の MMCM のリセットに使用されます。

リコンフィギュレーション モジュールには、表 13 に示す属性もあります。MMCM_DRP の属性は、標準の MMCM プリミティブの属性と関連していますが、一部の名前が異なります。

表 13 : MMCM リコンフィギュレーション属性

属性	説明	有効値
CLKFBOUT_MULT	MMCM の VCO 出力周波数を変更するために、入力クロックの乗算器を変更します。	5-64 (整数値のみ)
CLKFBOUT_PHASE	入力クロックの位相を変更します。この属性は、すべての MMCM 出力に影響を与えます。	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
BANDWIDTH	MMCM のバンド幅を設定します。	OPTIMIZED、HIGH、または LOW
DIVCLK_DIVIDE	DIVCLK 出力の分周値を設定します。	1 ~ 128 (整数値のみ)
CLKOUT0_DIVIDE	CLKOUT0 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT0_PHASE	CLKOUT0 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
CLKOUT0_DUTY	CLKOUT0 デューティサイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティサイクルの場合は 60000 となります。
CLKOUT1_DIVIDE	CLKOUT1 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT1_PHASE	CLKOUT1 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
CLKOUT1_DUTY	CLKOUT1 デューティサイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティサイクルの場合は 60000 となります。
CLKOUT2_DIVIDE	CLKOUT2 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT2_PHASE	CLKOUT2 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
CLKOUT2_DUTY	CLKOUT2 デューティサイクルの Low Time を変更します。	1,000 を掛けた整数値。たとえば、60/40 デューティサイクルの場合は 60000 となります。
CLKOUT3_DIVIDE	CLKOUT3 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT3_PHASE	CLKOUT3 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
CLKOUT3_DUTY	CLKOUT3 デューティサイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティサイクルの場合は 60000 となります。
CLKOUT4_DIVIDE	CLKOUT4 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT4_PHASE	CLKOUT4 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
CLKOUT4_DUTY	CLKOUT4 デューティサイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティサイクルの場合は 60000 となります。
CLKOUT5_DIVIDE	CLKOUT5 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT5_PHASE	CLKOUT5 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
CLKOUT5_DUTY	CLKOUT5 デューティサイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティサイクルの場合は 60000 となります。
CLKOUT6_DIVIDE	CLKOUT6 出力の分周値	1 ~ 128 (整数値のみ)

表 13 : MMCM リコンフィギュレーション属性 (続き)

属性	説明	有効値
CLKOUT6_PHASE	CLKOUT6 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45000 となります。
CLKOUT6_DUTY	CLKOUT6 デューティ サイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。

リファレンス デザインの使用

デザインの機能性

mmcm_drp.v ファイルは、2 種類のリコンフィギュレーション可能な状態で記述されています。それらは、表 13 に示す属性名の始めに S1_ または S2_ を付けて区別されています。各状態内のパラメーターを個別に変更できます。また、「デザインの検証」セクションで説明されているように、別の状態を追加したり、レジスタへの書き込みを削除することも可能です。

この 2 つの状態間を切り替える場合は、まず SRDY がアサートされるまで待機します。SRDY がアサートされると、状態マシンのリコンフィギュレーション開始準備が整います。SADDR ポートは、DRP ポートを介して MMCM へロードする状態を指定します。デザインが未変更の場合、0 は状態 1 をロードし、1 は状態 2 をロードします。リコンフィギュレーション完了後、SRDY ポートがアサートされて MMCM は新しい状態の属性を持った状態となります。

デザインの検証

リファレンス デザインは、デザインの特定要件に合わせて変更することを前提としています。変更プロセスはユーザーに委ねられていますが、そのプロセスにおいて一般的な手順を保証する共通要件があります。まず、ヘッダー ファイル mmcm_drp_func.h は変更できないことに注意してください。デザインの特定要件に合わせて変更する主なファイルは、mmcm_drp.v です。また、デザインを変更する際には、付属資料を熟読して、mmcm_drp.v のリコンフィギュレーション インターフェイスの機能を十分理解しておく必要があります。

一般的な状況の 1 つ目として、両状態の以前の CLKOUT# コンフィギュレーションを保持する場合があります。たとえば、CLKOUT4 の前のコンフィギュレーションを保持するには、mmcm_drp.v を 2 箇所変更する必要があります。

- ROM の初期設定を変更して 2 つの CLKOUT4 レジスタを削除します。この場合、MMCM の 0x10 および 0x11 レジスタを変更するエントリを削除する必要があります。レジスタ エントリを削除した場合、初期化アドレスが連続するように ROM の初期設定を変更します。
- ROM の初期設定から 2 つのレジスタが削除されたため、それを反映させるために STATE_COUNT_CONST を変更する必要があります。STATE_COUNT_CONST を 22 で初期化し、各状態の初期設定から 2 つのレジスタが削除された状態にします。

次に考えられるデザイン変更には、リファレンス デザインに 3 つ目の状態を追加する場合があります。この場合、S3_ で開始するパラメーター、定数関数の呼び出し、および ROM の初期設定を作成するために、S#_ (# は数字) を含むすべてのパラメーターを複製する必要があります。3 つ目の状態がアドレス指定されるように SADDR ポートを変更し、また SADDR に基づいて最初の ROM リコンフィギュレーション アドレスを設定できるように WAIT_SEN ステートを更新する必要があります。

デザインの検証

リファレンス デザインは、ハードウェア検証およびシミュレーションを実行済みです。したがって、シミュレーション モデルとハードウェア機能は同じになります。検証プロセスでは、一般的なコンフィギュレーションやリコンフィギュレーションに厳しい条件を多数選択し、それぞれの条件で正しく機能するかを検証します。さまざまなビット設定を計算するファンクションに対する解析も実施し、ISE® のバックエンド ツールでインプリメンテーション中に実行された計算値と一致していることを確認しています。

まとめ

このアプリケーション ノートとリファレンス デザインを活用することで、MMCM DRP の機能を完全にインプリメントできます。このデザインはモジュール ベースで組み立てられているため、DRP の完全ソリューションとして使用できるだけでなく、その他のリコンフィギュレーション ステートをサポートするよう簡単に拡張できます。このデザインは、わずか 24 個のスライスで構成され、Virtex-6 FPGA のリソース使用率を最小限に抑えた形で作成されています。

デザインに関するその他の情報

ファイル

リファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=143942>

特性評価

表 14 に、リファレンス デザインの特性をまとめています。

表 14：リファレンス デザインの詳細

パラメーター	説明
一般	
開発元	Karl Kurbjun および Carl Ribbing
ターゲット デバイス	Virtex-6 ファミリ
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のザイリンクス アプリケーション ノート / リファレンス デザイン、CORE Generator™ ソフトウェア、またはサードパーティからのコード / IP デザインに使用	なし
シミュレーション	
機能シミュレーション	あり
タイミング シミュレーションの実行	あり
機能およびタイミング シミュレーションでのテストベンチ利用	あり
テストベンチの形式	Verilog
シミュレータ ソフトウェア / 使用バージョン	ModelSim 6.4b
インプリメンテーション	
合成ソフトウェア ツール / 使用バージョン	XST 11.3
インプリメンテーション ソフトウェア ツール / 使用バージョン	ISE / 11.3
スタティック タイミング解析	あり
ハードウェア検証	
ハードウェア検証	あり
検証に使用したハードウェアプラットフォーム	Virtex-6 FPGA 特性評価ボード

デバイスの使用リソースと性能

表 15 に、リファレンス デザインの使用リソースおよび性能をまとめています。

表 15 : MMCM_DRP のデバイス使用率と性能

パラメーター	仕様/詳細	
最大周波数 (スピード グレードごと)	-1	190MHz
	-2	200MHz
	-3	200MHz
デバイス使用率 (テストベンチなし)	スライス	24
	GCLK バッファ	0
	ブロック RAM	0
HDL 言語のサポート	Verilog	

改訂履歴

次の表に、この文書の改訂履歴を示します

日付	バージョン	改訂の説明
2010年3月22日	1.0	初版リリース
2010年6月9日	1.1	表 3 の EDGE と NO COUNT を更新。リファレンス デザインの 13 ページの「ファイル」に記載のウェブサイトを更新

Notice of Disclaimer

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.

本資料は英語版 (v1.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。