



XAPP879 (v1.1) 2011 年 10 月 26 日

PLL ダイナミック リコンフィギュレーション

著者 : Karl Kurbjun, Carl Ribbing

概要

このアプリケーション ノートは、ダイナミック リコンフィギュレーション ポート (DRP) を介して Spartan®-6 FPGA の位相ロック ループ (PLL) のクロック出力の周波数、位相シフト、およびデューティ サイクルを動的に変更する方法について説明します。内部の DRP 制御レジスタの動作は、リファレンス デザインからわかります。リファレンス デザインは、レジスタが正しい順序で制御されるように、ステート マシンを使用して DRP を駆動します。

注意：コンフィギュレーション後に、デザインで CRC (巡回冗長検査) 機能が必要な場合、PLL を動的にリコンフィギュレーションするために PLL DRP ポートを使用することはできません。PLL DRP ポートを使用すると、コンフィギュレーション後の CRC 機能が破損します。

リファレンス デザインはそのまま動作するものですが、PLL の機能を理解していることが推奨されます。基本的な PLL 機能では不十分な場合、上級ユーザーには、DRP インターフェイスと共に PLL を使用することを推奨します。PLL と DRP インターフェイスを使用する代わりに、DCM_CLKGEN プリミティブを使用した方が便利な場合もあります。PLL 機能の詳細は、『Spartan-6 FPGA クロック リソース ユーザー ガイド』([UG382](#)) を参照してください。

このリファレンス デザインは、2 つのリコンフィギュレーション ステート アドレスをサポートしていますが、拡張してサポートするステートを追加することも可能です。それぞれのステートが PLL のフル リコンフィギュレーションを行うため、ほぼすべてのパラメーターが変更できます。

はじめに

Spartan-6 デバイス内のクロック マネージメント タイル (CMT) には、2 つの DCM と 1 つの PLL が含まれています。PLL の最も強力な機能の 1 つは、クロック出力の位相、デューティ サイクル、および分周の値を動的にリコンフィギュレーション可能であるということです。このアプリケーション ノートでは、PLL リコンフィギュレーションに必要な情報を提供し、ここで扱うすべてのアルゴリズムをインプリメントするリファレンス デザインについて説明します。このリファレンス デザインで 사용되는 PLL は、フィードバック パスとして CLKFBOUT で使用することを目的にしています。リファレンス デザインは、フィードバック パスの CLKOUT での使用をサポートしません。

リコンフィギュレーションは PLL DRP ポートを介して実行されます。DRP を使用することによって、通常はビットストリームでのみ初期化されるコンフィギュレーション ビットへのアクセスが可能となります。このため、デザインが動作中でも PLL クロック出力を動的に変更できます。周波数、位相、およびデューティ サイクルすべてが動的に変更可能です。PLL を適切にリコンフィギュレーションするには、整数の分周値が最初に設定される必要があります。

「PLL コンフィギュレーション ビット グループ」および「PLL DRP レジスタ」セクションに、コンフィギュレーション ビットが 4 つのビット グループで記載されており、使用方法の概要とレジスタでのコンフィギュレーション ビットの位置が説明されています。この情報は、DRP リファレンス デザインを使用する場合は必要ありませんが、レジスタ位置に伴って変更しなければならない内部 PLL の属性について説明するために提供しています。属性の計算方法に関する具体的な情報は、リファレンス デザインで提供されます。リファレンス デザインの機能および使用方法については、「リファレンス デザイン」および「リファレンス デザインの使用」セクションで解説しています。

PLL コンフィギュレーション ビット グループ

PLL にはユーザーがアクセス可能なコンフィギュレーション ビット グループが 4 つあり、各クロック出力は個別にリコンフィギュレーションできます。4 つのグループは、分周器グループ、位相グループ、ロック グループ、およびフィルター グループです。これらのコンフィギュレーション ビット グループは、PLL プリミティブに内在し、PLL_DRP モジュールの動作を明確にするものです。このユーザー指定可能な PLL_DRP モジュールのパラメーターについては、「[リコンフィギュレーション モジュールのポートと属性](#)」セクションで説明しています。

分周器グループ

すべてのクロック出力それぞれに関連する分周器グループがあります。このグループには次のパラメーターがあります。

- High Time
- Low Time
- No Count
- Edge

上記の最初の 2 つのパラメーターは、High 時間および Low 時間のカウンターです。これらのカウンターは、出カクロックが High または Low を保持しなければならない時間を VCO (電圧制御オシレーター) クロック サイクル数で指定します。たとえば、High Time と Low Time の両パラメーターを 2 に設定した場合の有効な分周値は 4 となり、デューティ サイクルは 50% です。High Time および Low Time カウンターを迂回します。

No Count パラメーターは、High Time および Low Time カウンターを両方無効にし、分周器が出力するクロック分周値を事実上 1 にします。

Edge パラメーターは、High から Low への遷移を制御します。High Time カウンターを最後のカウンターの立ち下がりがエッジで強制的に遷移させます。これは、High Time を増加させて、Low Time を減少させるという作用があります。つまり、エッジビットは、High Time に 1/2 VCO クロック サイクル分を追加して、Low Time から 1/2 クロック サイクル分を差し引きます。

たとえば、分周値が 3 で 50/50 のデューティ サイクルが要求される場合にエッジビットを設定します。High Time カウンターが 1、Low Time カウンターが 2 に設定された場合、エッジビットを使用することで、High Time と Low Time それぞれのサイクル数が結果として 1.5 クロック サイクルになります。

位相グループ

DIVCLK を除くすべてのクロック出力それぞれに関連する位相グループがあります。このグループには、次のパラメーターがあります。

- Phase MUX
- Delay Time

Phase MUX は、VCO クロック周期に対して分解能 45° ($360^\circ/8$) のクロック出力を生成するために、VCO からコース位相を選択します。

Delay Time は、出力を遅延させる VCO クロック サイクル数を数えるカウンターです。つまり、クロック出力で可能な位相シフトとその特定出力の分周値には直接的な相関関係があります。分周値が増加するほど、より細かい位相シフトが可能です。この Delay Time カウンターでは、最大 64 の VCO クロック サイクルの位相オフセットが可能です。

ロック グループ

このグループは、アルゴリズムを使用して計算されるのではなく、デバイスの特性評価で作成されたロックアップ テーブルに基づきます。ロック ビットの適切な設定値は、フィードバック分周器の設定によって異なります。この分周器は、PLL_DRP モジュールのインスタンス化時に、CLKFBOUT_MULT 属性で設定されます。ロック グループは、PLL のロックを検出する PLL の性能に影響を与えます。ロックアップ テーブルは、リファレンス デザインの p11_drp_func.h にあります。

フィルター グループ

このグループは計算されるのではなく、デバイスの特性評価で作成されたロックアップ テーブルに基づきます。各帯域幅設定に対して1つ、実際に2つのテーブルがあります。フィードバック分周器の設定 (CLKFBOUT_MULT) が、選択されたテーブルのインデックスとして機能します。ツールには3種類の帯域幅設定 (High、Low、および Optimized) がありますが、実際には2つのみです。High と Optimized は同じテーブルを使用し、Low は別のテーブルを使用します。フィルター グループは、PLL の位相スキューやジッター フィルタリングの性能に影響を与えます。ロックアップ テーブルは、リファレンス デザインの `p11_drp_func.h` にあります。

PLL DRP レジスタ

各クロック出力は、いくつかのコンフィギュレーション ビットに関連付けられています。CLKOUT 出力と CLKFBOUT 出力は、位相と分周器のグループ ビットに関連付けられています。ロック ビットと フィルター ビットは、CLKFBOUT コンフィギュレーションに関連付けられています。DIVCLK 出力には、どの位相コンフィギュレーション ビットも関連付けられていません。図 1 に、6つのクロック出力、フィードバック クロック出力、および DIVCLK (図 1 の D) を示します。

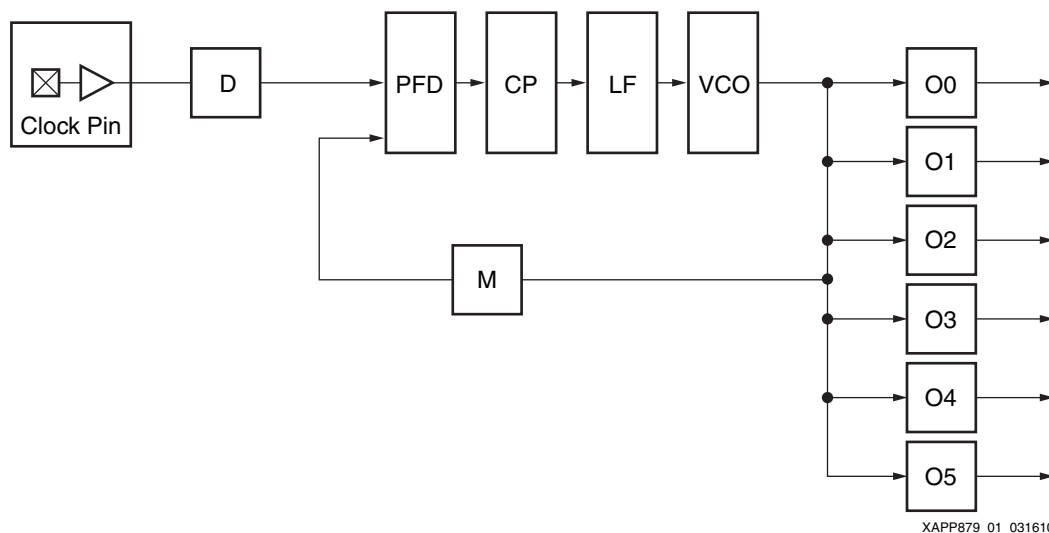


図 1: PLL ブロック図

コンフィギュレーション ビットを格納する PLL DRP アドレス マップは、11 ページの「付録」に記載されています。DRP アドレス マップで使用される各レジスタに関連する機能を、表 1 で説明します。

表 1: PLL レジスタの説明

レジスタ	幅	説明
PHASE MUX	3	クロック出力に対して最初の位相オフセットを選択します。オフセットの分解能は、1/8 VCO 周期です。
HIGH TIME	6	クロック出力が High を保持する時間を VCO 周期を単位として設定します。
LOW TIME	6	クロック出力が Low を保持する時間を VCO 周期を単位として設定します。
DELAY TIME	6	VCO 周期と同じ分解能の位相オフセットを設定します。
NO COUNT	1	High Time および Low Time カウンターを迂回します。
EDGE	1	High Time カウンターが遷移するエッジを選択します。
LOCK TABLE	40	これらのビットは、リファレンス デザインにあるロック ルックアップ テーブルから取得します。

表 1 : PLL レジスタの説明 (続き)

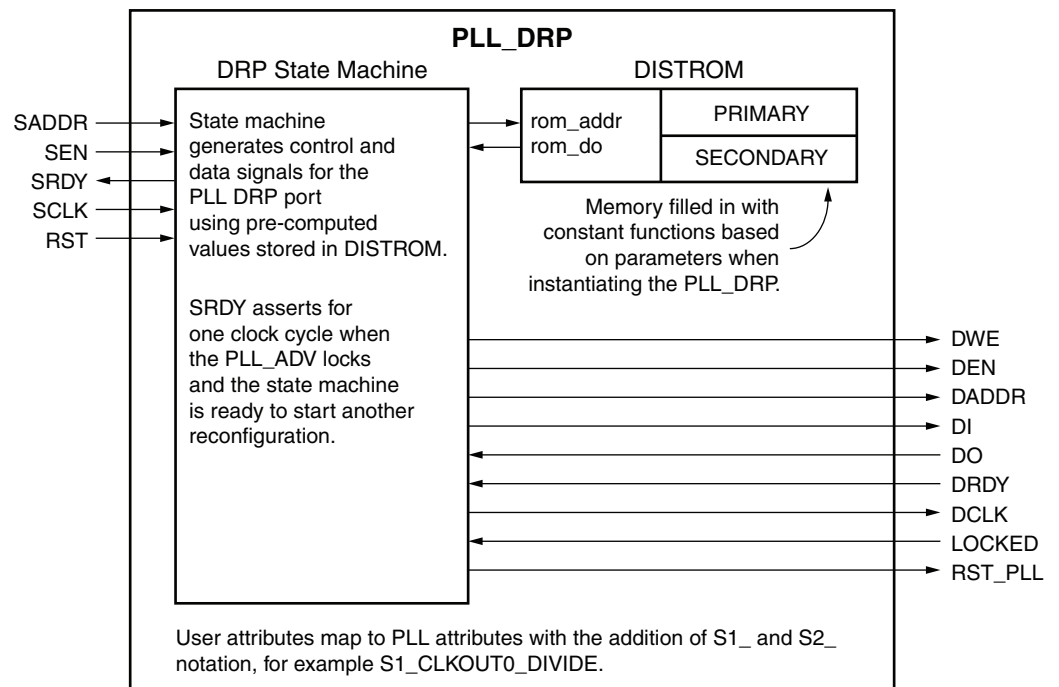
レジスタ	幅	説明
FILTER TABLE	10	これらのビットは、リファレンス デザインにあるフィルタールックアップ テーブルから取得します。
RESERVED	X	ここに格納された前の値を保持します。

リファレンス デザイン

リファレンス デザイン ファイルには、Verilog の PLL リコンフィギュレーション モジュールが含まれています。このモジュールは、25 個のスライスのみを使用してリコンフィギュレーション ロジックとステート マシン メモリを構成しています。

リファレンス デザインは、ステート マシンで DRP ポートを駆動します。ステート マシンは、PLL のアドレスを指定して前の値を読み出し、変更が必要なビットをマスクしてから新しい値を設定して、最後に PLL DRP ポートへ値を書き込みます。アドレス値、マスク値、および新しい値は、あらかじめ初期化されている ROM に格納されます。この ROM へは合成プロセスのエラボレーション中に書き込まれます。ROM は、リファレンス デザインで提供されている定数関数で初期化されます。

図 2 に、リコンフィギュレーション モジュールのブロック図を示します。



XAPP879_02_092311

図 2 : PLL_DRP の内部ブロック図

p11_drp.v モジュールには、ステート マシンと ROM が含まれており、p11_drp_func.h で定義されている定数関数を呼び出します。

図 3 に、p11_adv および p11_drp モジュールが接続されたシステムのブロック図を示します。

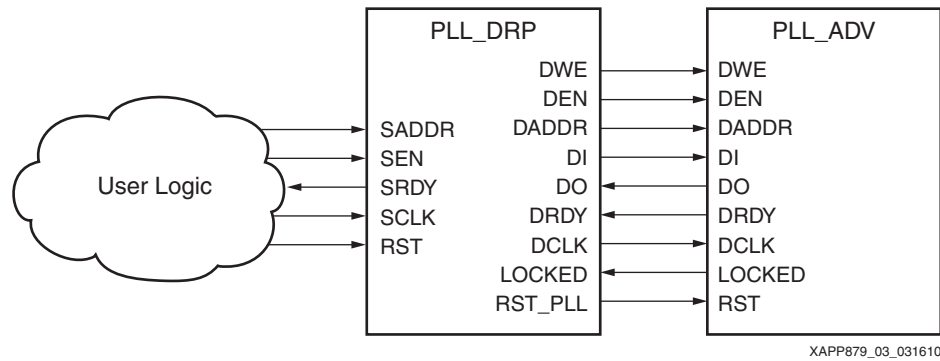


図 3：リファレンス デザインのブロック図

DRP ステート マシン

DRP ステート マシンは、表 2 に示す 9 個のステートで構成されており、pll_drp モジュールから送信されるすべての信号を制御します。

表 2：DRP ステート

ステート	説明	次のステート	遷移の条件
RESTART	SRST ピンがアサート、または current_state が未定義ステートに遷移すると、このステートへ遷移します。	WAIT_LOCK	SRST = 0
WAIT_LOCK	PLL からの LOCK 信号がアサートされるまで待機します。LOCK 信号がアサートされると、SRDY = 1 となります。	WAIT_SEN	LOCKED = 1
WAIT_SEN	SEN がアサートされるまで待機し、SADDR にしたがって適切な ROM アドレスを設定します。	ADDRESS	SEN = 1
ADDRESS	WAIT_SEN または WAIT_DRDY のいずれかのステートから遷移します。ROM に格納された現在値に基づいて DADDR を設定し、DEN をアサートします。	WAIT_A_DRDY	<常に成立>
WAIT_A_DRDY	常に ADDRESS ステートから遷移します。PLL が DRDY 信号をアサートするまで待機します。	BITMASK	DRDY = 1
BITMASK	常に WAIT_A_DRDY ステートから遷移します。PLL の DO で、ROM に格納されているマスク値とビット単位の論理積 (AND) を計算します。	BITSET	<常に成立>
BITSET	常に BITMASK ステートから遷移します。ROM に格納されているビットセットと BITMASK 動作の出力からビット単位の論理和 (OR) を計算します。	WRITE	<常に成立>

表 2 : DRP ステート (続き)

ステート	説明	次のステート	遷移の条件
WRITE	DEN、DWE、および RST_PLL をアサートします。フル リコンフィギュレーションを 1 回実行するのに必要なレジスタ書き込み数を把握するためのステート カウンターを更新します。	WAIT_DRDY	<常に成立>
WAIT_DRDY	PLL が DRDY 信号をアサートするまで待機します。	ADDRESS (state_count > 0) WAIT_LOCK (state_count ≤ 0)	DRDY = 1

簡単に説明すると、PLL の値を 1 つの値にリコンフィギュレーションするには、次を実行する必要があります。

- PLL に対して RST をアサートする (ディアサートしない)
- PLL の DADDR を設定して DEN を 1 クロック サイクル間アサートする
- PLL が DRDY 信号をアサートするまで待機する
- DO ポートと MASK のビット単位の論理積 (AND) を実行する (DI = DO AND MASK)。
- DI 信号と BITSET のビット単位の論理和 (OR) を実行する (DI = DI または BITSET)。
- PLL で DEN と DWE を 1 クロック サイクル間アサートする
- PLL が DRDY 信号をアサートするまで待機する
- PLL に対して RST をディアサートする
- PLL がロックするまで待機する

リコンフィギュレーション モジュールのポートと属性

リコンフィギュレーション モジュールには、表 3 に示すポートがあります。

表 3 : PLL リコンフィギュレーション ポート

ポート	方向	説明
SADDR	入力	PLL をリコンフィギュレートするステートを選択します。0 はステート 1、1 はステート 2 に相当します。
SEN	入力	リコンフィギュレーション ステート マシンを有効にします。SCLK の立ち上がりエッジでこのポートがアサートされると、リコンフィギュレーション動作が開始されます。
SCLK	入力	リコンフィギュレーション モジュールのクロックです。DCLK 出力へ接続されています。
RST	入力	ステート マシンと下位の PLL をリセットします。
SRDY	出力	リコンフィギュレーション シーケンス完了時に、1 クロック サイクル間アサートします。新しいリコンフィギュレーションが開始できることをユーザーに知らせます。
DO[15:0]	入力	PLL DO ポートへ直接接続する必要があります。PLL からのレジスタ値の読み出しに使用されます。
DRDY	入力	PLL DRDY ポートへ直接接続する必要があります。PLL の読み出し準備または新しい値の書き込み準備が整ったことをリファレンス デザインに伝えます。
LOCKED	入力	PLL LOCKED ポートへ直接接続する必要があります。PLL がロックされ、WAIT_LOCK ステートから遷移したことをリファレンス デザインに伝えます。

表 3 : PLL リンコンフィギュレーション ポート (続き)

ポート	方向	説明
DWE	出力	PLL DWE ポートへ直接接続する必要があります。レジスタへの書き込みを有効にします。
DEN	出力	PLL DEN ポートへ直接接続する必要があります。レジスタの読み出しまたは書き込みの開始に使用されます。
DADDR[6:0]	出力	PLL DADDR ポートへ直接接続する必要があります。読み出しまたは書き込みのレジスタ位置のアドレス指定に使用されます。
DI[15:0]	出力	PLL DI ポートへ直接接続する必要があります。書き込み用の新しいレジスタ値の出力に使用されます。
DCLK	出力	PLL DCLK ポートへ直接接続する必要があります。PLL のリコンフィギュレーション ポートへのクロック供給に使用されます。PLL リンコンフィギュレーション モジュールから渡される SCLK 信号です。
RST_PLL	出力	PLL RST ポートへ直接接続する必要があります。リコンフィギュレーション中、または RST ポートがアサートされた場合の PLL のリセットに使用されます。

リコンフィギュレーション モジュールには、表 4 に示す属性もあります。PLL_DRP の属性は、標準の PLL プリミティブの属性と関連していますが、一部の名前が異なります。

表 4 : PLL のリコンフィギュレーション属性

属性	説明	有効値
CLKFBOUT_MULT	PLL の VCO 出力周波数を変更するために、入力クロックの乗算器を変更します。	1 ~ 64 (整数値のみ)
CLKFBOUT_PHASE	入力クロックの位相を変更します。この属性は、すべての PLL 出力に影響を与えます。	1000 を掛けた整数値。たとえば、45° の位相シフトは 45,000 となります。
BANDWIDTH	PLL のバンド幅を設定します。	OPTIMIZED、HIGH、または LOW
DIVCLK_DIVIDE	DIVCLK 出力の分周値を設定します。	1 ~ 52 (整数値のみ)
CLKOUT0_DIVIDE	CLKOUT0 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT0_PHASE	CLKOUT0 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45,000 となります。
CLKOUT0_DUTY	CLKOUT0 デューティ サイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT1_DIVIDE	CLKOUT1 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT1_PHASE	CLKOUT1 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45,000 となります。
CLKOUT1_DUTY	CLKOUT1 デューティ サイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT2_DIVIDE	CLKOUT2 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT2_PHASE	CLKOUT2 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45,000 となります。
CLKOUT2_DUTY	CLKOUT2 デューティ サイクルの Low Time を変更します。	1,000 を掛けた整数値。たとえば、60/40 デューティ サイクルの場合は 60000 となります。
CLKOUT3_DIVIDE	CLKOUT3 出力の分周値	1 ~ 128 (整数値のみ)

表 4 : PLL のリコンフィギュレーション属性 (続き)

属性	説明	有効値
CLKOUT3_PHASE	CLKOUT3 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45,000 となります。
CLKOUT3_DUTY	CLKOUT3 デューティ サイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT4_DIVIDE	CLKOUT4 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT4_PHASE	CLKOUT4 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45,000 となります。
CLKOUT4_DUTY	CLKOUT4 デューティ サイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT5_DIVIDE	CLKOUT5 出力の分周値	1 ~ 128 (整数値のみ)
CLKOUT5_PHASE	CLKOUT5 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 45,000 となります。
CLKOUT5_DUTY	CLKOUT5 デューティ サイクルの Low Time を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。

リファレンス デザインの使用

デザインの機能性

p11_drp.v ファイルは、2 種類のリコンフィギュレーション可能なステートで記述されています。それらは、表 4 に示す属性名の始めに S1_ または S2_ を付けて区別されています。各ステート内のパラメーターを個別に変更できます。また、「[デザインの検証](#)」セクションで説明されているように、別のステートを追加したり、レジスタへの書き込みを削除することも可能です。

この 2 つのステート間を切り替える場合は、まず SRDY がアサートされるまで待機します。SRDY がアサートされると、ステートマシンのリコンフィギュレーション開始準備が整います。SADDR ポートは、DRP ポートを介して PLL へロードするステートを指定します。デザインが未変更の場合、0 はステート 1 をロードし、1 はステート 2 をロードします。SEN を 1 クロック サイクル間パルスすると、リコンフィギュレーションがトリガーされ、PLL DRP デザインに設定されたすべての属性がロードされます。リコンフィギュレーション完了後、SRDY ポートがアサートされて PLL は新しいステートの属性を持った状態となります。

デザインの検証

リファレンス デザインは、デザインの特定要件に合わせて限定された方法で変更することを前提としています。変更プロセスはユーザーに委ねられていますが、そのプロセスにおいて一般的な手順を保証する 1 つの共通要件があります。まず、ヘッダー ファイル p11_drp_func.h は変更できないことに注意してください。デザインの特定要件に合わせて変更する主なファイルは、p11_drp.v です。また、デザインを変更するには、付属資料を熟読して、p11_drp.v のリコンフィギュレーション インターフェイスの機能を十分理解しておく必要があります。

唯一推奨されるデザイン変更には、リファレンス デザインにステートを追加する場合があります。この場合、S3_ 以上で開始するパラメーター、定数関数の呼び出し、および ROM の初期設定を作成するために、S#_ (# は数字) を含むすべてのパラメーターを複製する必要があります。追加ステートがアドレス指定されるように SADDR ポートを変更し、また SADDR に基づいて最初の ROM リコンフィギュレーション アドレスを設定できるように WAIT_SEN ステートを更新する必要があります。

デザインの検証

リファレンス デザインは、ハードウェア検証およびシミュレーションを実行済みです。したがって、シミュレーション モデルとハードウェア機能は同じになります。検証プロセスでは、一般的なコンフィギュレーションやリコンフィギュレーションに厳しい条件を多数選択し、それぞれの条件で正しく機能するかを検証します。さまざまなビット設定を計算するファンクションに対する解析も実施し、ISE® のバックエンド ツールでインプリメンテーション中に実行された計算値と一致していることを確認しています。

まとめ

このアプリケーション ノートとリファレンス デザインを活用することで、PLL DRP の機能を完全にインプリメントできます。このデザインはモジュール ベースで組み立てられているため、DRP の完全ソリューションとして使用できるだけでなく、その他のリコンフィギュレーション ステートをサポートするよう簡単に拡張できます。このデザインは、わずか 25 個のスライスで構成され、Spartan-6 FPGA のリソース使用率を最小限に抑えた形で作成されています。

デザインに関するその他の情報

ファイル

リファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=143937>

特性評価

表 5 に、リファレンス デザインの特性をまとめています。

表 5：リファレンス デザインの詳細

パラメーター	説明
一般	
開発元	Karl Kurbjun および Carl Ribbing
ターゲット デバイス	Spartan-6 ファミリ
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のザイリンクス アプリケーション ノート / リファレンス デザイン、CORE Generator™ ソフトウェア、またはサードパーティからのコード / IP デザインに使用	なし
シミュレーション	
機能シミュレーション	あり
タイミング シミュレーションの実行	あり
機能およびタイミング シミュレーションでのテストベンチ利用	あり
テストベンチの形式	Verilog
シミュレータ ソフトウェア / 使用バージョン	ModelSim 6.4b
インプリメンテーション	
合成ソフトウェア ツール / 使用バージョン	XST 12.1
インプリメンテーション ソフトウェア ツール / 使用バージョン	ISE Design Suite 12.1
スタティック タイミング解析	あり
ハードウェア検証	
ハードウェア検証	あり
検証に使用したハードウェアプラットフォーム	Spartan-6 FPGA 特性評価ボード

デバイスの使用リソースと性能

表 6 に、リファレンス デザインの使用リソースおよび性能をまとめています。

表 6 : PLL_DRP のデバイス使用率と性能

パラメーター	仕様/詳細	
最大周波数 (スピード グレードごと)	-1L	190MHz
	-2	200MHz
	-3N	200MHz
	-3	200MHz
デバイス使用率 (テストベンチなし)	スライス	25
	GCLK バッファ	0
	ブロック RAM	0
HDL 言語のサポート	Verilog	

付録

表 7 に、Spartan-6 FPGA PLL DRP のアドレス マップを示します。

表 7 : Spartan-6 PLL DRP のアドレス マップ

レジスタ アドレス	ビット	レジスタ名
0x05	15	CLK0 Delay Time [5]
	14	RESERVED
	13	CLK0 Delay Time [4]
	12	RESERVED
	[11:10]	CLK0 Delay Time [2:3]
	[9:8]	CLK0 Delay Time [1:0]
	[7:0]	RESERVED
0x06	[15:14]	CLK1 Low Time [4:5]
	13	CLK1 Low Time [3]
	12	CLK1 No Count
	[11:10]	CLK1 Low Time [1:2]
	9	CLK1 Delay Time [5]
	8	RESERVED
	[7:6]	CLK1 Delay Time [3:2]
	[5:4]	CLK1 Delay Time [0:1]
	3	RESERVED
	2	CLK0 Edge
[1:0]	RESERVED	
0x07	[15:13]	RESERVED
	12	CLK1 High Time [5]
	[11:10]	CLK1 High Time [3:4]
	[9:7]	CLK1 High Time [2:0]
	6	CLK1 Phase MUX [0]
	5	RESERVED
	4	CLK1 Edge
	[3:2]	RESERVED
[1:0]	CLK1 Phase MUX [1:2]	
0x08	15	CLK2 Phase MUX [2]
	14	RESERVED
	13	CLK2 Low Time [5]
	12	CLK2 Phase MUX [1]
	11	CLK2 No Count
	[10:8]	CLK2 Low Time [4:2]
	7	CLK2 Low Time [0]
	6	CLK2 Delay Time [5]
	[5:4]	CLK2 Delay Time [3:4]
	[3:2]	CLK2 Delay Time [1:2]
	1	CLK2 Delay Time [0]
0	RESERVED	

表 7 : Spartan-6 PLL DRP のアドレス マップ (続き)

レジスタ アドレス	ビット	レジスタ名
0x09	[15:14]	CLK3 Delay Time [0:1]
	[13:12]	CLK0 Phase MUX [1:2]
	[11:10]	RESERVED
	9	CLK2 High Time [4]
	8	RESERVED
	[7:6]	CLK2 High Time [3:2]
	[5:4]	CLK2 High Time [0:1]
	3	CLK2 Edge
	2	CLK2 Phase MUX [0]
	[1:0]	RESERVED
0x0A	15	RESERVED
	14	CLK3 Edge
	[13:12]	RESERVED
	[11:10]	CLK3 Phase MUX [1:2]
	[9:8]	CLK3 Low Time [5:4]
	7	CLK3 No Count
	6	CLK3 Low Time [2]
	[5:4]	CLK3 Low Time [0:1]
	[3:2]	CLK3 Delay Time [4:5]
	1	CLK3 Delay Time [3]
0	RESERVED	
0x0B	15	CLK0 Low Time [5]
	14	CLK4 Delay Time [5]
	13	CLK4 Delay Time [0]
	12	CLK4 Delay Time [3]
	[11:10]	CLK4 Delay Time [1:2]
	9	CLK0 Low Time [4]
	8	RESERVED
	[7:5]	CLK3 High Time [5:3]
	4	RESERVED
	[3:2]	CLK3 High Time [1:2]
1	CLK3 Phase MUX [0]	
0	CLK3 High Time [0]	
0x0C	[15:14]	CLK4 High Time [1:2]
	13	CLK4 Phase MUX [0]
	12	CLK4 High Time [0]
	11	RESERVED
	10	CLK4 Edge
	[9:8]	RESERVED
	[7:6]	CLK4 Phase MUX [2:1]
	[5:4]	CLK4 Low Time [4:5]
	3	CLK4 Low Time [3]
	2	CLK4 No Count
[1:0]	CLK4 Low Time [1:2]	

表 7 : Spartan-6 PLL DRP のアドレス マップ (続き)

レジスタ アドレス	ビット	レジスタ名
0x0D	[15:14]	CLK5 Low Time [2:3]
	[13:12]	CLK5 Low Time [0:1]
	[11:10]	CLK5 Delay Time [4:5]
	[9:7]	CLK5 Delay Time [3:1]
	6	CLK0 Low Time [3]
	5	CLK0 Low Time [0]
	4	CLK0 Low Time [2]
	3	RESERVED
	2	CLK4 High Time [5]
[1:0]	CLK4 High Time [3:4]	
0x0E	[15:14]	CLK5 High Time [4:5]
	[13:12]	CLK5 High Time [2:3]
	[11:10]	CLK5 High Time [0:1]
	9	CLK5 Phase MUX [0]
	8	CLK5 Edge
	[7:6]	RESERVED
	5	CLK5 Phase MUX [2]
	4	RESERVED
	3	CLK5 Low Time [5]
	2	CLK5 Phase MUX [1]
1	CLK5 No Count	
0	CLK5 Low Time [4]	
0x0F	[15:14]	CLKFB Low Time [4:5]
	13	CLKFB Low Time [3]
	12	CLKFB No Count
	[11:10]	CLKFB Low Time [1:2]
	9	CLKFB Low Time [0]
	[8:6]	CLKFB Delay Time [5:3]
	[5:4]	CLKFB Delay Time [1:2]
	3	CLK0 No Count
	2	CLK0 Low Time [1]
[1:0]	RESERVED	
0x10	15	RESERVED
	14	CLK0 High Time [3]
	[13:12]	CLK0 High Time [5:4]
	[11:10]	CLKFB High Time [4:5]
	[9:6]	CLKFB High Time [3:0]
	5	CLKFB Edge
	4	CLKFB Phase MUX [0]
	[3:2]	RESERVED
[1:0]	CLKFB Phase MUX [1:2]	

表 7 : Spartan-6 PLL DRP のアドレス マップ (続き)

レジスタ アドレス	ビット	レジスタ名
0x11	[15:10]	RESERVED
	9	CLK3 Low Time [3]
	8	CLK3 Delay Time [2]
	7	CLK2 High Time [5]
	6	CLK2 Low Time [1]
	5	CLK1 Delay Time [4]
	4	CLK1 Low Time [0]
	3	CLK0 High Time [0]
	2	CLK0 Phase MUX [0]
	[1:0]	CLK0 High Time [2:1]
0x12	[15:12]	RESERVED
	11	CLK5 Delay Time [0]
	10	CLKFB Delay Time [0]
	9	CLK4 Low Time [0]
	8	CLK4 Delay Time [4]
	[7:0]	RESERVED
0x13	15	DIVCLK High Time [5]
	14	RESERVED
	13	DIVCLK High Time [4]
	12	RESERVED
	[11:10]	DIVCLK High Time [1:2]
	9	DIVCLK Low Time [0]
	8	DIVCLK Delay Time [1]
	7	DIVCLK Low Time [5]
	6	DIVCLK Low Time [2]
	5	RESERVED
	4	DIVCLK Edge
[3:0]	RESERVED	
0x14	[15:14]	LKTABLE[1:2]
	13	RESERVED
	12	LKTABLE[0]
	[11:9]	RESERVED
	[8:7]	FILTER TABLE [6:7]
	[6:0]	RESERVED
0x15	15	RESERVED
	14	DIVCLK No Count
	[13:4]	RESERVED
	3	LKTABLE[38]
	2	RESERVED
	1	LKTABLE[32]
	0	LKTABLE[39]

表 7 : Spartan-6 PLL DRP のアドレス マップ (続き)

レジスタ アドレス	ビット	レジスタ名
0x16	15	LKTABLE[15]
	14	LKTABLE[13]
	13	LKTABLE[27]
	12	LKTABLE[16]
	11	RESERVED
	10	LKTABLE[10]
	9	RESERVED
	8	DIVCLK High Time [3]
	7	DIVCLK Low Time [1]
	6	RESERVED
	5	DIVCLK High Time [0]
	4	RESERVED
	3	DIVCLK Low Time [3]
	2	RESERVED
	1	DIVCLK Low Time [4]
	0	RESERVED
0x17	[15:6]	RESERVED
	5	LKTABLE[17]
	4	RESERVED
	[3:2]	LKTABLE[8:9]
	[1:0]	LKTABLE[23:22]
0x18	[15:14]	FILTER TABLE [6:7]
	13	FILTER TABLE [0]
	12	RESERVED
	[11:10]	FILTER TABLE [2:1]
	9	FILTER TABLE [3]
	[8:7]	FILTER TABLE [9:8]
	6	LKTABLE[26]
	[5:3]	RESERVED
	[2:1]	LKTABLE [19:18]
0	RESERVED	
0x19	[15:14]	LKTABLE [24:25]
	13	LKTABLE[21]
	12	LKTABLE[14]
	[11:10]	LKTABLE [11:12]
	9	LKTABLE[20]
	8	LKTABLE[6]
	[7:5]	LKTABLE[35:37]
	4	LKTABLE[3]
	3	LKTABLE[33]
	2	LKTABLE[31]
	1	LKTABLE[34]
0	LKTABLE[30]	

表 7: Spartan-6 PLL DRP のアドレス マップ (続き)

レジスタ アドレス	ビット	レジスタ名
0x1A	[15:2]	RESERVED
	[1:0]	LKTABLE[28:29]
0x1D	15	LKTABLE[7]
	14	LKTABLE[4]
	13	RESERVED
	12	LKTABLE[5]
	[11:0]	RESERVED

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂の説明
2010年5月13日	1.0	初版リリース
2011年10月26日	1.1	表 2 で、RST 出力を RST_PLL に変更。表 4 で、DIVCLK_DIVIDE 属性の有効値を 128 から 52 に変更更新。表 6 で、-1 および -3N スピード グレードを追加。表 7 で、レジスタ アドレス 0x07 のビット 4 のレジスタ名を「CLK1 Edge」に変更。

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。