



XAPP881 (v1.0.1) 2010 年 7 月 25 日

## Virtex-6 FPGA で LVDS を使用した、 1.25Gb/s での 4X 非同期オーバーサンプリング

著者 : Catalin Baetoni, Brandon Day

### 概要

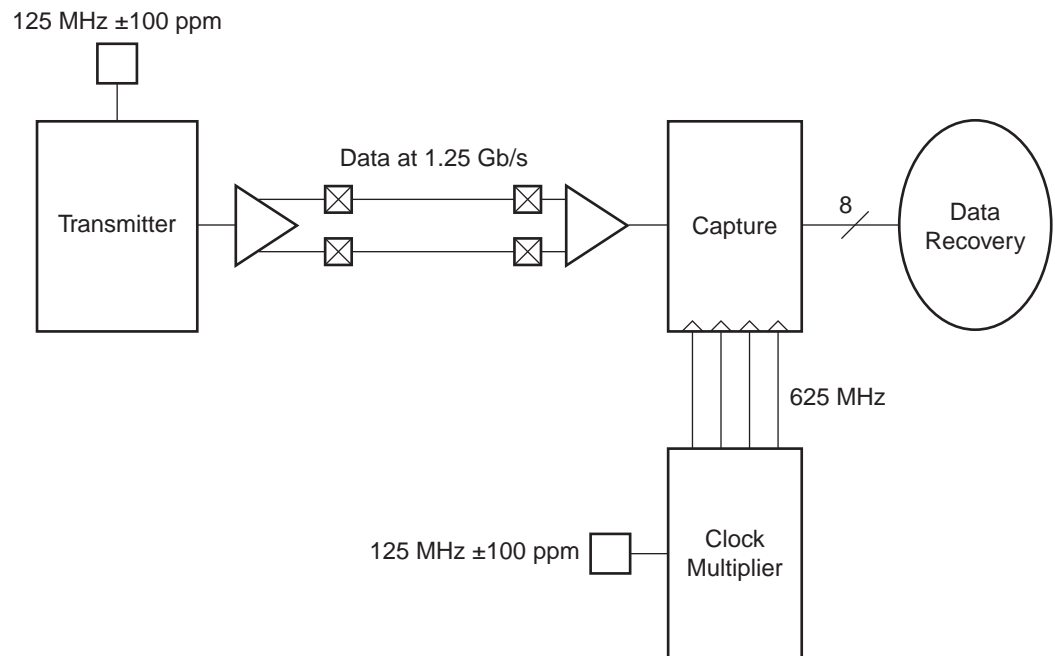
Virtex®-6 FPGA の SelectIO™ テクノロジによって、1.25Gb/s で 4X の非同期オーバーサンプリングが可能です。オーバーサンプリングは、ミックスモード クロック マネージャー (MMCM) 専用のパフォーマンスパス経路で ISERDESE1 プリミティブを使用して実現されます。ISERDESE1 は SelectIO ロジックブロックにあり、専用フリップフロップの 4 つの位相を使用してサンプリングを行います。MMCM は、低ジッターのパフォーマンスパス上で位相シフトしたクロックを供給できる高度な PLL です。

次に、ISERDESE1 の出力がデータ リカバリ ユニット (DRU) を使用して選別されます。このアプリケーション ノートで扱う DRU は、これらの出力を比較して最適なデータ サンプルを選択する判定システムに基づいています。

### 非同期オーバーサンプリングの概要

あるデバイスから別のデバイスにデータを送信する方法として最も一般的なのは、データと一緒に同期クロックを送信する方法です。この方法をソース同期データと呼びます。クロックなしで送信するデータを非同期データと呼びます。

このアプリケーション ノートでは、非同期データのキャプチャ方式について説明します。ここでは、周波数がほぼ同じクロック ( $\pm 100\text{ppm}$ ) を使用してデータをオーバーサンプリングします。このオーバーサンプリング手法では、異なるクロック位相でデータのサンプリングを行い、最も理想的なポイントのデータ サンプルを取得します。図 1 に、4X 非同期オーバーサンプリングの基本的なブロック図を示します。



x881\_01\_062410

図 1 : 4X オーバーサンプリングの基本アーキテクチャと概念図

図 1 には、4X オーバーサンプリング手法で重要な役割を果たすいくつかの要素を示しています。送信データは、特定の周波数とドリフトを持つオシレーターを使用して生成され、このデータは独立した非同期オシレーターでキャプチャされます。このような場合に問題となるのが、送信側と受信側のオシレーターの周波数ドリフトの差です。クロックドメインをまたいでデータキャプチャを実行する際は、このことを必ず考慮に入れておく必要があります。サンプリングしたデータは、レシーバーのデータリカバリ部で判定システムを使用して処理されます。

図 2 に、データレートの 1/2 の速度で動作するサンプリングクロックを示します。ここに示したクロック位相のサンプルポイントからもわかるように、立ち上がりエッジデータと立ち下がりエッジデータそれぞれに 4 つ、計 8 つのデータサンプルがキャプチャブロックから出力されます。

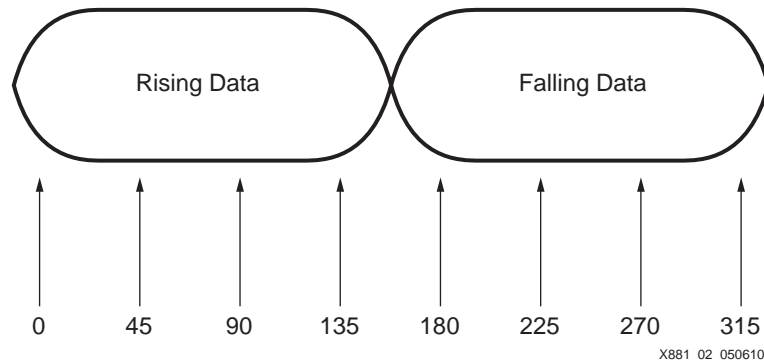


図 2 : 立ち上がりエッジデータと立ち下がりエッジデータに対するサンプリングクロックの位相

## Virtex-6 FPGA のオーバーサンプリング アーキテクチャ

1ビットにつき4つのサンプルを作成する Virtex-6 FPGA のこの方式は、CLB アレイのフリップフロップを使用して複数のサンプルを作成していた従来の方式に比べ、いくつかの利点があります。図 3 に示すように、サンプリングフリップフロップは CLB から ISERDESE1 の内部に移動しています。

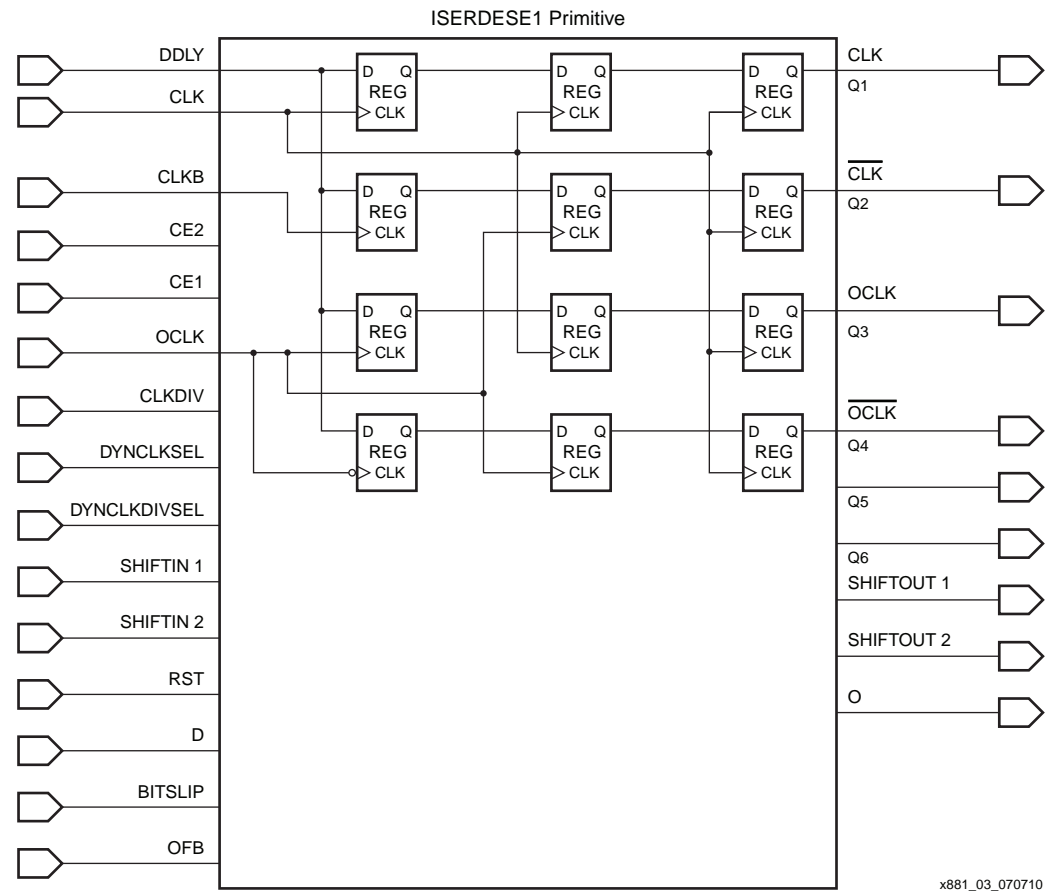


図 3 : オーバーサンプリング モードの ISERDESE1 プリミティブ

ISERDESE1 内では、メタスタビリティの問題を防ぐためにサンプリングを複数段で実行しています。これによって、すべてのデータが 1 つのクロック ドメインで ISERDESE1 から出力されるようになります。

図 4 に示すとおり、オーバーサンプリング モードの ISERDESE1 は、基本的に DDR フリップフロップを 2 つ組み合わせたものです。IODELAYE1 を使用してスレーブ側の ISERDESE1 のデータの位相をシフトし、位相シフトしていない元のデータと一緒にサンプリングを行います。

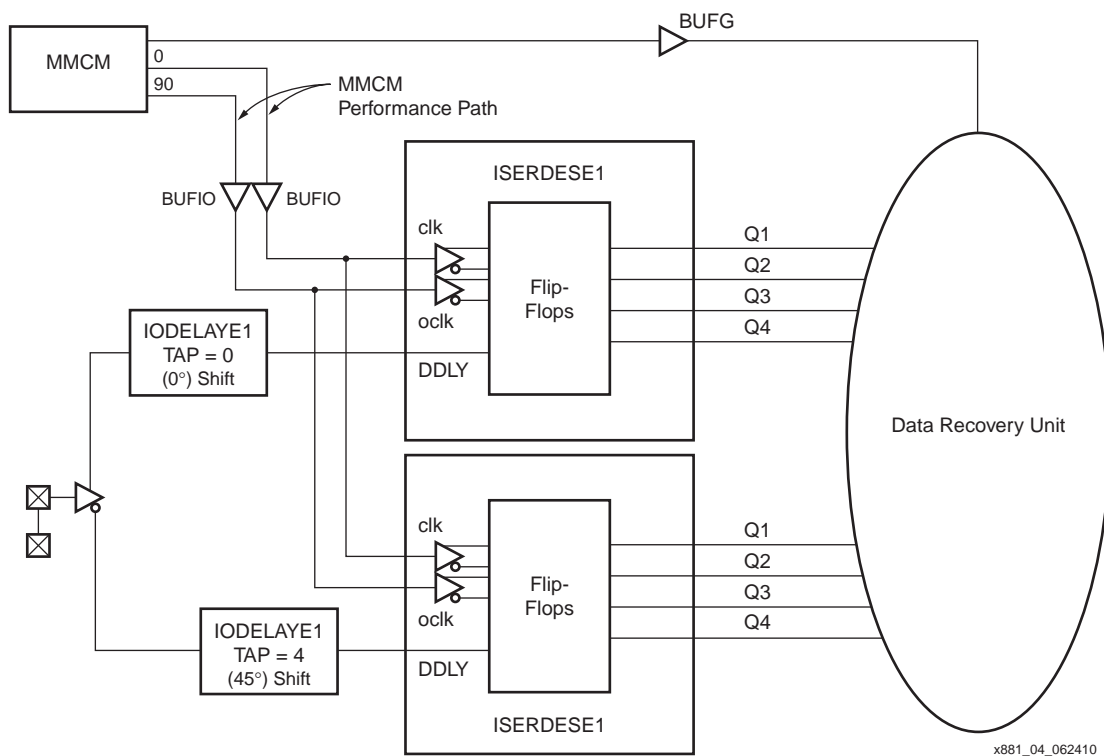


図 4 : Virtex-6 FPGA における 4 つのサンプルの作成方法

図 4 は、MMCM、IODELAYE1、ISERDESE1 を組み合わせて 4X オーバーサンプリングを実行する方法を詳しく示したものです。2 つの位相のクロック (CLK0 と CLK90) が ISERDESE1 に入ります。これら 2 つのクロックの立ち上がりエッジと立ち下がりエッジの両方を使用することにより、4 つのクロック位相を得ています。また、IBUFDS\_DIFFOUT を使用して同じデータを 2 つにコピーし、その 1 つを IODELAYE1 を使用して 200ps だけシフト (45° の位相シフト) しています。位相をシフトしたデータをスレーブ ISERDESE1 に送ることで、サンプルの位相の数を 2 倍にしています。このように、4 つのクロック位相と 2 つのデータ サンプル位相を組み合わせることによって全体で 8 つの位相を作成しています。これら 8 つの位相は、7 ページの図 8 に記載してあります。

## データ リカバリ ユニット (DRU)

### ステート マシンによるエッジ検出

図 5 は、FPGA に入力されるデータ ストリームを基準にしたサンプル ポイントと比較ポイントの位置を示したものです。データ ストリームは 2 つあり、片方は 200ps の位相遅れがあります。下側のデータ ストリームは、IBUFDS\_DIFFOUT プリミティブを使用して上側のデータ ストリームを反転したものです。データは、400ps (すなわち 90°) 間隔の 4 つのクロック位相 (CLK0、CLK90、CLK180、CLK270) でサンプリングされます。

クロックとデータ ストリームの交差したところがサンプル ポイントとなります。サンプル ポイントの命名規則は次のとおりです。

$Q_x [S \text{ または } M]_x$

説明

$Q_x$  = ISERDESE1 の出力 (Q1、Q2、Q3、Q4)

$S_x$  または  $M_x$  = データ出力 ( $Q_x$ ) のソース ISERDESE1 (M = マスター、S = スレーブ)

たとえば「Q1M1」は、CLK0 でデータをサンプリングしてマスター ISERDESE1 のポート Q1 に出力するサンプル ポイントを表します。

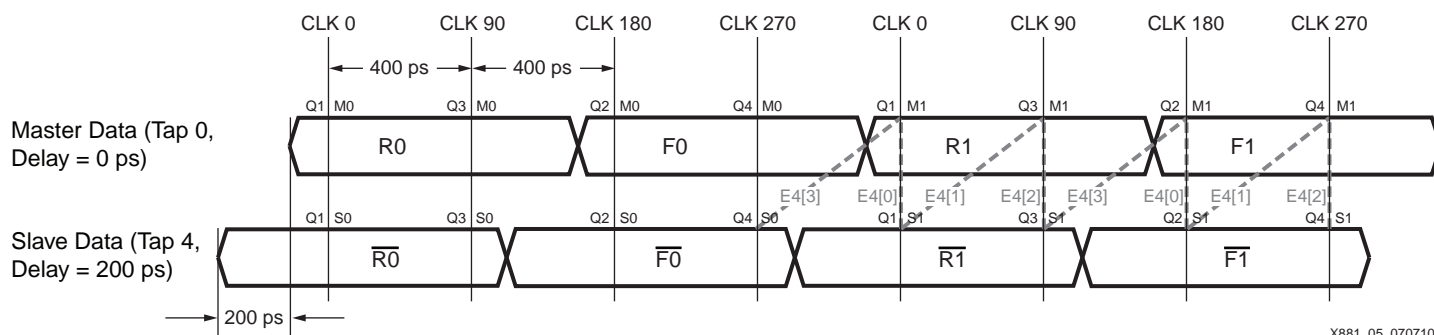


図 5: データ ストリームのサンプル ポイントと比較ポイント

サンプル ポイントを結ぶ E4[0] ~ E4[3] と書かれた点線は、データ エッジを検出するために DRU がデータを比較している部分を表しています。4 つの比較に関する式を式 1 ~ 式 4 に示します。

$$E4[0] = [Q1M1 \text{ xor } \overline{Q1S1}] \text{ or } [Q2M1 \text{ xor } \overline{Q2S1}] \quad \text{式 1}$$

$$E4[1] = [Q3M1 \text{ xor } \overline{Q1S1}] \text{ or } [Q4M1 \text{ xor } \overline{Q2S1}] \quad \text{式 2}$$

$$E4[2] = [Q2M1 \text{ xor } \overline{Q3S1}] \text{ or } [Q4M1 \text{ xor } \overline{Q4S1}] \quad \text{式 3}$$

$$E4[3] = [Q1M1 \text{ xor } \overline{Q4S0}] \text{ or } [Q2M1 \text{ xor } \overline{Q3S1}] \quad \text{式 4}$$

これらの比較ポイントは、元のデータ ストリームを基準にすると実際には 200ps の間隔があります。たとえば、式 1 の (E4[0]) は Q1M1 と Q1S1、および Q2M1 と Q2S1 を比較します。これらの比較は、E4[0] と書かれた 2 本のグレーの破線で示しています。まず「Q1M1 xor Q1S1」の比較は、どちらのポイントも CLK0 でサンプリングされています。ただし Q1S1 のサンプルは IODELAYE1 によって Q1M1 よりも 200ps だけ遅れているため、200ps 離れた 2 つのサンプルを比較することになります。同様に、Q2M1 と Q2S1 は共に CLK180 でサンプリングされていますが、IODELAYE1 によってスレーブ データ ストリームは遅延しているため、これらのサンプル ポイントには 200ps の間隔があります。CLK0 と CLK180 のいずれかのサンプル ポイントの xor 演算の結果が 1 の場合、すなわちサンプリングしたデータのレベルが一致しない場合、2 つのサンプル ポイント間にエッジ (レベル遷移) が存在すると判断できます。図 5 に示した例では、最初の E4[0] のサンプル ポイント比較は立ち上がりエッジゾーンの R1 と R1̄ で発生しており、2 番目の E4[0] サンプル比較ポイントは立ち下がりエッジゾーンの F1 と F1̄ で発生しています。このためどちらの比較も一致し、xor 演算の出力はいずれも 0 になります。したがって、DRU のステート マシンはデータ遷移のエッジが存在していないこととなります。

これと対照的なのが、Q1M1 と Q4S0、および Q2M1 と Q3S1 を比較している式 4 です。Q1M1 は CLK0 でマスター データ ストリームからサンプリングされます。Q4S0 は CLK270 で位相に遅延のあるスレーブ データ ストリームからサンプリングされ、1 サイクルの間 DRU に格納されます。CLK0 と CLK270 は 400ps (90°) 離れていますが、スレーブ データには 200ps の遅延があるため、元のデータ ストリームを基準にすると Q1M1 と Q4S0 のサンプル ポイントは実際には 200ps しか離れていません。同様に、Q2M1 は CLK180 でサンプリングされ、Q3S1 は CLK90 でサンプリングされます。これらのサンプル ポイントも、元のデータ ストリームを基準にすると 200ps しか離れていません。どちらの比較も、片方のサンプル ポイントは立ち上がりエッジゾーンにあり、もう片方のサンプル ポイントは立ち下がりエッジゾーンにあります。これら 2 つの比較は xor 演算の結果が 1 になり、各比較の 2 つのサンプル ポイント間のどこかにエッジ (レベル遷移) が存在することがわかります。

図 5 の次に、図 6 について説明します。この図は式 1 ~ 式 4 を論理回路で表したもので、ISERDESE1 から出力されたデータがこのロジックにどのように入力されるかを示しています。ISERDESE1 とロジックの間には、タイミングを調整するためのレジスタがあります。また、この図には直前のサンプルセットからのスレーブ ISERDES の Q4 出力を一時格納してから新しいサンプルセットと比較する方法も示しています。

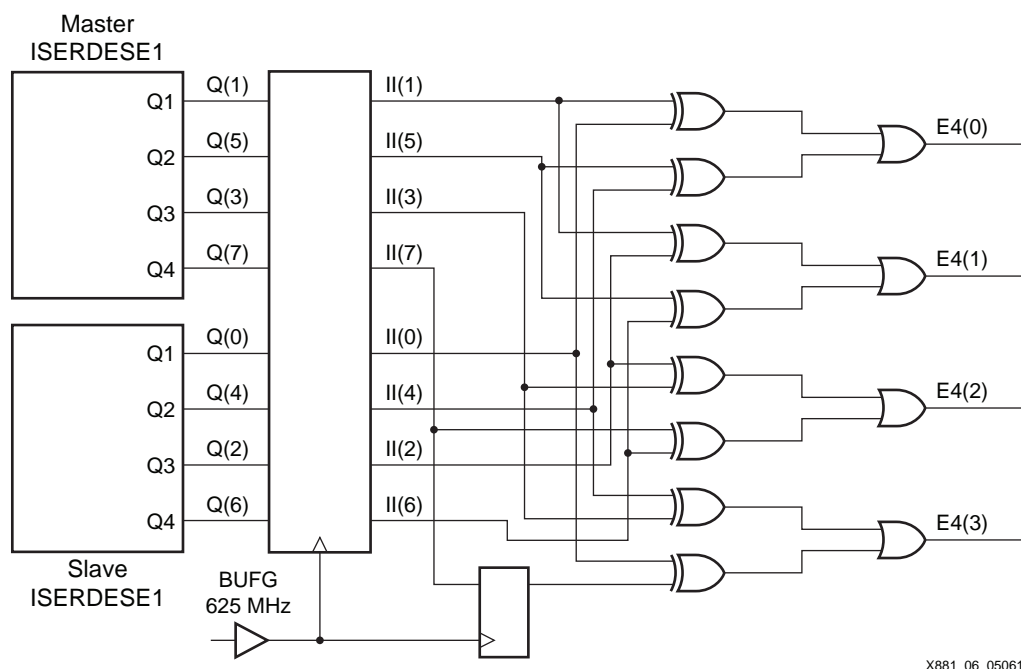


図 6：エッジ検出回路の論理表現

ここまでは、FPGA に入力されたデータを DRU に入力してデータ エッジを検出する方法を説明してきました。次に、比較データを DRU で処理する方法を説明します。このシンプルなステート マシンは、データ エッジの移動前後の位置に基づいて、データ エッジとサンプル ポイントの間隔を選択します。

電圧および温度の変動、ジッター、そしてソース クロックとレシーバー クロック間のオフセットなどがあるため、理想的なサンプル ポイントは一定ではありません。このため、比較ポイントの式の値も常に変化し、それに伴いステート マシンの状態も常に遷移します。図 7 は、あるデータ セットから次のデータ セットへのステート マシンのフローを示したものです。

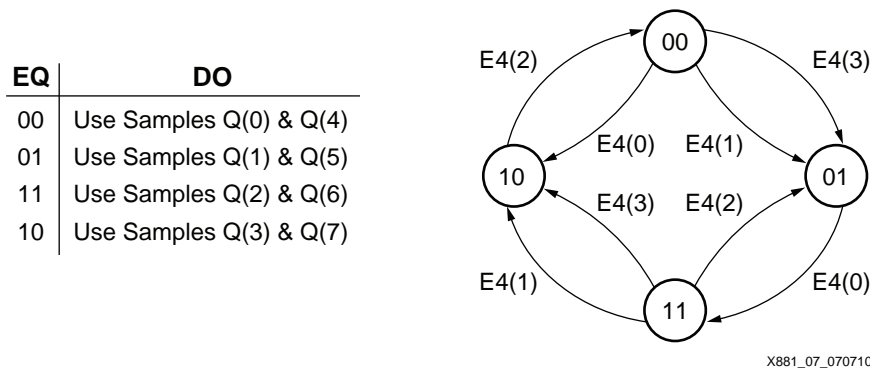


図 7：エッジ情報を用いてデータを選択するロジック

図 7 の左側の表で、EQ の列は、式 1～式 4 からの入力による現在のステート マシンの位置を示しています。DO の列は、インターコネクト ロジックで使用するサンプル セットを示しています。前述のとおり、オーバーサンプリング モードでの各 ISERDESE1 は基本的に IDDR フリップフロップを 2 つ組み合わせたものであるため、DO は理想的なサンプル ポイントとしてどちらの IDDR フリップフロップを使用すればよいかを示しています。

表の右側のステート マシン図は、現在の状態 (サンプル セット) から次の遷移先を示しています。たとえば、ステート マシンの最初の状態が 01 とすると、この状態では Q(1) および Q(5) 信号を使用します。これは、ISERDESE1 マスターの Q1 (CLK0) および Q2 (CLK180) 出力に該当します。

次に、データ エッジが左へ移動した場合、センター ポイントは CLK0/CLK180 から CLK90/CLK270 へシフトします。これによって E4(3) の値は 0 から 1 に変化し、ステート マシンの状態は 00 から 01 に遷移します。

## ビット スキップ

エッジがデータ ビットの最初のサンプルの左側、またはデータ ビットの最後のサンプルの右側に移動すると、ビット スキップが発生します。

最後のサンプルの左側でエッジを検出した場合、新しい現在のサンプルは最後のサンプルから右、すなわち次のデータの最初のサンプルへ移動します。図 8 でステート マシンの状態が 10 のとき、Q(3) と Q(7) をサンプリングします。次に、ステート マシンの状態が 00 に遷移し、Q(0) と Q(4) をサンプリングします。ただし、ステート マシンの状態が 10 のときにデータ サンプルを既に取得しているため、ステート マシンの状態が最初に 00 になったときはサンプリングしたビットを 1 ビットだけドロップします。これをネガティブ ビット スキップと呼びます。ネガティブ ビット スキップは 1 クロックにつき 5 ビットを出力します。

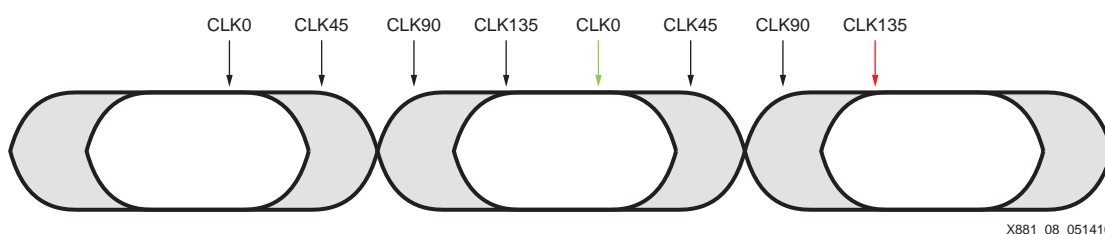


図 8: ネガティブ ビット スキップ

最初のサンプルの右側でエッジを検出した場合、新しい現在のサンプルは左、すなわち次のデータの最後のサンプルへ移動します。図 9 でステート マシンの状態が 00 のとき、Q(0) と Q(4) をサンプリングします。次に、ステート マシンの状態が 10 に遷移します。この状態で、Q(3) と Q(7) をサンプリングします。ただし、ステート マシンの状態が 00 と 10 のときにデータ サンプルを取得していないため、ステート マシンの状態が 10 のときに、現在のサンプルと一緒に最後のサンプルを取得します (7 ビットを出力)。これをポジティブ ビット スキップと呼びます。ポジティブ ビット スキップは 1 クロックにつき 7 ビットを出力します。

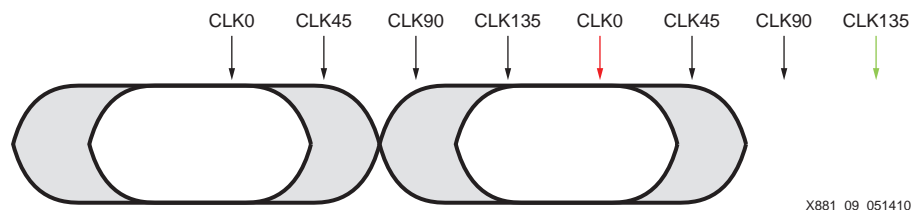


図 9: ポジティブ ビット スキップ

図 8 と図 9 からわかるように、ビット スキップが発生するのはステート マシンの状態が 00 と 10 の間で遷移した場合のみです。

ビット スキップが発生しない場合、サンプリングしたデータは SDR モードでは 1 クロックにつき 1 ビット、DDR モードでは 1 クロックにつき 2 ビット出力されます。

したがって、6 ビットの平行データの場合、次のようになります。

- ネガティブ ビット スキップが発生した場合のビット数は 5
- ポジティブ ビット スキップが発生した場合のビット数は 7
- ビット スキップが発生しない場合のビット数は 6

## クロッキングと データ フロー

表 1 に示すように、複数のクロックおよびクロックの位相があり、それぞれが必要な機能を実行します。

表 1 : MMCM RX からのクロック

ソース	周波数/位相シフト	バッファー	デスティネーション
オフチップ オシレーター	125MHz	入力バッファー	MMCM
MMCM RX	625MHz 0° 位相シフト	シングル領域 BUFIO	ISERDESE1
	625MHz 90° 位相シフト	シングル領域 BUFIO	ISERDESE1
	625MHz ダイナミック位相シフト	BUFG	CLB (DRU)
	312.5MHz ダイナミック位相シフト	BUFG	CLB (DRU)
MMCM IDELAYCTRL	310MHz	BUFG	IDELAYCTRL

フルレートで動作してるデザインでデータのキャプチャと DRU を実行する場合、タイミングが非常に重要となるため、タイミング制約と配置制約の両方が必要です。タイミング制約および特別な条件を表 2 にまとめます。

表 2 : タイミング制約とその他の特別な条件

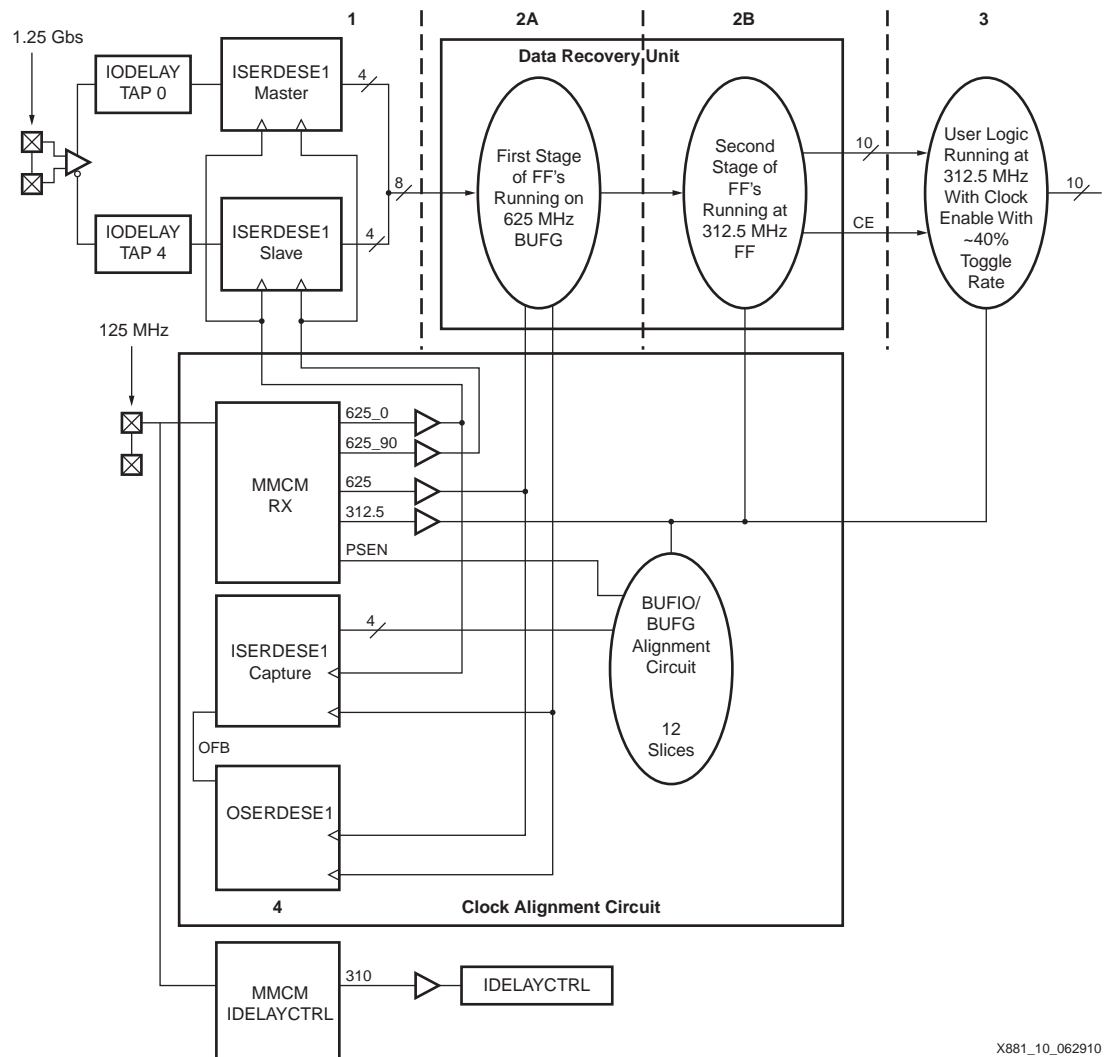
データ フロー (1)	周波数/位相シフト	キャプチャ要素	タイミング制約	タイミング クロージャに 必要なその他の条件
	125MHz	MMCM に 供給される RX ソース クロック	TIMESPEC TS_RxC_P = PERIOD "RxC_P" 8 ns HIGH 50%;	なし
1、4	625MHz 0° 位相シフト	ISERDESE1	TS_CLKOUT0 = PERIOD TIMEGRP "CLKOUT0" TS_RxC_P / 5 HIGH 50%;	なし
1	625MHz 90° 位相シフト	ISERDESE1	TS_CLKOUT1 = PERIOD TIMEGRP "CLKOUT1" TS_RxC_P / 5 HIGH 50%;	なし
2A、4	625MHz ダイナミック位相シフト	ISERDESE1 から CLB DRU	TS_CLKOUT2 = PERIOD TIMEGRP "CLKOUT2" TS_RxC_P / 5 HIGH 50%;	<ul style="list-style-type: none"> <li>• BUFIO に合わせたダイナミック位相アライメント</li> <li>• 最大の遅延制約</li> <li>• CLB アレイの RLOC</li> </ul>
2B、3、4	312.5MHz ダイナミック位相シフト	CLB DRU	TS_CLKOUT3 = PERIOD TIMEGRP "CLKOUT3" TS_RxC_P / 2.5 HIGH 50%;	<ul style="list-style-type: none"> <li>• BUFIO に合わせたダイナミック位相アライメント</li> <li>• CLB アレイの RLOC</li> </ul>
1、2A		ISERDESE1 から CLB DRU	NET "*/Q<*>" MAXDELAY = 0.6 ns;	<ul style="list-style-type: none"> <li>• CLB アレイの RLOC</li> </ul>

### 注記 :

1. この欄の数字は、データフローの段階および図 10 のクロック転送ポイントの番号を表しています。



データが FPGA のピンから FPGA インターコネクト ロジックに構成された 10 ビット幅のインターフェイスに到達するまでにはいくつかの課程があります。図 10 にクロック転送ポイントおよび使用するレジスタを示します。各部分の上に記載した数字は、クロック転送ポイントを表しています。



X881\_10\_062910

図 10 : データ フローとクロック転送ポイント

1. データが 1.25Gb/s のレートで FPGA に入力されます。ISERDESE1/IODELAY キャプチャブロックは、4 つのクロック位相でデータがキャプチャされる位置を示しています。図 10 では、キャプチャに使用するクロックが 625\_0 および 625\_90 となっています。これらは、このデザインの要件に従ってシングル領域 BUFIO クロックとしています。

2. DRU

a. データ キャプチャの次の段階では、ISERDESE1 からのデータを CLB フリップフロップへ転送します。ISERDESE1 から使用するすべてのレジスタまでの遅延が 600ps を超えないように注意してください。

この転送で重要なのは、BUFIO クロック ネットワークから BUFG クロック ネットワークへ移動するという点です。BUFIO クロック ネットワークの範囲は ISERDESE1 までで、CLB は範囲に含まれません。

b. この段階では、データが 625MHz の BUFG クロックから 312.5MHz の BUFG クロックに渡されます。これらのクロックは互いに位相が揃っています。

- 10 ビットのデータを DRU が選択すると、そのデータはクロック イネーブル付きのユーザー インターコネクト ロジックに現れます。クロック イネーブルが存在し、この速度で動作していれば、データ レートがキャプチャ クロックよりも速い場合やデータによってキャプチャ クロックが低下している場合にも対処できます。

### クロック アライメント回路

BUFIO と BUFG の互いの位相関係は定義されていません。位相関係を定義するには、何らかのキャリブレーションが必要です。このクロック アライメント回路は、OSERDESE1 から ISERDESE1 への出力フィードバック パスを使用します。625MHz の BUFG クロックを OSERDESE1 に転送し、625MHz の BUFIO クロックを使用して ISERDESE1 のクロックをキャプチャすることによって、これら 2 つのクロックの位相関係を計測できます。次に、MMCM の独立した位相シフト機能を利用して、BUFG クロックの位相を BUFIO クロックに合わせてシフトします。

この位相キャリブレーション プロセスを図 11 に示します。

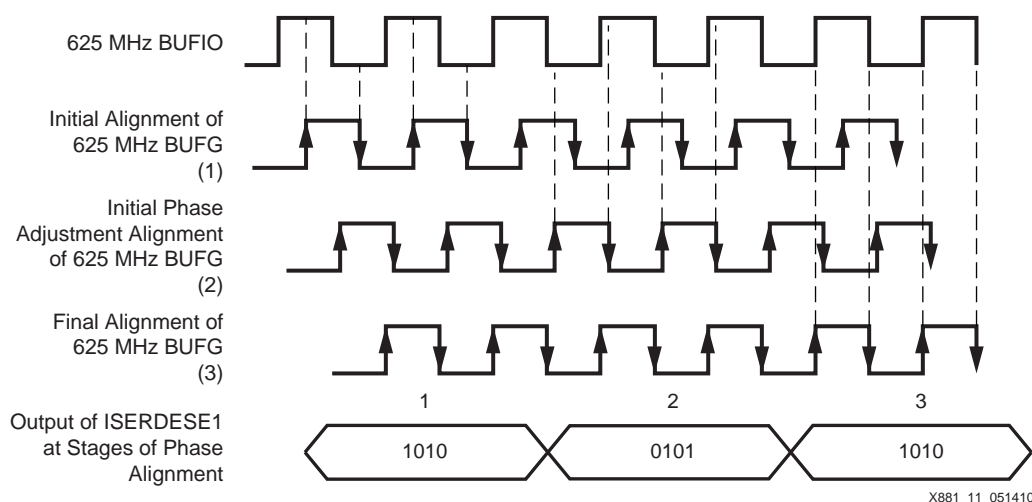


図 11 : BUFIO と BUFG のクロック位相キャリブレーション プロセス

## リファレンス デザイン

リファレンス デザイン ファイルは次のリンク先からダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=148941>

図 12 に、リファレンス デザイン ソフトウェアのツリー構造を示します。

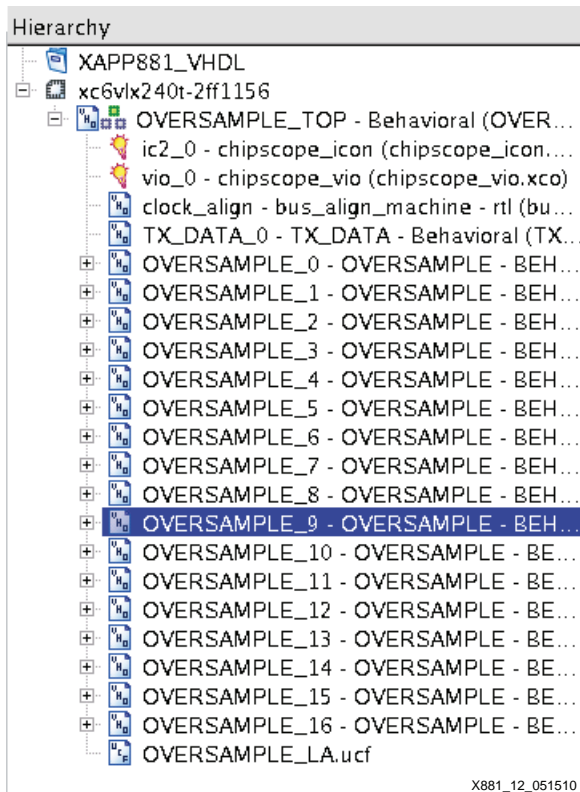


図 12：リファレンス デザインの構造

## 使用するロジック リソース

表 3～表 5 に、このリファレンス デザインで使用するリソースを示します。

表 3：デバイス当たり

MMCM	1
BUFG	1

表 4：バンク当たり

MMCM	1
BUFG	2
シングル領域 BUFG	2
クロック アライメント回路	45 LUT
IDELAYCTRL	1
クロック アライメント回路用 ISERDESE1	1
クロック アライメント回路用 OSERDESE1	1

表 5：チャンネル当たり

データ リカバリ ユニット	87 LUT
ISERDESE1	2
IODELAYE1	2

## レシーバーの UI の要件とジッター許容値

レシーバーのジッター許容値を調べるには、開始点を決める必要があります。ここで使用した DRU 方式では、2つの有効なサンプルポイントが常に必要です。つまり、開始点は 0.500 UI です。オーバーサンプリングは等間隔のサンプルポイントを利用しているため、これらの間隔に誤差があるとレシーバーのジッターアイ要件が厳しくなります。

$$\text{レシーバーのジッターアイ要件} = \text{DRU のアイ要件} + \text{サンプリング位相誤差} \quad \text{式 5}$$

$$0.625 \text{ UI} = (0.500 \text{ UI}) + (0.125 \text{ UI}) \quad \text{式 6}$$

次に、サンプリング位相誤差に含まれるものと含まれないものについて説明します。サンプリング位相誤差には、125MHz クロックを受け取り、これを 625MHz に通倍したものを 2つの BUFIO に位相シフトして供給し、IODELAYE1 で 200ps の位相シフトを生成することによって生じるすべての影響が含まれます。

### サンプリング位相誤差に含まれるもの：

- リファレンス デザインで正確に設定した場合の MMCM ジッター
- CLK0 と CLK90 の間の MMCM 位相誤差
- MMCM DCD
- IODELAYE1 の遅延精度 (200ps の位相シフトを生成する能力)
- IODELAYE1 のパターン依存性ジッター
- マスターおよびスレーブ ISERDESE1 の 2つのパスのオフセット

### サンプリング位相誤差に含まれないもの：

- MMCM のその他のクロック周波数または設定
- シグナル インテグリティの損失 (ISI、ボード ジッターなど)
- デバイス内部のジッター
- その他、上記の「サンプリング位相誤差に含まれるもの」に記載されていないものすべて

このインターフェイスを検証するために、複数のピンに対して異なるプロセス、電圧、温度で特性評価を実施しました。表 6 に、ジッター許容量をまとめます。

表 6：ジッター許容量のテスト結果 (1.25Gb/s 時)

デバイス	V <sub>CCINT</sub>	V <sub>CCAUX</sub>	V <sub>CCO</sub>	温度	トータルジッター (UI)
-2 スピード グレード	0.95	2.325	2.325	100°C	0.375
				-40°C	0.375
	1.05	2.625	2.625	100°C	0.375
				-40°C	0.375
-3 スピード グレード	0.95	2.325	2.325	100°C	0.375
				-40°C	0.375
	1.05	2.625	2.625	100°C	0.375
				-40°C	0.375

## まとめ

Virtex-6 FPGA では FPGA 間に非同期インターフェイスを実装できるため、これによってコストが削減されるだけでなく、トランシーバーを別の用途に使用できます。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2010年7月23日	1.0	初版リリース
2010年7月25日	1.1	タイトル変更

## Notice of Disclaimer

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.

本資料は英語版 (v1.0.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。