



XAPP882 (v1.1) 2010 年 5 月 10 日

# Virtex-6 デバイスでの SERDES Framer Interface Level 5 (SFI-5) のインプリメンテーション

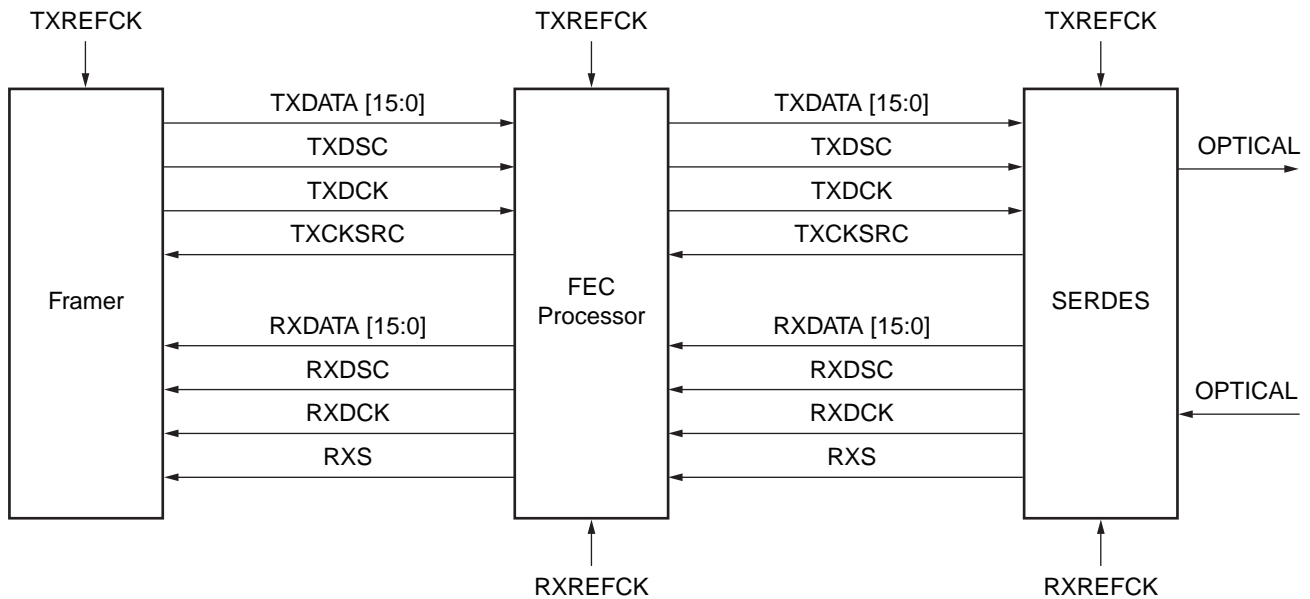
著者 : Vasu Devunuri

## 概要

このアプリケーション ノートでは、Virtex-6 XC6VLX240T FPGA での SERDES Framer Interface Level 5 (SFI-5) [参照 1] のインプリメンテーションについて説明します。SFI-5 は、Optical Internetworking Forum (OIF) によって定義された規格です。このインターフェイスは、0 ~ 25% のフォワード エラー訂正 (FEC) のオーバーヘッドで、40Gb/s のペイロード データ レート (最大 50Gb/s) で双方向に動作する必要があります。インターフェイスは、17 個の双方向 GTX トランシーバーと、データ チャネルの伝送経路間のスキュー差を補正するロジックで構成されています。

## はじめに

図 1 に、OIF の定義に準拠した SFI-5 システムのリファレンス モデルを示します。SFI-5 は、SERDES コンポーネントと FEC プロセッサ間、FEC プロセッサとフレイマー間、あるいは SERDES コンポーネントと FEC プロセッサ間を直接インターフェイスすることを目的としています。このリファレンス モデルは、16 個のデータ チャネルと、スキュー調整チャネルと呼ばれる 17 番目のチャネル (TXDSC/RXDSC) で構成されます。スキュー調整チャネルは、Out-Of-Band のデータ サンプルを送信し、レシーバーのアルゴリズムで 16 個のデータ チャネルのスキューを調整できるようにします。



X882\_01\_032510

図 1 : SFI-5 システムのリファレンス モデル

SFI-5 は完全な同期システム、つまり基準クロックは 1 つのみです。たとえば、[図 1](#) の FEC プロセッサから SERDES へのリンクでは、ソース基準クロックとシンク基準クロックが同じです。この同期は、次の 3 つの方法のいずれかによって実現されます。

方法 1 : TXREFCK を FEC プロセッサと SERDES の両方に物理的に接続します。

方法 2 : FEC プロセッサが TXREFCK にアクセスしない場合、SERDES から FEC プロセッサに、TXCKSRC 信号を介して基準クロックを送信します。

方法 3 : SERDES が TXREFCK にアクセスしない場合、FEC プロセッサ から SERDES に、TXDCK 信号を介して基準クロックを送信します。

このリファレンス デザインでは、TXREFCK を SFI-5 インターフェイスのソースおよびシンクの両デバイスに直接接続します (方法 1)。ただし、方法 2 と 3 で示したクロッキング方式をサポートするよう、ロジック デザインを変えずに容易に変更できます。

同じ同期方式が、[図 1](#) の受信方向 (たとえば、SERDES から FEC プロセッサ) にも適用されますが、この場合の基準クロックは RXREFCK です。OIF 仕様では、TXREFCK と RXREFCK を異なるクロックにすることも、1 つに結合することもできると規定されています。Virtex-6 FPGA は、TXREFCK と RXREFCK を結合するコンフィギュレーションと、TXREFCK と RXREFCK を別にするコンフィギュレーションの両方をサポートします。これは、Virtex-6 FPGA では、各 GTX クワッドに 2 つの別々の差動クロック入力があり、各 GTX トランシーバーのトランスミッター (TX) とレシーバー (RX) それぞれに 1 つずつ PLL が備わっているためです。このリファレンス デザインでは、TXREFCK と RXREFCK は結合されているとします。1 つの基準クロックを使用する理由については、後述します。

[図 1](#) の RXS 信号は、リファレンス デザインでは使用されません。RXS のポートは存在しますが、0 に固定されています。RXS が必要な場合は、ユーザーがこの機能を追加する必要があります。この信号を 1 に設定すると、RXDCK および RXDATA が光受信信号から派生しないことを示します。

SFI-5 仕様では、ソース デバイス出力に 2UI (ユニット インターバル) のスキューが割り当てられています。シンク デバイスへの伝送ラインには、さらに 3UI のスキューが割り当てられています。このためシンク デバイスでは、少なくとも 5UI のスキュー調整が必要になります。Virtex-6 FPGA での、GTX トランスミッターの Lane-to-Lane スキュー (T<sub>LLSKEW</sub>) の仕様は、『Virtex-6 データシート : DC 特性およびスイッチ特性』[\[参照 2\]](#) で 1UI + 100ps と規定されており、2UI の仕様よりも小さくなっています。このため、伝送ラインには定義された 3UI を越えるスキューを受け入れる余裕がありますが、レシーバーでのスキューは 5UI を超えないようにする必要があります。

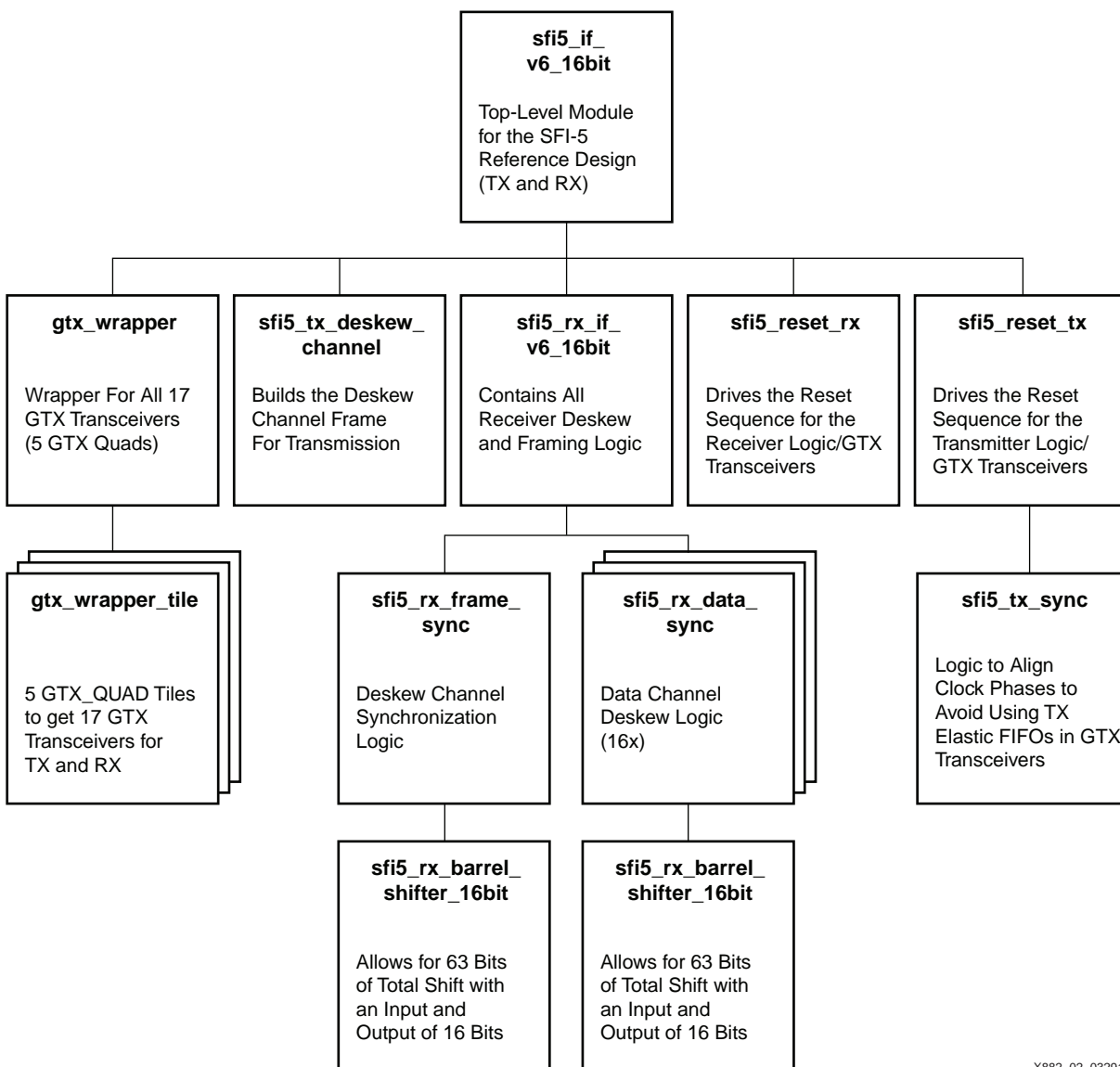
リファレンス デザインは、XC6VLX240T デバイスの全スピード グレードにおいて、インターフェイスが 40 ~ 50Gb/s で動作するよう定める SFI-5 の性能要件をサポートしています。GTX トランシーバーのリカバリ クロック (F\_RXREC) の最大規定周波数は、[表 1](#) に示すように、SFI-5 の性能を上回ります。

表 1 : XC6VLX240T での SFI-5 のリファレンス デザインの最大性能目標

スピード グレード	最大 F_RXREC (MHz)	最大インターフェイス 性能 (Gb/s)
-1	312.50	80
-2	406.25	104
-3	406.25	104

LXT デバイスの場合、リカバリ クロックはライン レートの 1/16 です。このアプリケーション ノートでは、特に XC6VLX240T デバイスでの SFI-5 のインプリメンテーションに焦点を当てます。

[図 2](#) に、SFI-5 のリファレンス デザインを構成する HDL モジュールの階層を示します。このアプリケーション ノートでは、これらの各モジュールについて詳しく説明します。17 個の GTX トランシーバーは、1 つのモジュールに包含され、ファレンス デザインのほかの部分へのインターフェイスとして機能します。TX はスキュー調整チャネルのフレーム生成ロジックから成り、RX は、パレル シフターと、各チャネルの遅延を調整してデータ チャネル間のスキューを補正するロジックから成ります。TX および RX は共に、すべての回路をリセットする初期化シーケンスを備えています。



X882\_02\_032910

図 2 : SFI-5 インターフェイスを構成する HDL モジュールの階層

## ポート一覧および説明

表 2 に、SFI-5 インターフェイスで使用するポートを示します。すべての信号は、特に記載のない限り、アクティブ High です。オプション設定は未接続のままにしないでください。それらは、ユーザーの指定値にするか、この表に示されたデフォルト値に設定する必要があります。

表 2: SFI-5 インターフェイスのポート一覧および説明

ポート	タイプ (I/O)	幅	クロック ドメイン	説明
<b>SFI-5 TX インターフェイス信号</b>				
TXDATA_P	O	16	ライン レート	SFI-5 TX データ チャンネル (P 側)
TXDATA_N	O	16	ライン レート	SFI-5 TX データ チャンネル (N 側)
TXDSC_P	O	1	ライン レート	SFI-5 TX スキュー調整チャンネル (P 側)
TXDSC_N	O	1	ライン レート	SFI-5 TX スキュー調整チャンネル (N 側)
TXREFCK	I	2	txusclk2	TX および RX の GTX トランシーバーへの基準クロック入力。周波数はライン レートの 1/16 (156.25 ~ 195.3125MHz、または 2.5 ~ 3.125Gb/s)。
TXREFCK_2	I	2	txusclk2	TX および RX の GTX トランシーバーへの基準クロック入力。TXREFCK と同じ周波数で、TXREFCK に同期している必要がある。
TXDCK	O	2	txusclk2	ライン レートの 1/16 で RX に転送される差動クロック基準 (RX での使用は任意)。
RXS	O	1	N/A	受信ステータス (未使用、0 に固定)。
<b>SFI-5 RX インターフェイス信号</b>				
RXDATA_P	I	16	ライン レート	SFI-5 RX データ チャンネル (P 側)
RXDATA_N	I	16	ライン レート	SFI-5 RX データ チャンネル (N 側)
RXDSC_P	I	1	ライン レート	SFI-5 RX スキュー調整チャンネル (P 側)
RXDSC_N	I	1	ライン レート	SFI-5 RX スキュー調整チャンネル (N 側)
<b>グローバル信号</b>				
i_RST	I	1	txusclk2	TX/RX のリセット シーケンスを開始するためのグローバル リセット。
o_RESETDONE	O	1	txusclk2	すべての GTX トランシーバーのリセット シーケンスが完了したことを示す。i_CLEAR_MISMATCHES <sup>(1)</sup> のアサートによってクリア。
o_GTXPLL_LOCK	O	1	txusclk2	共有されたすべての PMA PLL がロックされていることを示す。i_CLEAR_MISMATCHES のアサートによってクリア。
<b>システム側の TX データ/クロック信号</b>				
iv_TXDATA00_IN [15:0] iv_TXDATA01_IN [15:0] --- iv_TXDATA15_IN [15:0]	I	256	txusclk2	SFI-5 TX へのシステム側のデータ入力。GTX トランシーバーによってシリアルライズされ、TXDATA_P および TXDATA_N で送信される。
o_TXUSRCLK2	O	1	txusclk2	ユーザーがアクセス可能な txusclk2 への接続。
<b>システム側の TX 診断</b>				
o_TX_INIT_DONE	O	1	txusclk2	TX のリセット シーケンスが完了したことを示す。i_CLEAR_MISMATCHES のアサートによってクリア。
i_INSERT_FRAME_ERROR	I	1	txusclk2	スキュー調整チャンネルのフレーム ヘッダーに 1 ビットのエラーを挿入する。
i_INSERT_DATA_ERROR	I	1	txusclk2	データ チャンネル 15 にエラーを挿入する。

表 2 : SFI-5 インターフェイスのポート一覧および説明 (続き)

ポート	タイプ (I/O)	幅	クロック ドメイン	説明
i_LOOPBACK	I	3	非同期	トラブルシューティング用の GTX トランシーバーのループバック設定 000 : 正常 (ループバックなし) 001 : 近端物理コーディング サブレイヤ (PCS) ループバック 010 : 近端物理媒体アタッチメント (PMA) ループバック 100 : 遠端 PMA ループバック 110 : 遠端 PCS ループバック
システム側の RX 診断				
o_RXOOA	O	1	rxusclk2	RX が未アライメント。1 つ以上のデータ チャネルのアライメントが取れていない。
o_RXOOA_HISTORY	O	1	rxusclk2	RX が未アライメントの履歴。1 つ以上のデータ チャネルでアライメントが取れていない。 i_CLEAR_MISMATCHES のアサートによってクリア。
o_RXLOF	O	1	rxusclk2	RX がフレーム損失。チャネル フレームのスキュー調整のために、フレーマーがロックされていない。
o_RXLOF_HISTORY	O	1	rxusclk2	RX がフレーム損失。チャネル フレームのスキュー調整のために、フレーマーがロックされていない。 i_CLEAR_FRAME_ERRORS のアサートによってクリア。
i_CLEAR_FRAME_ERRORS	I	1	rxusclk2	フレーム エラー数と o_RXLOF_HISTORY をクリア。
i_CLEAR_MISMATCHES	I	1	rxusclk2	不一致数とすべての診断履歴ビットをクリア。
ov_FRAME_ERRORS	O	32	rxusclk2	フレーム エラーの連続ラップアラウンド数。
ov_FRAMES_RECEIVED	O	32	rxusclk2	受信フレームの連続ラップアラウンド数。
ov_DATA_MISMATCHES_CH00 ov_DATA_MISMATCHES_CH01 --- ov_DATA_MISMATCHES_CH15	O	32	rxusclk2	スキュー調整チャネルと比較したときの連続データ不一致数。
ov_RXFRAME_SHIFT	O	6	rxusclk2	スキュー調整チャネルのパレル シフター設定。
ov_RXDATA_SHIFT_CH00 ov_RXDATA_SHIFT_CH01 --- ov_RXDATA_SHIFT_CH15	O	6	rxusclk2	各データ チャネルのパレル シフター設定。
o_RX_INIT_DONE	O	1	txusclk2	RX のリセット シーケンスが完了したことを示す。 i_CLEAR_MISMATCHES のアサートによってクリア。
o_RX_BUFFER_UNDERFLOW	O	1	txusclk2	GTX RX エラスティック バッファがアンダーフロー。 i_CLEAR_MISMATCHES をアサートによってクリア。
o_RX_BUFFER_OVERFLOW	O	1	txusclk2	GTX RX エラスティック バッファがオーバーフロー。 i_CLEAR_MISMATCHES のアサートによってクリア。
オプション設定				
i_TX_PREEMPHASIS	I	4	非同期	SFI-5 インターフェイスでのすべての GTX トランシーバーのドライバー プリエンファシス (プリカーソル) 設定。プリエンファシス設定の詳細は、『Virtex-6 FPGA GTX トランシーバー ユーザー ガイド』[参照 3] を参照。
i_TX_POSTEMPHASIS	I	5	非同期	SFI-5 インターフェイスでのすべての GTX トランシーバーのドライバー ポストエンファシス (ポストカーソル) 設定。
i_TX_INHIBIT	I	1	非同期	アサートすると、GTX TX ドライバーが無効になる。

表 2 : SFI-5 インターフェイスのポート一覧および説明 (続き)

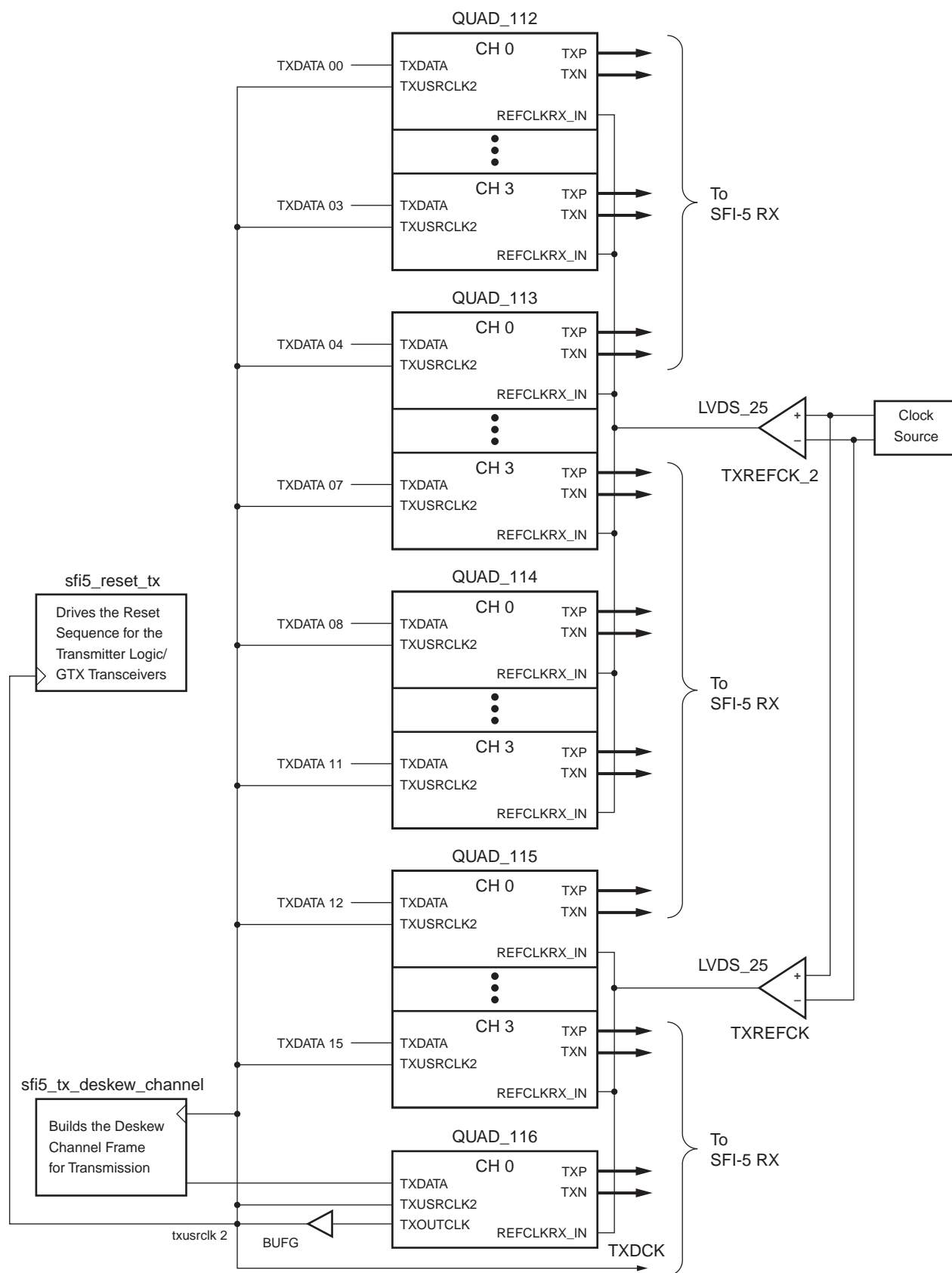
ポート	タイプ (I/O)	幅	クロック ドメイン	説明
i_TX_DIFF_CTRL	I	4	非同期	SFI-5 インターフェイスでのすべての GTX トランシーバーのドライバー出力幅。
i_RX_EQUALIZATION_MIX	I	3	非同期	レシーバーのイコライゼーションを制御。
i_FRAMES2LOCK	I	7	非同期	o_RXLOF のディアサート前に必要な、連続して一致するフレームの数に対するユーザー定義のしきい値。 有効な設定値 = 0 ~ 127 (十進数) デフォルト値 = 3F (十進数では 63)
i_FRAMES2UNLOCK	I	7	非同期	o_RXLOF のアサート前に必要なフレーム不一致の数に対するユーザー定義のしきい値。 有効な設定値 = 0 ~ 127 (十進数) デフォルト値 = 3F (十進数では 63)
iv_MISMATCHES_2_UNLOCK	I	7	非同期	o_RXOOA のアサート前に必要な連続するデータ不一致の数に対するユーザー定義のしきい値。 有効な設定値 = 0 ~ 127 (十進数) デフォルト値 = 3F (十進数では 63)

## SFI-5 のクロッキング

このセクションでは、SFI-5 インターフェイスにおけるクロック ドメインについて説明します。TXREFCK は、[図 1](#) に示したフレイマー、FEC、SERDES 間のリンクの周波数基準として、OIF 仕様で定義されているクロックです。RXREFCK は、SERDES、FEC、フレイマー間のリンクの周波数基準として定義されています。[1 ページの「はじめに」](#)で説明したように、このリファレンス デザインの TXREFCK および RXREFCK は、同じクロック ソースから供給されます。このため、TXREFCK と表記した場合、TXREFCK と RXREFCK の両方を指しています。TXREFCK は、オシレーターから GTX トランシーバーの専用基準クロック入力に直接供給する必要があります。基準クロック入力から GTX トランシーバーへは専用配線があるため、GTX トランシーバーは最小のジッターでクロックを受信できます。TXREFCK も FPGA のグローバル クロック ネットワークを介して GTX トランシーバーに供給できますが、このパスは最高品質の信号を維持するには理想的ではありません。このリファレンス デザインでは、GTX トランシーバーの基準クロック入力ピンに直接供給されるクロック ソースを使用します。

[図 3](#) に、SFI-5 トランスミッターのクロッキング アーキテクチャを示します。TXREFCK は、外部クロック ソースによってクワッド 113 の REFCLK0 に供給され、さらにトランシーバー チャンネル 0 ~ 11 (クワッド 112 からクワッド 114) に分配されます。各クワッドには、4 つの GTX トランシーバーがあります。また、TXREFCK\_2 は、外部クロック ソースによってクワッド 115 の REFCLK0 に供給されます。これは、トランシーバー チャンネル 12 ~ 15 に加えて、スキュー調整チャンネル (DSC)、クワッド 115、およびクワッド 116 に分配されます。『Virtex-6 FPGA GTX トランシーバー ユーザー ガイド』[\[参照 3\]](#)に、「ソース クワッドにある GTX トランシーバーの基準クロック入力の供給範囲は、最大でその上下にあるクワッド タイルまで」と記載されているため、TXREFCK クロック信号は 2 つ必要です。したがって、基準クロックが供給できる範囲は 12 個の GTX トランシーバーのみで、SFI-5 インターフェイスの 17 個のチャンネルにクロックを供給するには不十分です。TXREFCK\_2 は TXREFCK と同期し、周波数が同じ必要がありますが、これらの位相関係は重要ではありません。

DSC チャンネルの TXOUTCLK ポートは、システム ロジックのための TXREFCK へのアクセスの取得に使用されます。TXOUTCLK は CLKIN を転送したものであり、GTX トランシーバーのリセットによる影響を受けません。このことは、TX および RX インターフェイスの初期化ロジックがリセット シーケンスから独立したクロックで動作する必要があるため重要です。sfi5\_reset\_tx モジュールのすべてのロジックは、DSC チャンネルの TXOUTCLK ポートを介して、TXREFCK によって排他的に駆動されます。TXOUTCLK は、TXUSRCLK2 および TXDCK の生成に使用されます。TXDCK は TXOUTCLK と同じものであり、オプションの基準クロック入力としてトランスミッターからレシーバーに転送されます。トランスミッターにある初期化ロジック以外のロジックは、スキュー調整チャンネルのフレーム生成ロジックのみです。このロジックは、TXUSRCLK2 によって駆動されます。すべての GTX トランシーバーのユーザー インターフェイスには、TXUSRCLK2 を使用して、同じクロック ソース (TXOUTCLK) のクロックが DCS チャンネルから供給されます。これによって、使用する GTX トランシーバー間のスキューが最小化されます。

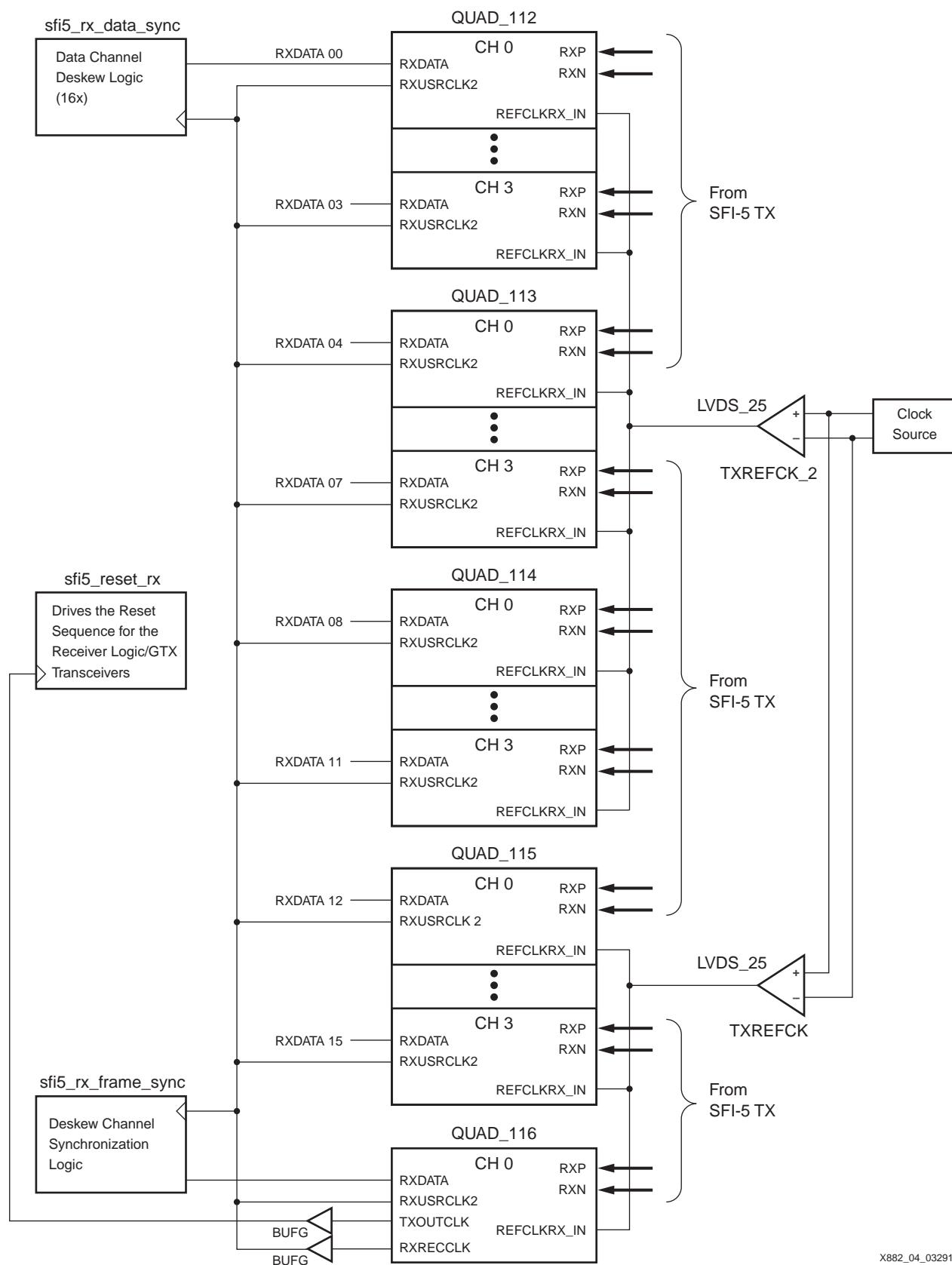


X882\_03\_032510

図 3 : SFI-5 トランスミッターのクロッキング



図 4 に、SFI-5 レシーバーのクロッキング アーキテクチャを示します。TX と RX の GTX トランシーバーが同じ基準クロックを共有しているため、基準クロック入力 TXREFCK および TXREFCK\_2 は、図 3 に示した入力と同じです。つまり、TX および RX 用のシリアル クロックの生成には、RX の PLL のみを使用され、これによって消費電力が削減されます。ただし、RXUSRCLK2 は TXREFCK からではなく、スキュー調整チャネルの入力データ ストリームからのリカバリ クロックである RXRECCLK から生成されます。RXRECCLK はライン レートの 1/16 であるため、RXUSRCLK2 に必要な周波数を得ています。フレーミングおよびデータ スキュー調整ロジックは、RXUSRCLK2 で駆動されます。図 4 には示されていませんが、RXDATA15 は RXDATA15 用の sfi5\_rx\_data\_sync モジュールにも供給されます。クロックはリセット シーケンスから独立している必要があるため、TXOUTCLK を介して TXREFCK によって駆動されるのは、sfi5\_reset\_rx モジュールのロジックのみです。



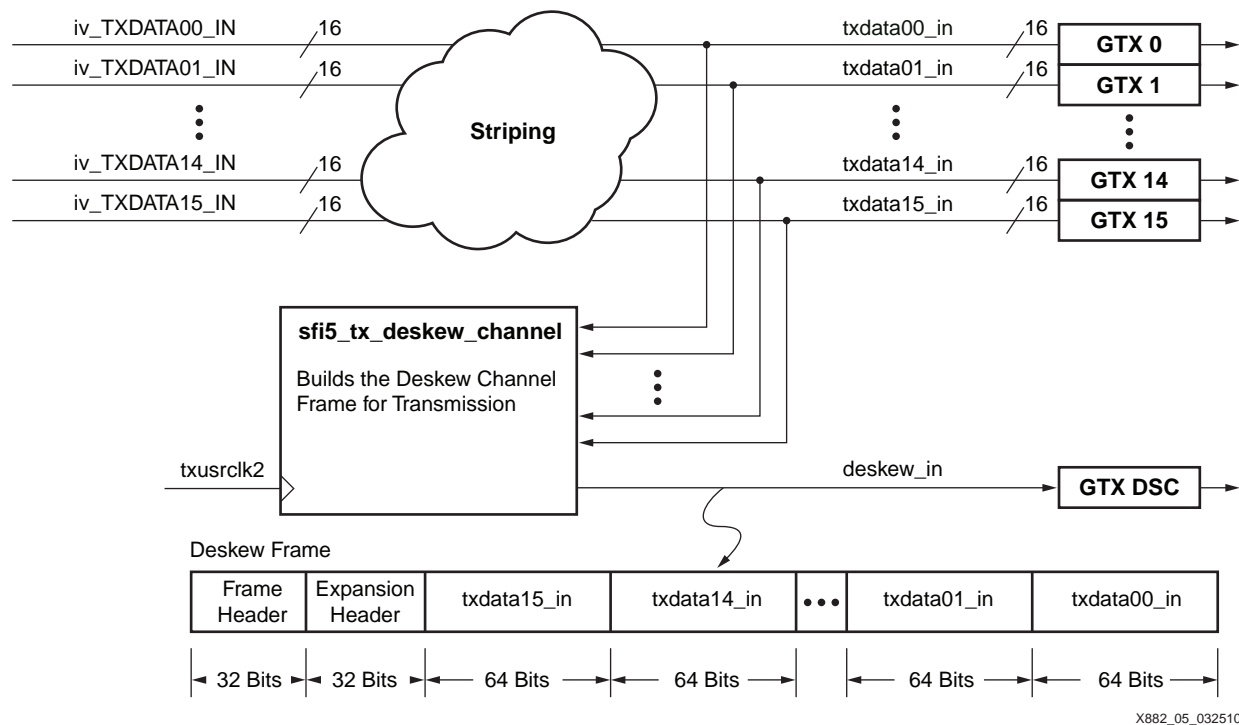
X882\_04\_032910

図 4 : SFI-5 レシーバーのクロッキング

## SFI-5 トランスミッター

SFI-5 トランスミッターは、それぞれが 16 ビットの入力を 16 個 (合計 256 ビット) 受け取り、16 個の GTX トランシーバー全体で各 16 ビット ワードをストライピングします。つまり、各 GTX トランシーバーが送信する 16 ビット ワードには、16 個の入力から 1 ビットずつ含まれます。このリファレンスデザインの SFI-5 レシーバーは、データをストライピングから復元して通常の順序に戻します。トランスミッターとレシーバーが互いに補完し合うことは重要です。リファレンス デザインの TX または RX のいずれかでストライピングが不要な場合、ストライピングを実行する `sfi5_if_v6_16bit` モジュールの割り当てステートメントを、単純な 1 対 1 割り当てに置き換えることができます。

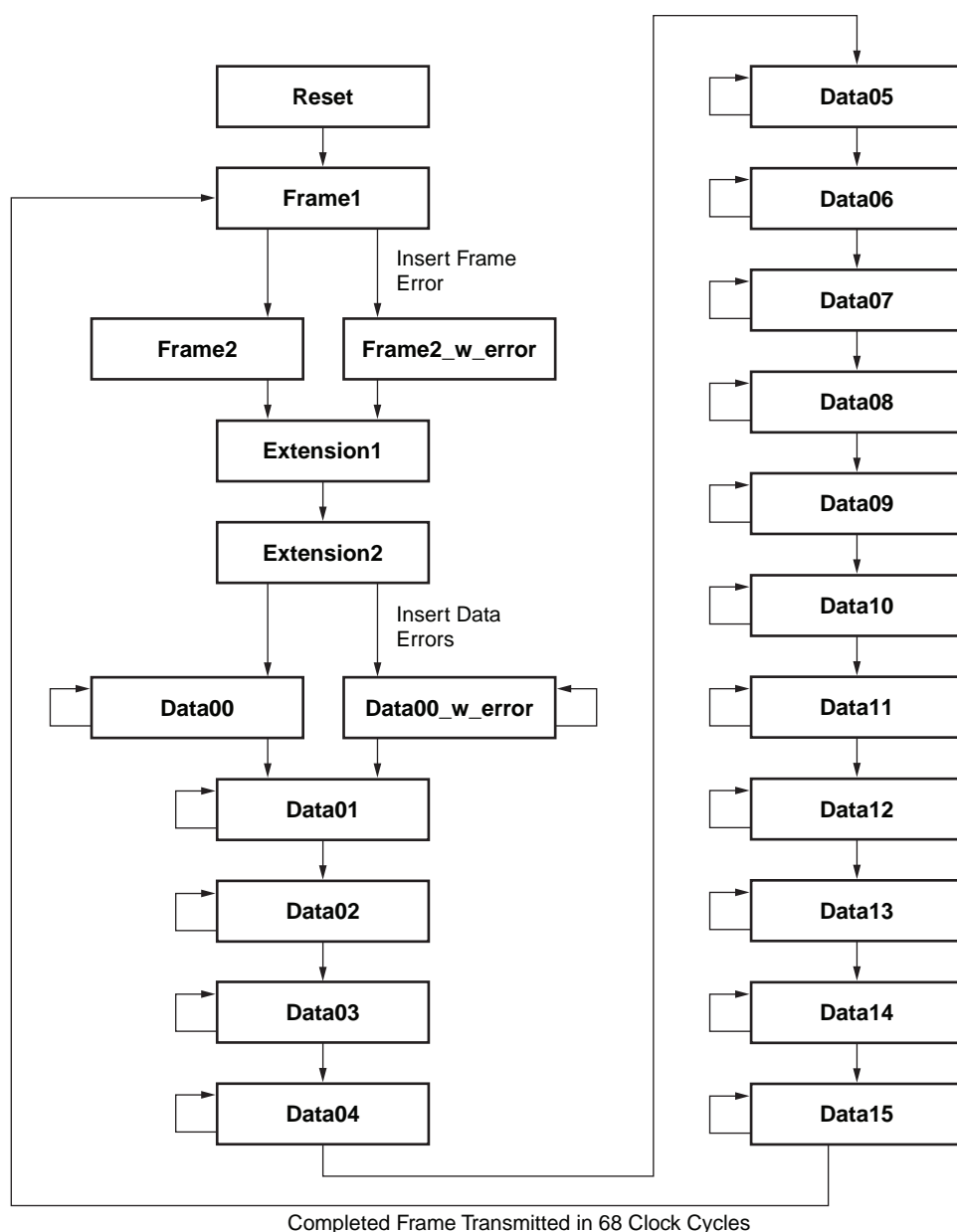
データ入力がストライピングされると、それらから 16 個の新しいワードが作成されて 16 個の GTX トランシーバーのいずれかによって送信されます。16 個のワードは、同時に GTX トランシーバーの入力に到着しますが、送信プロセスで一部のワードの到着は、ほかのワードよりも前後する可能性があります。データ チャンネル自体には、フレーム情報は存在しません。したがって、レシーバーが後に使用してデータ ワードを並べ替えることができるように、データの正しい順序を記録する手段が必要になります。これには、データの正しい順序がまだわかっている送信前の段階で、スキュー調整チャンネル上のデータ ワードのフラグメントを記録します。スキュー調整チャンネルの内容は、OIF 仕様によって厳密に定義されています。図 5 に、スキュー調整フレームを示します。



X882\_05\_032510

図 5 : SFI-5 トランスミッターのデータパスおよびスキュー調整チャンネル生成

図 6 に、スキュー調整フレームを生成するステート マシンを示します。通常動作では、このステート マシンは入力に依存しません。各ステートは、16 個のデータ チャンネルのいずれかを選択する、データパス内の大きなマルチプレクサーのさまざまな設定 (静的フレーム ビット) を表します。このステート マシンは、リセット以外に終了条件を持たないループで、その繰り返しごとに 1 つのフレームが生成されます。



X882\_06\_032510

図 6 : スキュー調整フレーム生成ステート マシン

フレーム エラー挿入およびデータ エラー挿入という 2 つの入力条件が、診断の目的で与えられます。`i_INSERT_FRAME_ERROR` をアサートすると、ステート マシンは、正しいフレーム (F6F6 2828) を不正なフレーム (F6F6 2928) で置き換えます。`i_INSERT_DATA_ERROR` をアサートすると、ステート マシンは、データ チャンネル 15 の 64 ビット フラグメントの最初の 16 ビットを反転します。図 6 のステート名は、Verilog モジュールから直接取得しています。`Data00`、`Data01` などのステートは、`txdata15_in`、`txdata14_in` などの伝送に対応しています。ステート名の数字は、それらのステートで DSC チャンネルにコピーされるデータ チャンネルの順序と逆に付けられています。

トランスミッターの初期化シーケンスは、図 7 に示すステート マシンで制御されます。

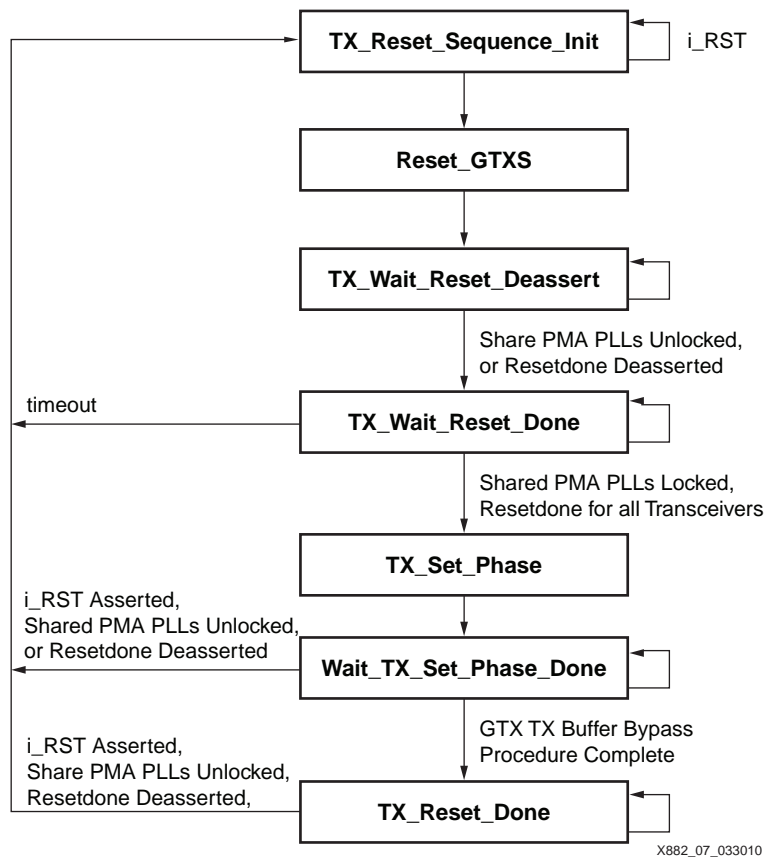


図 7：SFI-5 トランスミッターの初期化シーケンス

TX の初期化シーケンスは、大きく次の 2 つの工程で構成されています。

1. すべての GTX タイルの GTXRXRESET 入力および GTXTXRESET 入力をアサートすることで、17 個の GTX トランシーバーすべてをリセットします。これによって、GTX タイル内の全回路の完全なリセットシーケンスが開始されます。RESETDONE ポートは、GTXRXRESET および GTXTXRESET のアサート時に即座にはディアサートされないため、ステート マシンには TX\_Wait\_Reset\_Deassert ステートが含まれています。このステートがなければ、ステート マシンは、リセットシーケンスの完了を待たずに、次の工程を続行してしまいます。
2. TX バッファをバイパスし、GTX トランシーバー間の低い出力スキューを保証する TX 位相調整回路を初期化します。この手順は、『Virtex-6 FPGA GTX トランシーバー ユーザー ガイド』[参照 3] で指定されているバッファのバイパス手順に従っています。

これらの工程の完了後、ステート マシンは、別のリセットシーケンスが開始されるか、PMA PLL のロックが解除されるか、いずれかの GTX トランシーバーの RESETDONE 出力がディアサートされない限り、TX\_Reset\_Done ステートに留まります。SFI-5 インターフェイスに対して手動で i\_RST 入力をアサートした場合、ステート マシンの現時点のステートに関わらず、リセットシーケンスが再開されます。

TX\_Wait\_Reset\_Done ステートには、TIMEOUT という別の終了条件があります。TXREFCK の 100 万サイクル経過後に、GTX トランシーバーの RESETDONE 出力がアサートされていない場合、リセットシーケンスが再開されます。

## SFI-5 レシーバー

SFI-5 レシーバーは、16 個の GTX トランシーバーの入力からデータを復元し、256 ビット データを RXUSRCLK2 のレートでインターフェイスのシステム側に与えます。レシーバーは、チャンネル間の整合を保つために、各入力データパスの遅延を調整する必要があります。図 8 に、SFI-5 レシーバーのデータパスを示します。

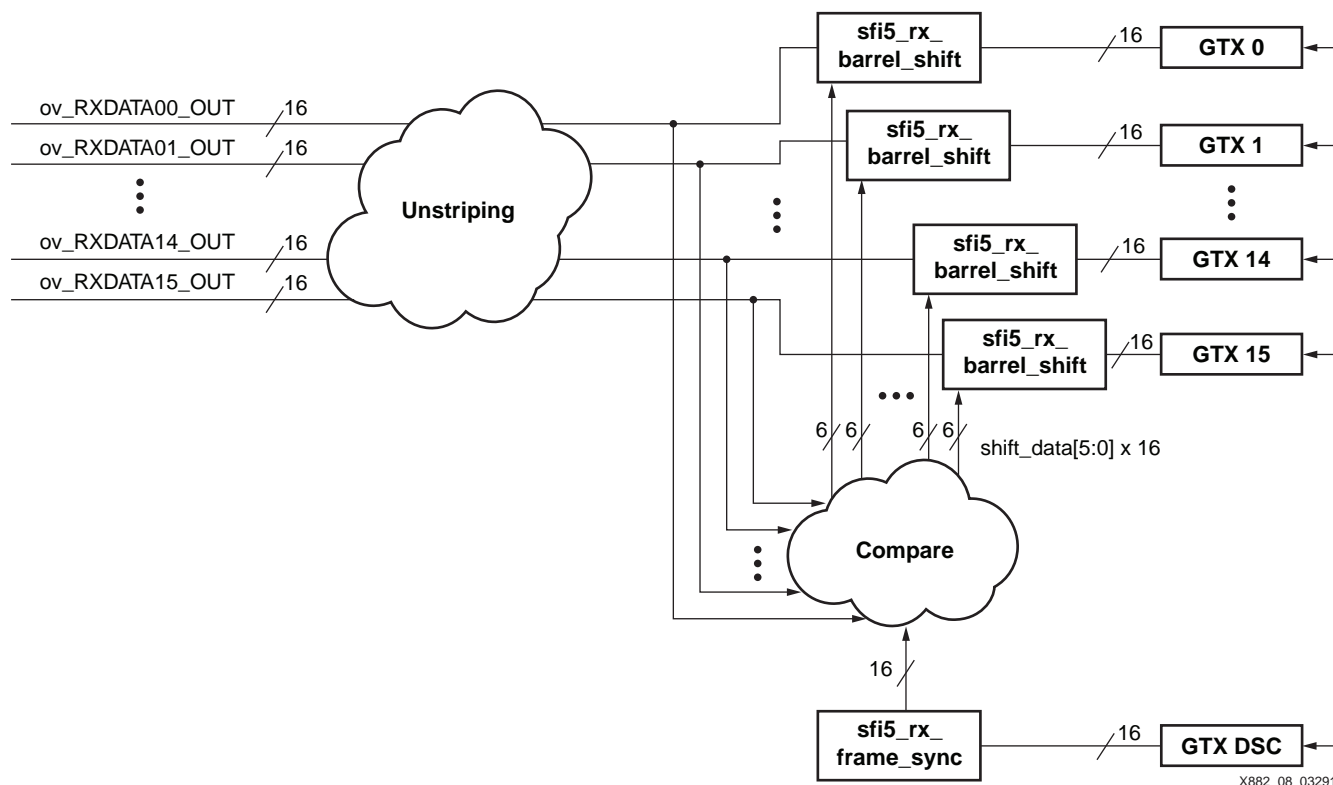


図 8 : レシーバーのデータパス

各データ チャンネルのパスには、79 ビットのバレル シフターが含まれ、これによってステート マシンは、GTX トランシーバーの 16 ビット出力に対する 63 通りの遅延を選択できます ( $63 + 16 = 79$ )。スキュー調整チャンネル データパスのバレル シフターにより、フレーミング プロセスが容易になります。256 データ ビットは、それぞれが 16 ビットの 16 個のワードに分割されます。

レシーバーは、データが 16 個の GTX トランシーバー全体でストライピングされていると仮定するため、ワードはシステムに与える前にストライピングから復元されます。トランスミッターとレシーバーが互いに補完し合うことは重要です。このリファレンス デザインの TX または RX のいずれかでストライピングが不要な場合、ストライピングを実行する sfi5\_if\_v6\_16bit モジュールの割り当てステートメントを、単純な 1 対 1 割り当てに置き換えることができます。

## バレル シフター

バレル シフターは、レシーバーの基本的な構成ブロックです。すべてのデータパスとスキュー調整チャンネル パスは、図 9 に示すように 79 ビットのバレル シフターを通過します。バレル シフターは、79 ビットを使用して、0 から 63 ビット時までの遅延を 16 ビット ワードに追加できます。RXUSRCLK2 サイクルごとにチェーンの左に新しい 16 ビットが追加され、チェーン内のほかのビットは 16 ビット分右に循環します。新しいデータが追加されると、最も右側の 16 ビットは失われます。シフト値を 00 に設定すると、バレル シフターの出力に最新のデータ ビットが選択されます。

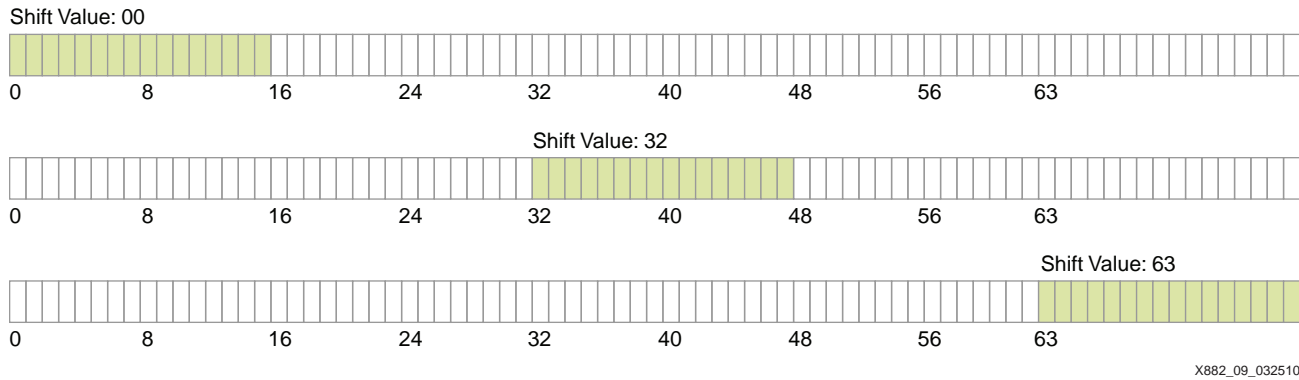


図 9 : 79 ビットのバレル シフター チェーン

シフト値は、6 ビットの制御信号です ( $2^6 = 64$ )。直列に接続された 6 段の 2:1 MUX が存在し、これらによって、データ選択が 79 ビット (バレルシフター全体) から 16 ビット (目的の出力幅) に減少します。シフト値の各ビットは、1 段の 2:1 MUX へのセレクト ラインです。最大のシフト値ビットでは、チェーン全体が 79 ビット ( $2^6 - 1 + 16$ ) から 47 ビット ( $2^5 - 1 + 16$ ) に減少します。この最初の削減は、図 10 に示す 1 段の MUX に対応し、これは 47 個の 2:1 MUX を使用して実現されます。最大のシフト値ビットが 0 の場合、選択される 47 ビットは [46:0] になります。最大のシフト値ビットが 1 の場合、選択される 47 ビットは [78:32] になります。

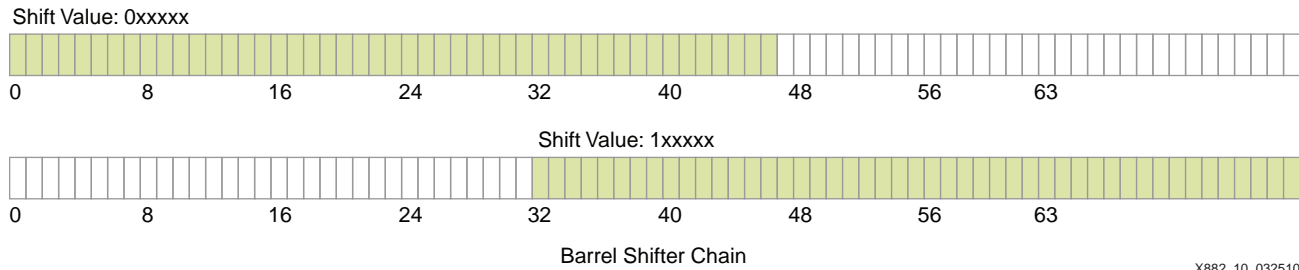


図 10 : バレル シフターの 1 段の MUX による削減

図 11 に、6 段すべての MUX を通過した場合の削減を示します。タイミング クロージャを容易にするために、3 段目と 6 段目の MUX の出力にレジスタが追加されています。

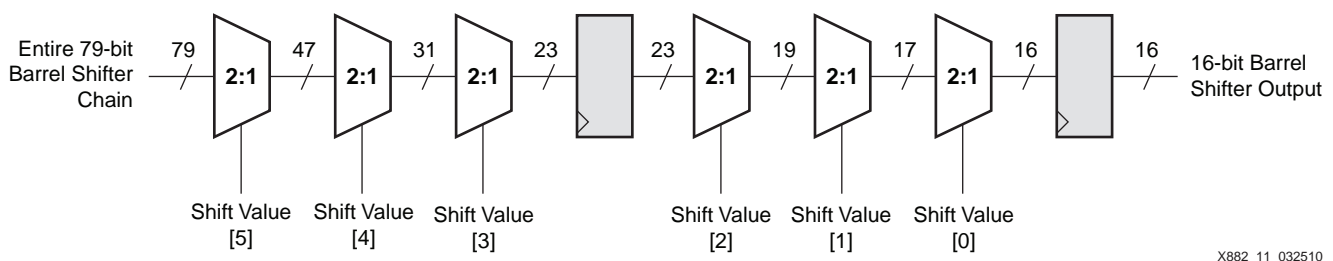


図 11 : バレル シフターの出力選択ロジック

## スキュー調整フレームの同期

レシーバーがデータ チャンネルのスキュー調整を開始する前に、入力スキュー調整チャンネルに同期する必要があります。このためには、レシーバーのステート マシンが、入力スキュー調整チャンネルのデータをスキャンして、フレーム ヘッダー (0xF6F62828) を検索する必要があります。ステート マシンは、少なくともスキュー調整チャンネルのサイズである 68 サイクル間、入力スキュー調整チャンネルのデータを監視します (実際のスキャン時間は 128 サイクル)。フレームが見つからない場合、スキュー調整チャンネルがフレームの境界に揃っていない可能性があります。128 サイクル間スキャンしてもフレームが見つ

からなければ、ステート マシンは、スキュー調整チャンネルパス内のバレルシフターのシフト値をインクリメントすることで1ビット時の遅延を追加します。バレルシフター出力のサイズが16ビットで、16ビットのウィンドウがあれば、フレームヘッダー(0xF6F6)は一度は適切に揃えられるため、このプロセスが繰り返されるのは最大で16回までです。図12に、スキュー調整チャンネルのフレーム同期ステートマシンを示します。

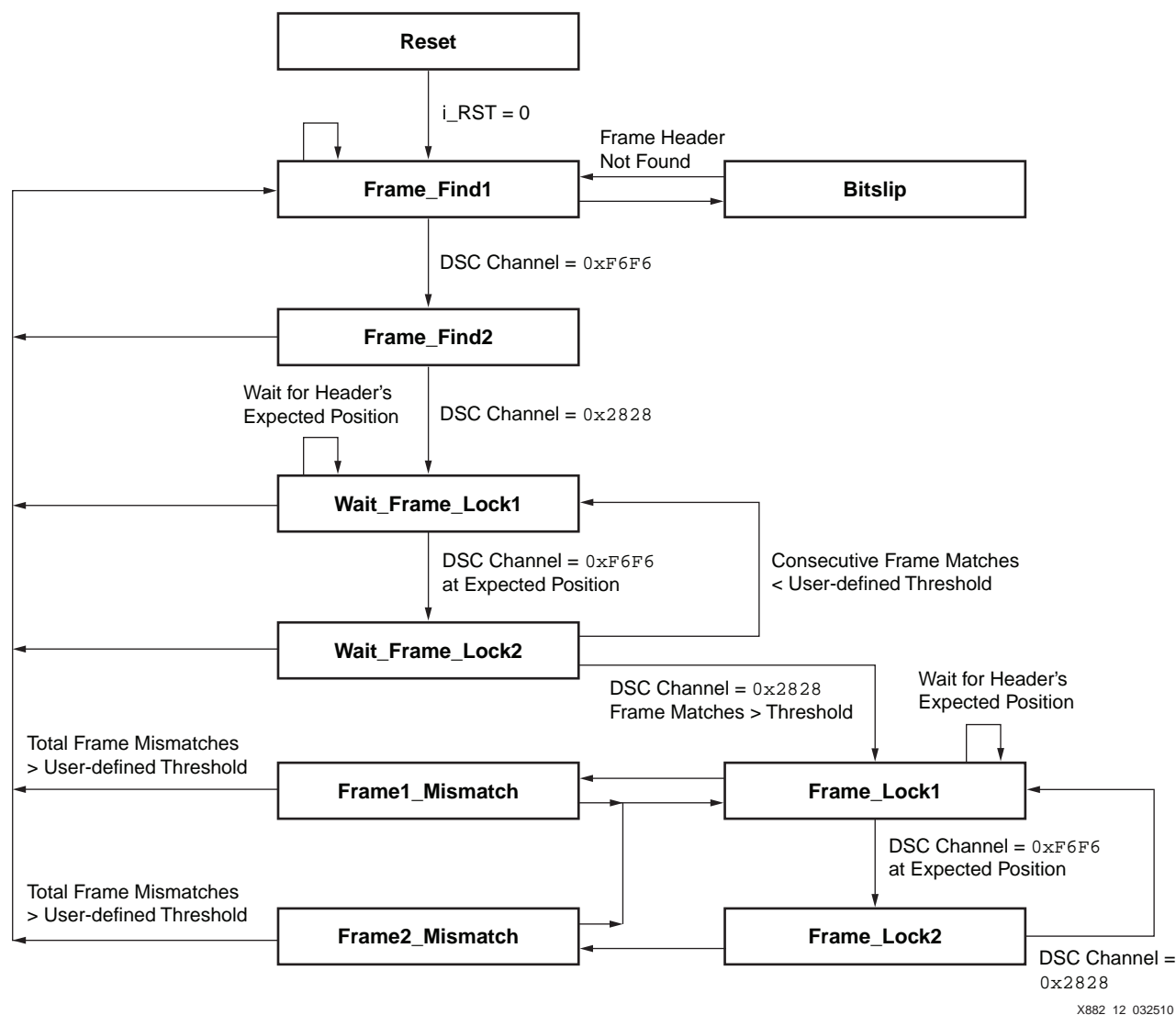


図 12：スキュー調整チャンネルのフレーム同期ステート マシン

フレーム同期アルゴリズムが完了すると、スキュー調整チャンネルのバレルシフター設定値が、すべてのデータチャンネルのスキュー調整ロジックの基準になります。各データチャンネルのスキューは、スキュー調整チャンネルに対して定義されます。スキュー調整チャンネルのバレルシフターが0に設定されている場合、スキュー調整アルゴリズムは、スキュー調整チャンネルよりも+63UI遅いデータをスキュー調整できますが、スキュー調整チャンネルより前の範囲は0UIに限定されます。非対称のスキュー調整能力は、データチャンネルとスキュー調整チャンネルが同じ速度とは限らず、低速と高速のどちらにも対応する必要があります。そのため望ましくありません。

スキュー調整チャンネルのバレルシフター設定値は、完全に対称的なスキュー調整能力(±32UI)が得られる32が理想的です。ただし、スキュー調整チャンネルの設定値を特定の値に指定することはできません。この値は、フレーム同期アルゴリズムによって決定されます。フレーム同期アルゴリズムは、16のバレルシフター設定の検索フィールドから、適切な調整設定値を検出できます。このため、スキュー調整チャンネルのバレルシフターは24に初期化され、最大で39までインクリメントします(検索フィールド



は 16)。フレーム同期アルゴリズムは、24 ～ 39 の範囲で適切な調整設定値を検出します。24 ～ 39 の範囲でのワースト ケースを考慮しても、最小で  $\pm 24\text{UI}$  (63 - 39 および 24 - 0 の両方で 24) のスキュー補正能力が得られます。同期プロセスは、次の工程で構成されています。

1. 入力スキュー調整チャンネルからフレーム ヘッダーを検索し、必要に応じてパレル シフター設定値を調整します。
2. 最初のフレームが検出された後、連続して検出されたフレームの数を保持します。フレームのロックを宣言するためのユーザー定義のしきい値 (`i_FRAMES2LOCK`) に達すると、即座に `RXLOF` が `Low` に駆動されて、スキュー調整チャンネルが同期したことを示します。
3. ロック ステートにあるフレームは、すべてのフレームを連続的にチェックします。フレームのいずれかの部分でエラーが検出されると、不一致が記録されます。フレームの不一致の総数がユーザー定義のしきい値 (`i_FRAMES2UNLOCK`) を越えない限り、ステート マシンはロック ステートに戻ります。しきい値を超えた場合、`RXLOF` がアサートされ、アルゴリズムが最初から再開されます。

### データ チャンネルのスキュー調整

スキュー調整チャンネルのパレル シフター設定値がフレーム同期アルゴリズムによって決定されると、各データ チャンネルをスキュー調整チャンネルと比較できるようになります。各データ チャンネルのパレル シフター設定値は、そのチャンネルのデータ内容がスキュー調整フレームに含まれる 64 ビット データ フラグメントに一致するまで調整できます。各データ チャンネルはパレル シフター設定値 0 で初期化され、0 ～ 63 までのすべての設定値が検索されて、スキュー調整チャンネルに一致するデータが検出されます。このプロセスが 16 チャンネルすべてで完了すると、各チャンネルに固有のパレル シフター設定値が決定されます。これらの設定値は、スキュー調整チャンネルに対する相対的なスキュー値であり、ほかのデータ チャンネルに対する相対的なスキュー値でもあります。17 チャンネルのうちの最大のパレル シフター設定値から最小のパレル シフター設定値を引いた値が、TX から RX までのインターフェイス全体の最大スキューになります。図 13 に、50Gb/s (3.125Gb/s x 16 チャンネル) のインターフェイスで収集された実際のスキュー補正の計測値を示します。

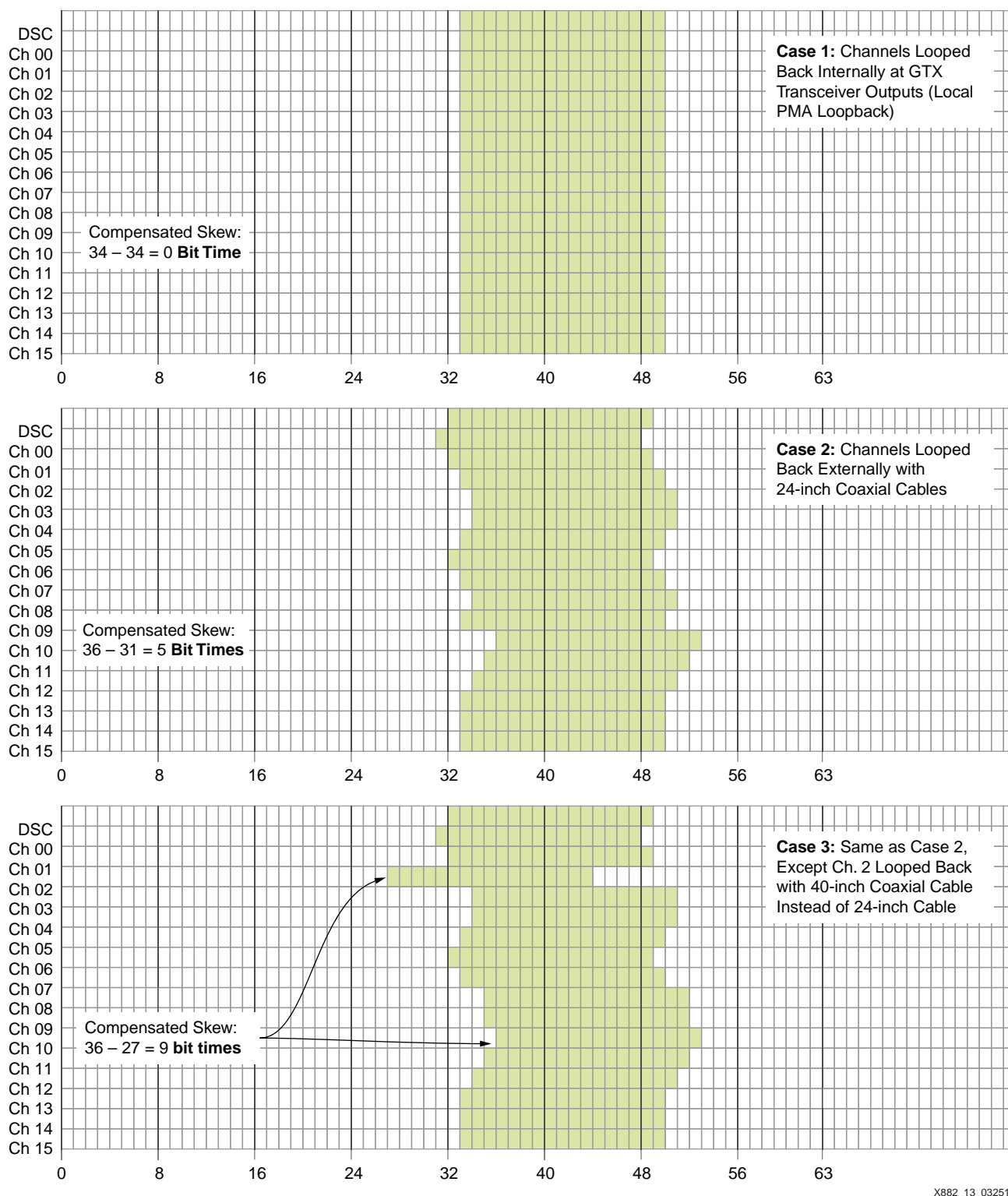


図 13 : パレル シフター選択 (3.125Gb/s x 16 チャンネル)

すべてのデータ チャンネルおよびスキュー調整チャンネルには、固有のパレル シフター設定値が決められており、それらの値からチャンネル間のスキューを示す図を作成します。説明のために、リンク上に異なるスキュー量が発生する 3 つのケースを示します。ケース 1 では、トランスミッターが内部でレシーバーにループバックしています (最小スキュー)。この場合の結果は、すべてのデータ チャンネルで独立して同じパレル シフター設定値 34 が選択され、補正されたスキューの合計は 0UI となります。ケース

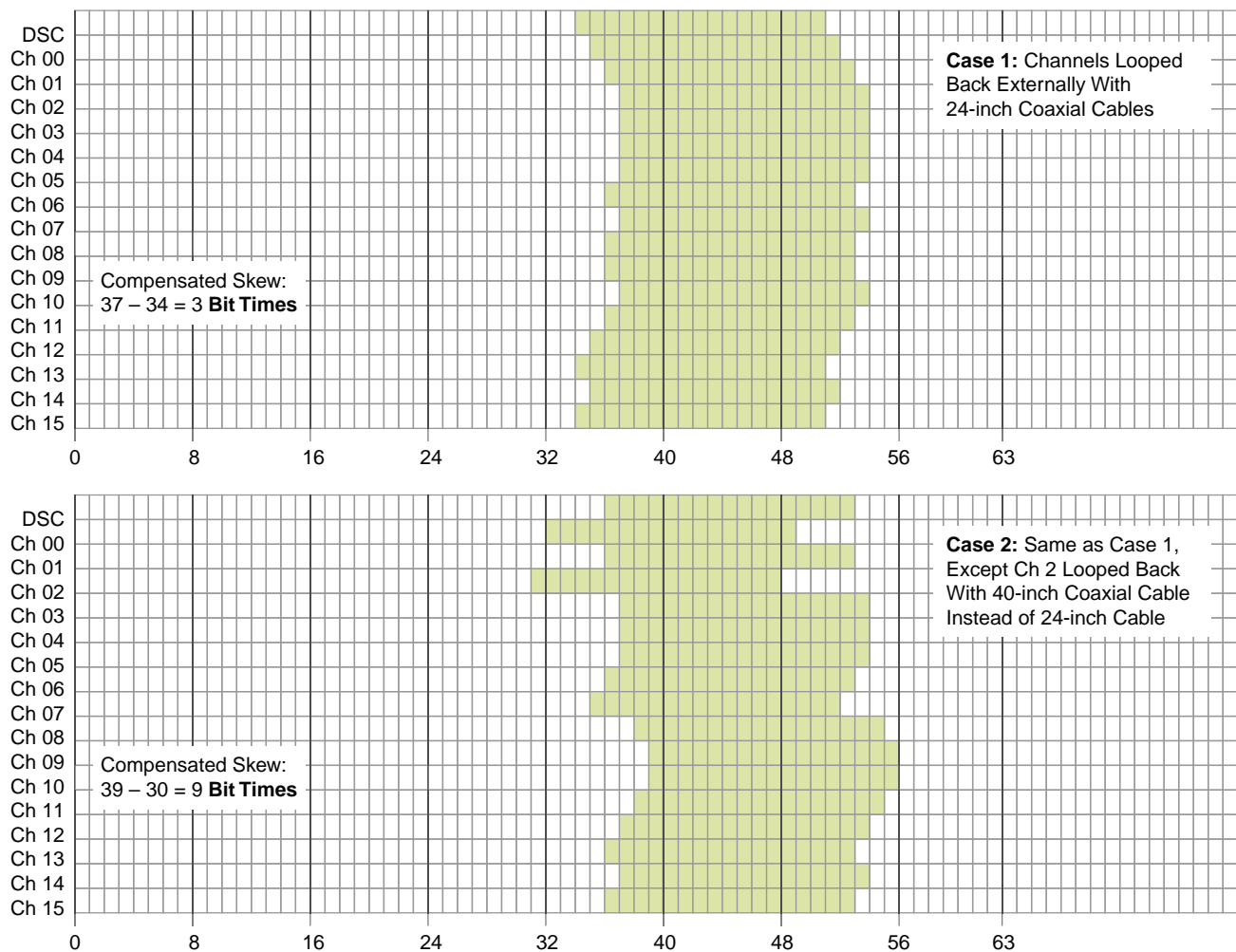
2 では、24 インチのケーブルを使用してチャンネルが外部でループバックされます。この場合、各データチャンネルのバレル シフター設定値は異なります。これは、パッケージ配線、ボード配線、およびケーブル長に起因して、各データバスのレイテンシが異なっているためです。ケース 2 では、補正されたスキューは 5UI です。ケース 3 ではスキュー補正をさらに際立たせるために、チャンネル 2 のケーブルを 40 インチの長さのものに置き換えています。これにより、チャンネル 2 に対して明らかな影響が生じ、このチャンネルに大きく異なるバレル シフター値が設定されています。チャンネル 2 の設定値は、ケース 2 からケース 3 では、33 から 27 に変化しています。設定値が減っている (左に移動している) のは、最新のデータがバレル シフターの左に追加されたためです。ケース 3 では、チャンネル 2 がレシーバーに到達するのが遅くなるため、ステート マシンは、より新しいバレル シフターの位置を選択し、そこからデータを読み込む必要があります (27 の方が 33 よりも新しいデータ)。ケース 2 とケース 3 の実際の差は、次のように理論上の計算値と計測値で一致します。

計測されたスキュー差 :  $33 - 27 = 6\text{UI}$

追加された遅延 : (追加ケーブル 16 インチ)  $\times$  (同軸ケーブルの信号速度  $113\text{ps}/\text{インチ}$ ) =  $1.808\text{ns}$

理論上のスキュー差 : (追加された遅延  $1.808\text{ns}$ )  $\div$  ( $3.125\text{Gb/s}$  での  $0.32\text{ns}$  の期間) =  $5.65\text{UI}$

図 14 は、スキュー補正の実測における別のケースを示しています。図 13 と同じデバイスを対象にしていますが、データレートは  $40\text{Gb/s}$  ( $2.5\text{Gb/s} \times 16$  チャンネル) です。



X882\_14\_032510

図 14 : バレル シフターの選択 ( $2.5\text{Gb/s} \times 16$  チャンネル)

ケース 1 では、24 インチのケーブルを使用して、すべてのチャンネルが外部でループバックされます。ケース 2 では、チャンネル 2 のケーブルを 40 インチのケーブルに置き換えています。この結果から、チャンネル 2 のパレル シフターの動作がわかります。ケース 1 では、チャンネル 2 は 37 に設定されます。16 インチのケーブルを追加すると、次の計算に従って設定値が減少する (左に移動する) ことが予想されます。

計測されたスキュー差 :  $36 - 31 = 5\text{UI}$

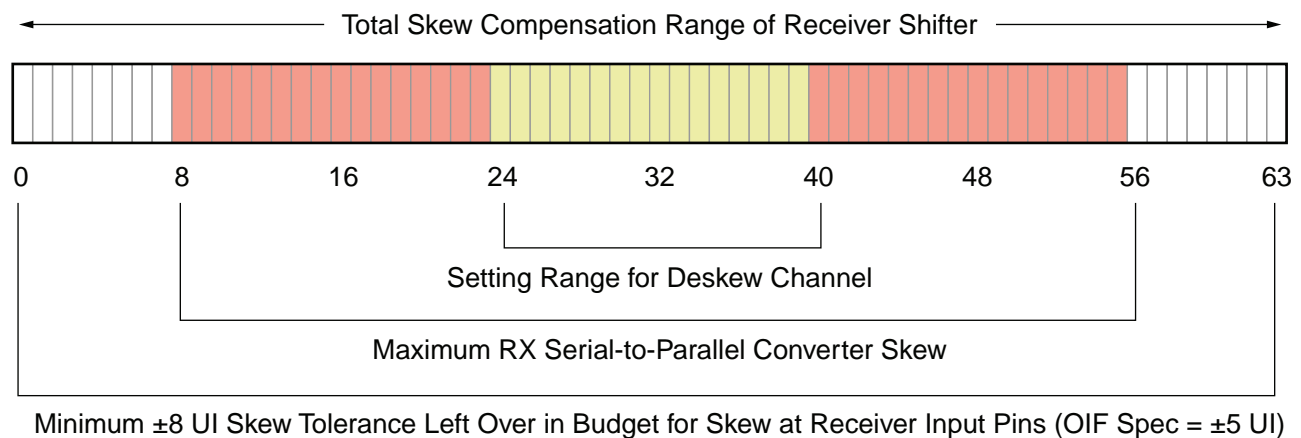
追加された遅延 : (追加ケーブル 16 インチ)  $\times$  (同軸ケーブルの信号速度  $113\text{ps/インチ}$ ) =  $1.808\text{ns}$

理論上のスキュー差 : (追加された遅延  $1.808\text{ns}$ )  $\div$  ( $2.5\text{Gb/s}$  での  $0.400\text{ns}$  の期間) =  $4.52\text{UI}$

レシーバーにおけるスキューの別の要因は、Serial-to-Parallel コンバーターです。異なる GTX トランシーバー チャンネルの RXRECCLK には、互いに一定の位相関係がないため、シリアルからパレルへの変換段階で 1 ~ 16 ビット時のスキュー (16 ビットのデータパスの場合) が発生する可能性があります。

レシーバーによって補正できるスキュー量は定量化する必要があります。レシーバーの入力ピンでどのぐらいのスキューが許容可能かについて考えます。63 ビットのパレル シフターでは、レシーバーの最大スキュー補正の絶対値は  $\pm 32\text{UI}$  です。しかし、スキュー調整チャンネルの設定値は必ずしも理想的な 32 に設定されるわけではなく不確定なため、このマージンの一部は失われます。この値は、最小で 24、最大で 39 が可能です。これについては、15 ページの「スキュー調整フレームの同期」で説明されています。理想的なマージンは  $\pm 32\text{UI}$  から  $\pm 24\text{UI}$  に減少します。

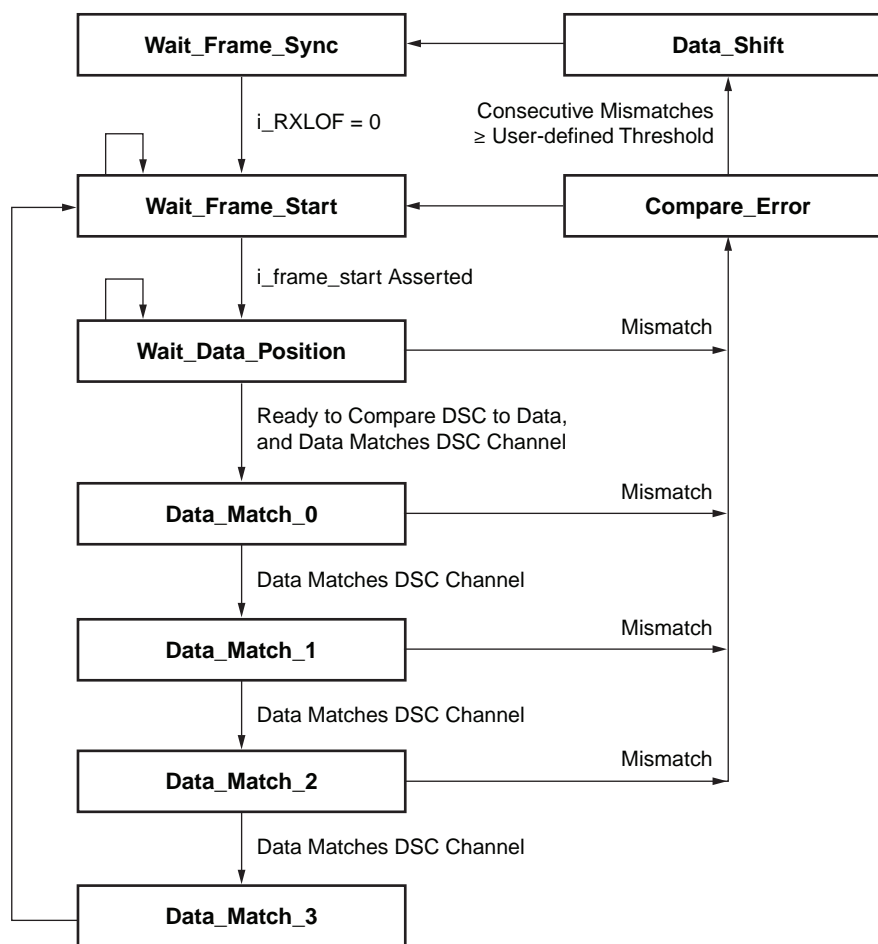
スキュー バジレットは受信パスによってさらに減少し、シリアルからパレルへの変換で最大で  $\pm 16\text{UI}$  のスキューが生じます。つまり、図 15 に示すように、レシーバーの入力ピンには最小で  $\pm 8\text{UI}$  のスキュー バジレットの絶対値が残ります。OIF SFI-5 の仕様では、レシーバーで許容しなければならない最小ジッターを  $\pm 5\text{UI}$  と定めています。



X882\_15\_032510

図 15 : レシーバーのスキュー バジレット

図 16 に、パレル シフター設定値を制御し、データをスキュー調整チャンネルと比較することによって各データ チャンネルのスキューを調整するアルゴリズムを示します。



X882\_17\_032510

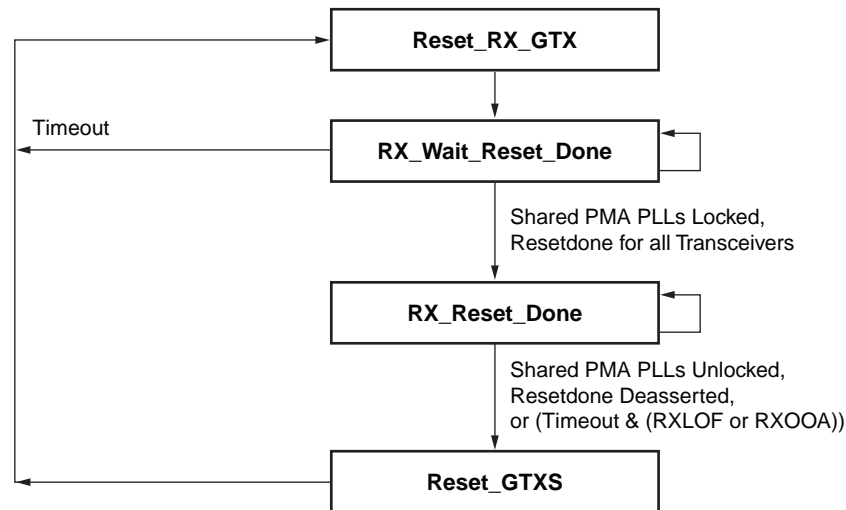
図 16 : データ チャンネルのスキュー調整ステート マシン

データ チャンネルのスキュー調整ステート マシンは、sfi5\_rx\_data\_sync モジュールに含まれています。このステート マシンは、スキュー調整チャンネルに同期したことがフレーム同期アルゴリズムから伝えられる (RXLOF がディアサートされる) まで、調整を試みません。スキュー調整チャンネルのフレームが同期すると、ステート マシンはフレームの開始を待機します。各チャンネルのステート マシンは、さらに数サイクルの間、そのチャンネルのスキュー調整フレームにある特定のデータ フラグメントに到着するのを待機します。この時点で、データ チャンネルとスキュー調整チャンネルの内容が、連続する 4 サイクル間比較されます (スキュー調整チャンネルの 64 ビット データ フラグメント)。データ チャンネルが正しく揃えられていれば、4 つの比較はすべて一致します。4 つの比較のいずれかが一致しない場合、カウンターに不一致が記録されます。連続する不一致の数がユーザー定義のしきい値 `iv_MISMATCHES_2_UNLOCK` に達すると、そのデータ チャンネルのパレルシフター設定値がインクリメントし、アルゴリズムは比較プロセスを繰り返します。ステート マシンは、パレルシフター設定値 0 から開始し、最大で 63 までインクリメントします。レシーバーの入力スキュー仕様が満たされていると、アルゴリズムは一致を検出します。アルゴリズムが一致を検出しない場合、0 から 63 まで無限に検索します。ただし、レシーバーがタイムアウトし、リンク全体を再初期化した場合、この無限の検索は中断されます。このタイムアウト機能は、sfi5\_reset\_rx モジュールに含まれています。

## レシーバーの初期化

レシーバーの初期化プロセスは、GTX トランシーバーのリセット、リセット シーケンス終了の待機、および PMA PLL のロックの待機で構成されます。このステート マシン単独では、GTX トランシーバーのリセットは開始しません。それぞれの GTX は、TX および RX インターフェイスによって共有されます。そのため、GTX のリセットは TX インターフェイスの初期化で開始します。RX のステート マシンは、GTX のリセット シーケンスの完了を待機します。

GTX トランシーバーのリセットが完了しない場合、または PMA PLL がロックされない場合のために、タイムアウト カウンターが用意されています。タイムアウトすると、アルゴリズムは RX の初期化を再開します。接続が切断したり、リンクの片側が低消費電力状態であるために、物理的なリンクが一定時間切れた場合、タイムアウトによってこれが自動的に回復します。リンクが復元すると、レシーバーは初期化プロセスを開始し、リンクはユーザーが介入したり、手動でリセットしなくても回復します。図 17 に、レシーバーの初期化プロセスを示します。



X882\_17\_032510

図 17 : SFI-5 レシーバーの初期化シーケンス

GTX リセット シーケンスが完了すると、ステート マシンは RX\_Reset\_Done ステートに留まります。ただし、PMA PLL のロックが解除されるか、いずれかの GTX トランシーバーの RESETDONE 出力がディアサートされた場合、ステート マシンはすべての GTX トランシーバーをリセットし、初期化プロセスが再開されます。RX\_Reset\_Done ステートにもタイムアウト条件があります。RXUSRCLK2 の 100 万サイクル (6ms) が経過しても、フレーム同期ステート マシンおよびデータ スキュー調整ステートマシンによってフレーム アライメント (RXLOF) またはデータ アライメント (RXOOA) が達成されなかった場合、ステート マシンは例外条件を宣言し、GTX トランシーバーをリセットしてから初期化プロセスを再開します。トラブルシューティングなどのため、TX または RX のインターフェイスに自動的に自己リセットさせたくない場合、TX\_Reset\_Done および RX\_Reset\_Done が次のステートに無条件に留まるように、それらのステートのロジックを変更する必要があります。

## SFI-5 のリソース使用率

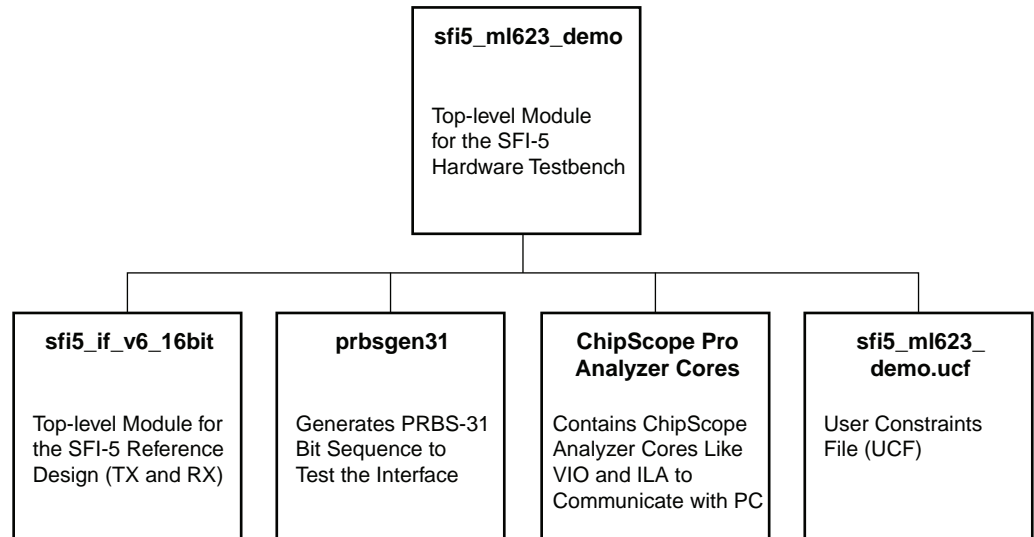
表 3 に、スタンドアロン SFI-5 インターフェイスが使用する FPGA リソースを示します。

表 3 : リソース使用率

リソース	使用済み	全体に対するパーセンテージ	コメント
スライス	1,222	3.3	
スライス レジスタ	3,226	1	
スライス LUT	2,717	1.8	
BUFG	2	9	txusrclk2, rxusrclk2
GTX トランシーバー	17	85	16 データ チャネル + 1 DSC チャネル
IOB	7	<1	TXREFCK (差動) TXREFCK_2 (差動) TXDCK (差動) RXS

## SFI-5 のハードウェア テストベンチ

このリファレンス デザインは、ML623 開発ボード上でハードウェア テストが実施されています。デバイスは、FF1156 パッケージの XC6VLX240T です。インターフェイスをテストするために、ChipScope™ Pro Analyzer で構成されたハードウェア テストベンチをインターフェイスに使用します。Analyzer によって SFI-5 からリンク統計を読み出し、インターフェイスのオプション設定を仮想 I/O (VIO) インターフェイスから制御できます。図 18 に、ハードウェア テストベンチの階層を示します。



X882\_18\_032910

図 18 : SFI-5 インターフェイスを含むハードウェア テストベンチの HDL モジュールの階層

ユーザー データの複雑さをシミュレーションするために、擬似乱数ビット列シーケンス 31 (PRBS31) がテストベンチによって生成されます。PRBS31 パターンは、SFI-5 リンクを介して送信されます。受信側のエラー チェック メカニズムは、データ チャネルとスキュー調整チャネルとの比較で、このチェックは SFI-5 レシーバーで既に実行されています。ChipScope Analyzer の VIO インターフェイスには、16 個すべてのデータ チャネルの不一致数が、SFI-5 レシーバーでカウントされたとおりに表示されます。図 19 に VIO の GUI を示します。

Bus/Signal	Value
RESET	0
data_mismatches_capture	00000000
delay_setting_capture	00
DSC_delay_setting_capture	00
frames_received_capture	00000000
frame_errors_capture	00000000
CLEAR_FRAME_ERRORS	0
CLEAR_MISMATCHES	0
LOOPBACK	000
TX_PREAMPHASIS	0000
TX_POSTEMPHASIS	00000
TX_DIFF_CTRL	1000
RX_EQUALIZATION_MIX	000
INSERT_FRAME_ERROR	0
INSERT_BIT_ERROR	0
CAPTURE_DSC_DELAY	0
CAPTURE_DATA_DELAY	0
CAPTURE_DATA_MISMATCHES	0
CAPTURE_FRAMES_RECEIVED	0
CAPTURE_FRAME_ERRORS	0
DM_CHAN_SEL	0111
DATA_DELAY_CHAN_SEL	1111

X882\_19\_032510

図 19 : ChipScope Pro Analyzer の VIO の GUI

テストは、[RESET] に続いて [CLEAR\_FRAME\_ERRORS]、および [CLEAR\_MISMATCHES] をクリックする (エラー ラッチ レジスタをクリアする) と開始できます。このリセット シーケンスによって、エラー検出ラッチを含めたシステム全体がリセットされます。

レシーバーのエラー検出機能をチェックする手段として、エラーを挿入する機能が提供されています。[INSERT\_FAMRE\_ERROR] をクリックすると、スキュー調整チャネルのフレーム ヘッダーが、不正なヘッダーに置き換わり、その結果、フレーム エラーが発生します。[INSERT\_BIT\_ERROR] をクリックすると、データ チャネル 15 の 64 ビット フラグメントの最初の 16 ビットが 1 クロック サイクル間反転します。その結果、データパス エラーが発生します。

VIO の GUI には、次の情報が表示されます。

- 受信したフレーム (frames\_received\_capture)
  - 入力データに対してレシーバーがロックされている間に受信したデータ フレームの数
  - VIO は、選択したラッチ イネーブル (たとえば、CAPTURE\_FRAMES\_RECEIVED) に基づいてこの値をラッチします。
- フレーム エラーおよびデータ不一致エラー (frame\_error\_capture および data\_mismatches\_capture)
  - スキュー調整チャネルと比較したときのフレーム エラーと不一致エラーの数
  - VIO は、選択したラッチ イネーブル (たとえば、CAPTURE\_FRAME\_ERRORS および CAPTURE\_DATA\_MISMATCHES) に基づいてこの値をラッチします。
- すべてのデータ チャネルおよびスキュー調整チャネルのバレル シフター の値 (0000 と 1111 の間で選択する [DATA\_DELAY\_CHAN\_SEL] タブによって複合)
  - VIO は、選択したラッチ イネーブル (たとえば、それぞれ CAPTURE\_DATA\_DELAY および CAPTURE\_DSC\_DELAY) に基づいてこの値をラッチします。

LOOPBACK、TX\_DIFF\_CTRL などの設定は、オプションです。VIO を使用してほかの値を選択しない場合は、[4 ページの表 2](#) で指定されたデフォルト値を使用してください。

## 特性評価

このセクションでは、SFI-5 インターフェイスを複数のデバイス上でテストし、次の動作パラメーターについて検証します。

- インターフェイスが、OIF 仕様で規定されているレシーバーのアイマスク要件を満たしているか
- スキュー調整能力が、最大スキュー補正要件を満たしているか、上回っているか
- 2 個の異なる FPGA 上の 2 つの SFI-5 インターフェイスは、ビット エラー率  $< 10^{-12}$  で長時間トラフィックを渡すか



図 20 は、SFI-5 トランスミッターが、複数の伝送媒体において 2.5Gb/s でレシーバーのアイマスク要件を満たしていることを示しています。最長の媒体は、10 インチの FR4、および SMA コネクタで終端された 72 インチの同軸ケーブルです。10 インチの FR4 は、すべてのケースで検討されています。

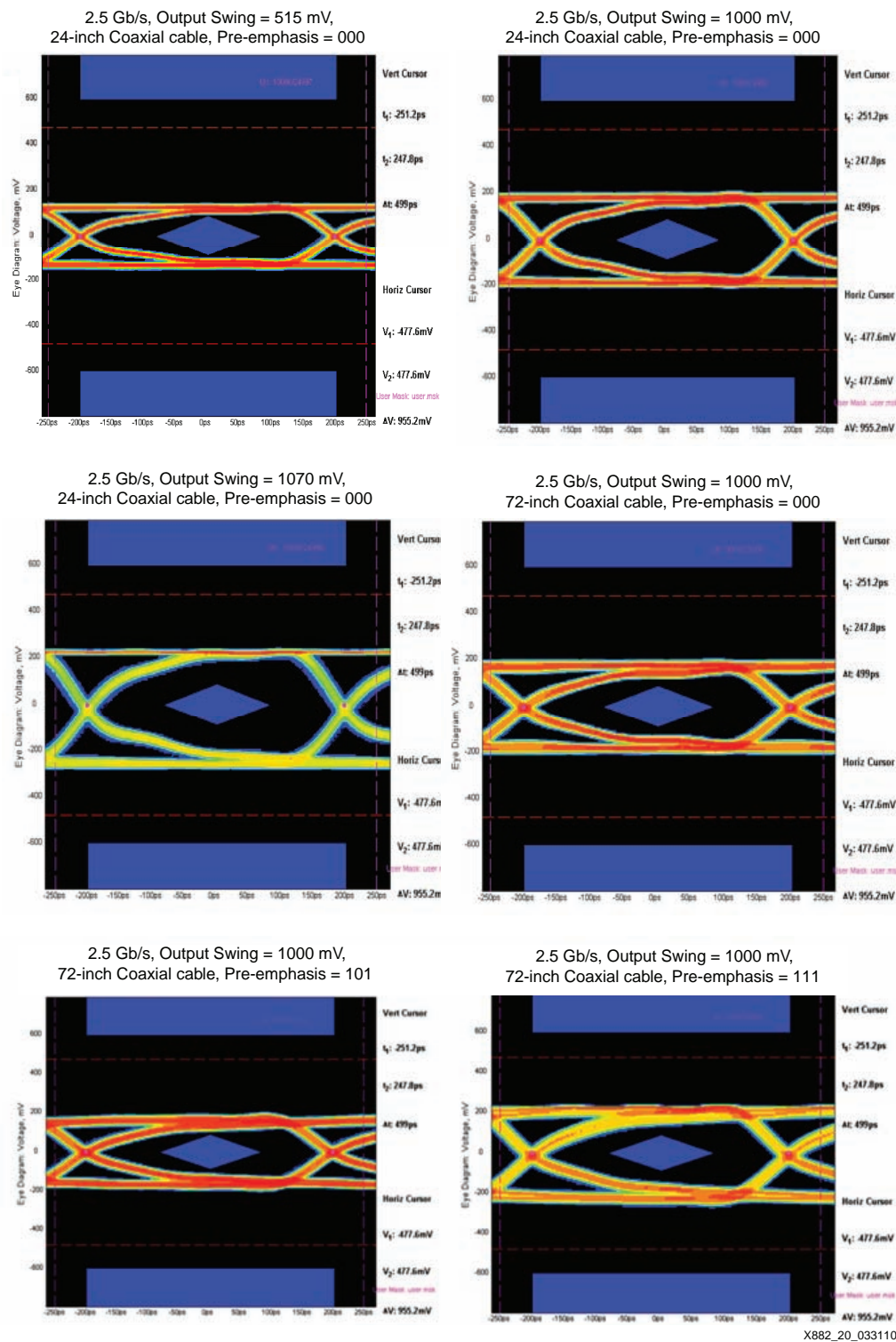
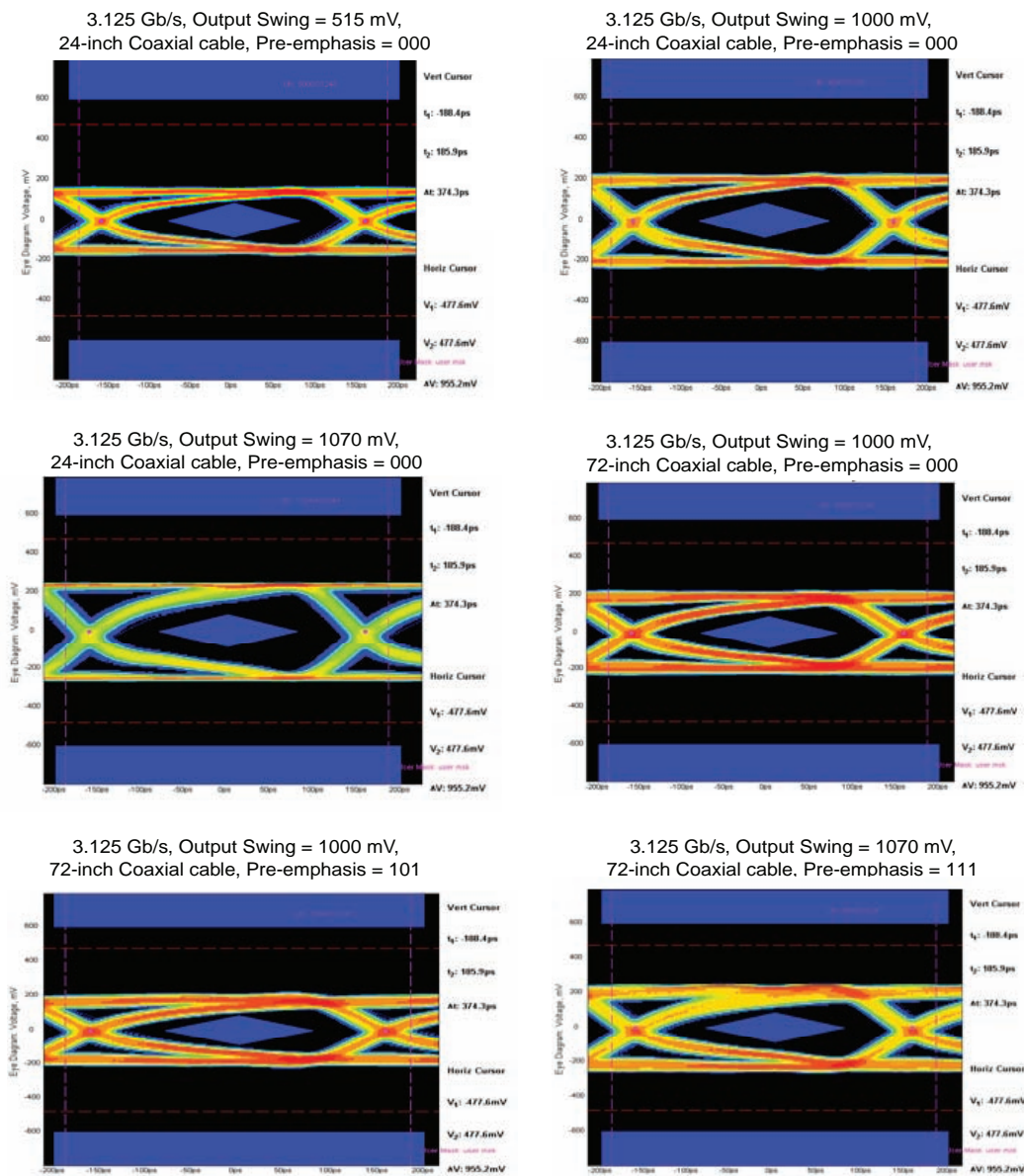


図 20 : 2.5Gb/s でのさまざまな媒体のアイマスク

図 21 は、図 20 と同じケースを示していますが、データ レートが 3.125Gb/s です。これは、50Gb/s の総インターフェイス速度に相当します。



X882\_21\_032910

図 21 : 3.125Gb/s でのさまざまな媒体のアイ マスク

SFI-5 インターフェイスの基準クロックは、オシレーターまたは SFI-5 リンク内の別のデバイスから供給できます。すべての SFI-5 トランスミッターが基準クロックを供給し、レシーバーはオプションでこれを使用できます。このクロックは TXDCK ポートで供給されます。40Gb/s のインターフェイスの基準クロックは 156.25MHz です。これを図 22 に示します。50Gb/s のインターフェイスの基準クロックは 195.3125MHz です。

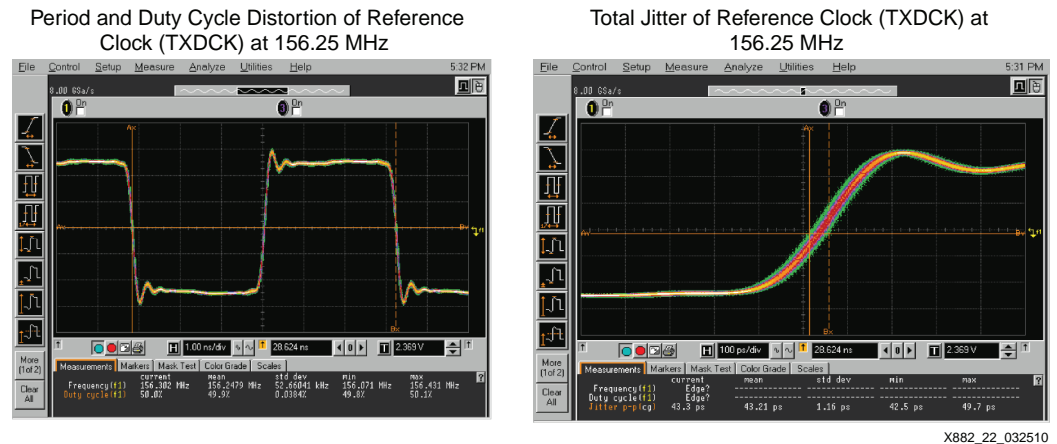


図 22 : レシーバーがオプションで使用する、トランスミッターから供給される基準クロック (TXDCK)

レシーバーのスキュー調整能力は、次を条件として 2 つの XC6VLX240T デバイスでテストされます。

- データ チャンネル 2 には 16 インチの追加スキュー (レシーバーで 6UI までのスキュー)
- 動作速度は 2.5Gb/s および 3.0Gb/s
- 一部のケースで複数回のリセット

これらすべての条件において、デバイスは外部でそれ自身にループバックされます。スキュー調整テストの別の方法では、独立した 2 つの XC6VLX240T デバイスがループバックなしで、SFI-5 インターフェイスを介してデータを交換します。このテスト ケースを図 23 に示します。これには、SFI-5 のシステム テストで使用された設定も示されています。

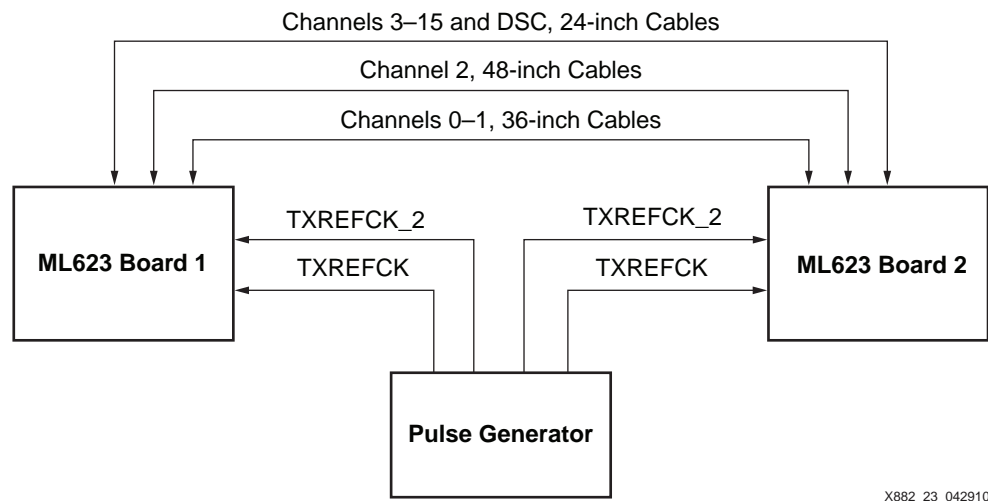


図 23 : システム テストの設定

両ボードに供給される基準クロックは、同期しています。3 種類のケーブル長を使用して、おおよそ 8UI に相当する、最大 24 インチのスキューを作成しました。オプションのインターフェイス設定は、4 ページの表 2 に示されているデフォルト値しました。

ML623 ボード 1 上の FPGA には、温度強制ユニットが加えられています。このユニットは、図 24 に示す温度傾斜を作成するようプログラムされており、約 8 時間でこのような状態を実現します。システムテストは、ML623 ボード 1 と ML623 ボード 2 それぞれを一度ずつ DUT として 2 回実施されました。両ケース共に、温度傾斜の完了後の不一致数、フレームエラー数、警告数はすべてゼロでした。

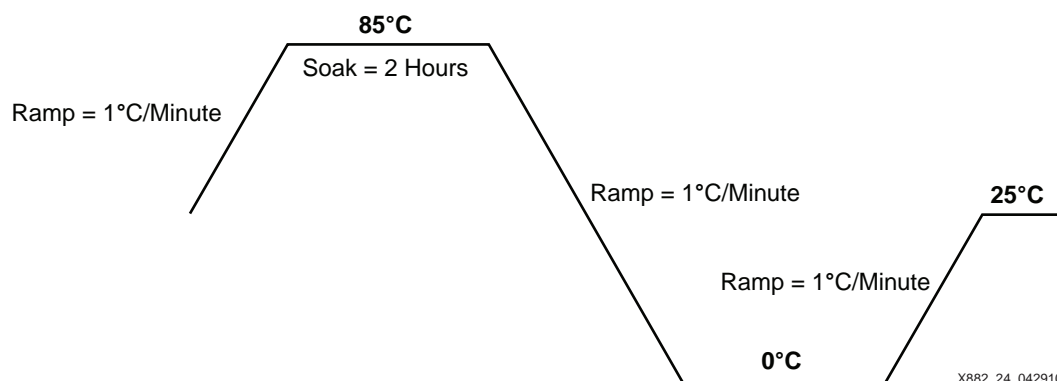


図 24 : システム テストの温度傾斜

図 25 および図 26 に、データ レートが 40Gb/s (2.5Gb/s x 16 チャンネル) でのボード 1 とボード 2 それぞれのスキュー調整結果を示します。

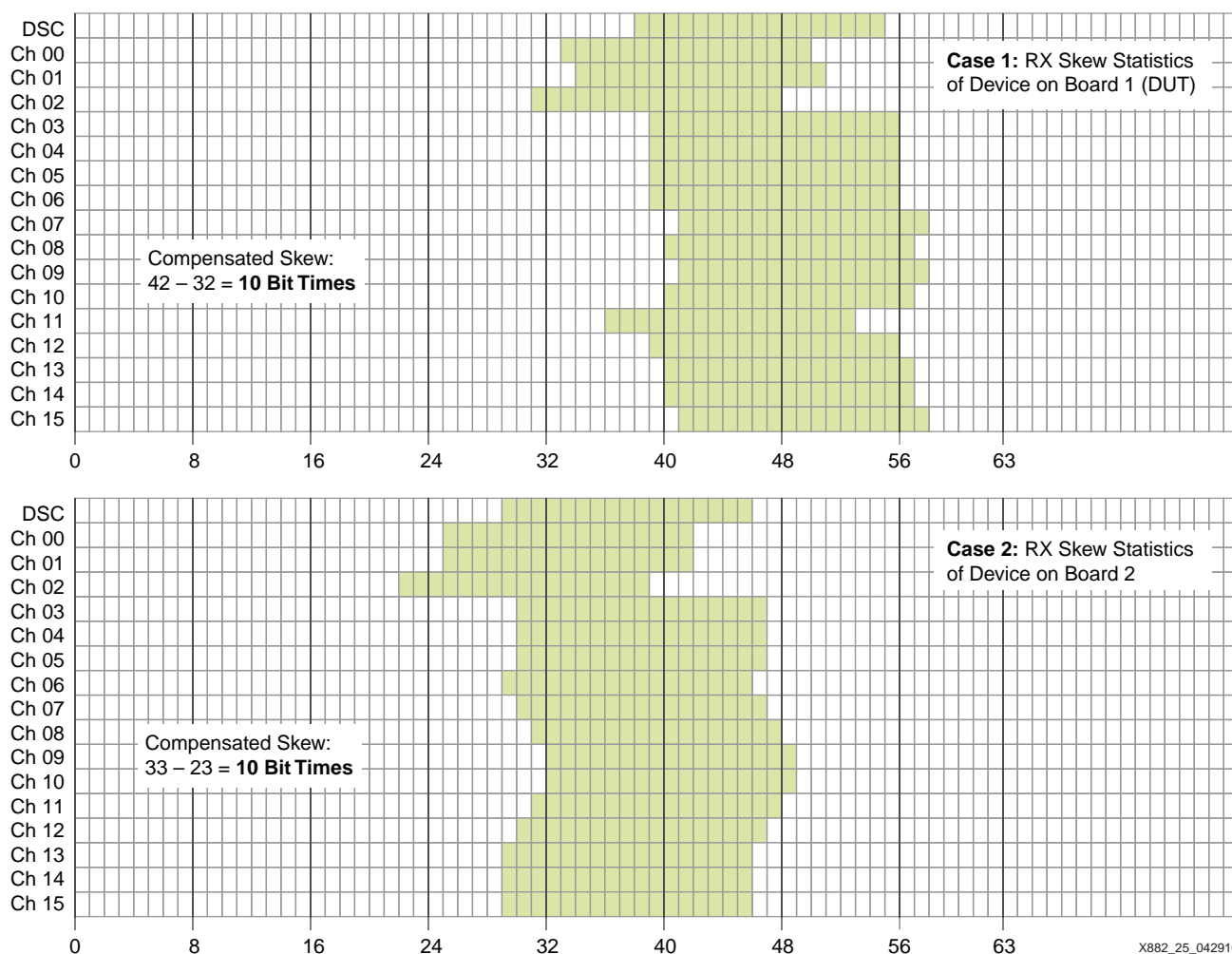


図 25 : システム テストのスキュー調整結果を示す全チャンネルのバレル シフター選択

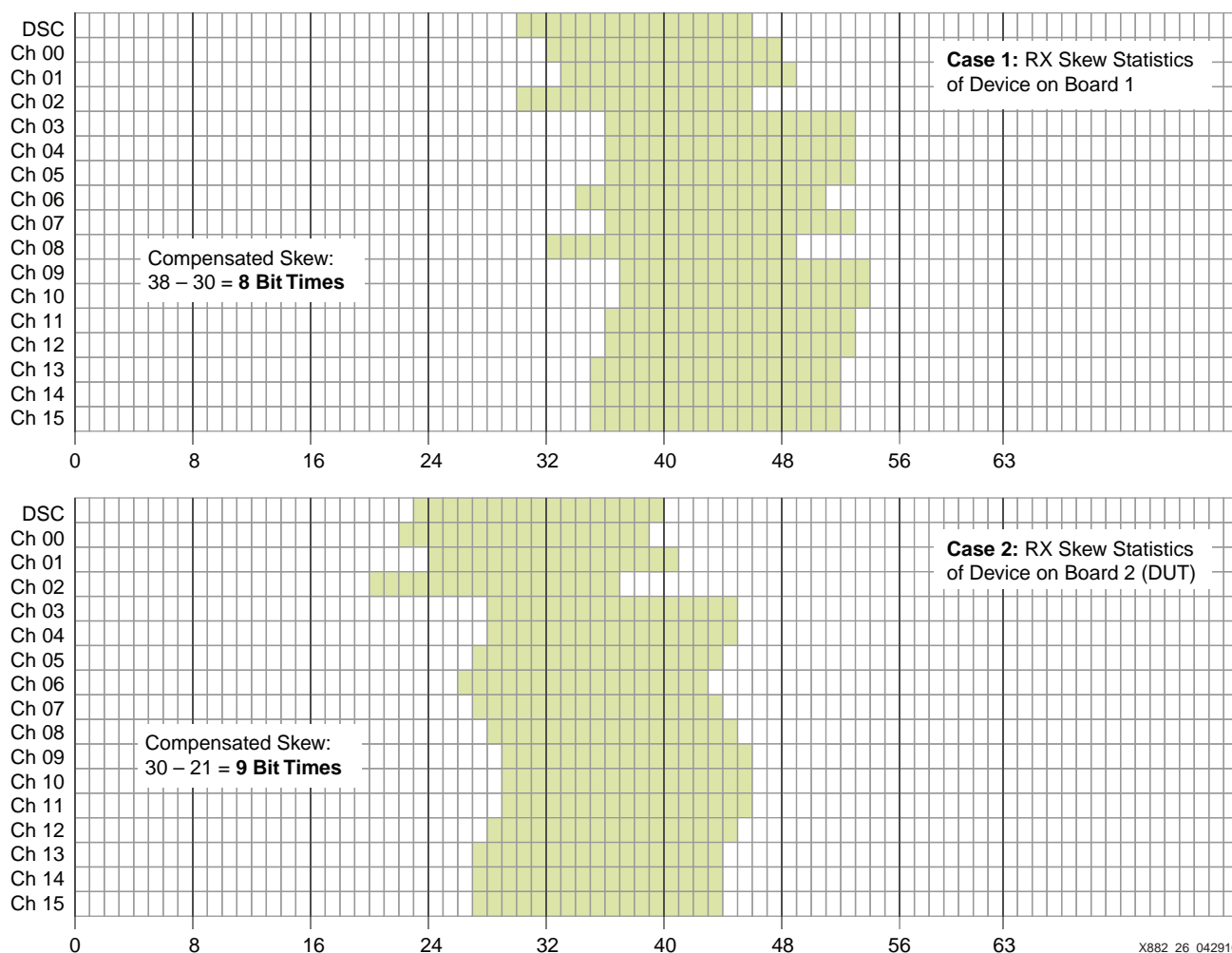


図 26 : システム テストのスキュー調整結果を示す全チャネルのバレル シフター選択

## リファレンス デザイン

このアプリケーション ノートのリファレンス デザインは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=144052>

表 4 に、リファレンス デザインの詳細を示します。

表 4 : リファレンス デザインの詳細

パラメーター	説明
<b>全般</b>	
開発元	ザイリンクス
ターゲット デバイス (ステッピング レベル、ES、製造、スピード グレード)	Virtex-6 FPGA
ソース コードの提供	実施済み
ソース コードの形式	Verilog
既存のリファレンス デザイン、アプリケーション ノート、サードパーティ、CORE Generator™ ツールからデザインへのコードまたは IP の使用	実施済み
<b>シミュレーション</b>	
機能シミュレーションの実施	実施済み
タイミングシミュレーションの実施	未実施

表 4：リファレンス デザインの詳細 (続き)

パラメーター	説明
機能およびタイミング シミュレーションでのテストベンチの利用	実施済み
テストベンチの形式	Verilog
使用したシミュレータ ソフトウェア/バージョン (ISE® ソフトウェア、Mentor、Cadence など)	Mentor Graphics、 バージョン 6.5c
SPICE/IBIS シミュレーション	未実施
<b>インプリメンテーション</b>	
合成のツールとバージョン	XST (ISE ソフトウェア、 バージョン 12.1)
インプリメンテーションのツールとバージョン	ISE ソフトウェア、 バージョン 12.1
スタティック タイミング解析の実施	実施済み
<b>ハードウェア検証</b>	
ハードウェア検証の実施	実施済み
検証に使用したハードウェア プラットフォーム	ML623

## 参考資料

このアプリケーション ノートでは、次の参考資料が使用されています。

1. SERDES フレーマー インターフェイス 5 (SFI-5) : 物理層デバイスでの 40Gb/s インターフェイスの実装合意、光インターネットワーク フォーラム (Optical Internetworking Forum)  
<http://www.oiforum.com/public/documents/OIF-SFI5-01.0.pdf>
2. [DS152](#) : 『Virtex-6 データシート : DC 特性およびスイッチ特性』
3. [UG366](#) : 『Virtex-6 FPGA GTX トランシーバー ユーザー ガイド』

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2010 年 4 月 9 日	1.0	初版リリース
2010 年 5 月 10 日	1.1	<a href="#">図 23</a> から <a href="#">図 26</a> を含め、「特性評価」にスキュー調整の説明を追加。

## Notice of Disclaimer

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.

本資料は英語版 (v1.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。  
資料によっては英語版の更新に対応していないものがあります。  
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、  
[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。