XILINX ALL PROGRAMMABLE

XAPP888 (v1.6.1) 2016 年 6 月 1 日

MMCM および PLL のダイナミック リコンフィギュレーション

著者: Jim Tatsukawa

概要

このアプリケーション ノートでは、7 シリーズおよび UltraScale™ FPGA のミックスド モード クロック マネージャー (MMCM) のクロック出力周波数、位相シフト、およびデューティ サイクルを動的に変更する方法について説明します。MMCM と同様に、位相ロック ループ (PLL) もダイナミック リコンフィギュレーション ポート (DRP) 経由で変更できます。内部の DRP 制御レジスタの動作は、ステート マシンを使用して DRP を駆動するリファレンス デザインからわかります。ステート マシンは、レジスタが正しい順序で制御されるように使用されます。

リファレンス デザインはそのままで動作するものですが、MMCM の機能を理解していることが推奨されます。MMCM および PLL 機能の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』(UG472: 英語版、日本語版) または『UltraScale アーキテクチャ クロッキング リソース ユーザー ガイド』(UG572: 英語版、日本語版) を参照してください。

このリファレンス デザインは、2 つのリコンフィギュレーション ステート アドレスをサポートしていますが、拡張してサポートするステートを追加することも可能です。それぞれのステートが MMCM または PLL のフル リコンフィギュレーションを行うため、ほぼすべてのパラメーターが変更できます。このデザインは、ファイン位相シフトを有効に設定したリコンフィギュレーションはサポートしません。

このアプリケーション ノートのリファレンス デザイン ファイルは、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「リファレンス デザイン」を参照してください。

はじめに

このアプリケーション ノートでは、MMCM または PLL のリコンフィギュレーションに必要な情報を提供し、ここで扱うすべてのアルゴリズムを実装するリファレンス デザインについて説明します。PLL と MMCM の機能は非常に類似していますが同じではありません。一部の機能がわずかに異なり、設定要件も異なるため、PLL のリファレンス デザインが別に提供されています。正しく動作させるには、リコンフィギュレーションの対象となるクロック マネージメント タイル (CMT) に適切なリファレンス デザインを使用する必要があります。

リコンフィギュレーションは DRP ポートを介して実行されます。DRP を使用することによって、通常はビットストリームでのみ初期化されるコンフィギュレーション ビットへのアクセスが可能となります。このため、デザインが動作中でも MMCM や PLL クロック出力を動的に変更できます。周波数、位相、およびデューティ サイクルすべてが動的に変更可能です。初期コンフィギュレーションまたはリコンフィギュレーション中は、ファイン位相シフトは利用できません。

「MMCM および PLL のコンフィギュレーション ビット グループ」セクションでは、コンフィギュレーション ビットを 5 つのグループに分け、それぞれの利用法について簡潔に説明しています。「DRP レジスタ」セクションでは、レジスタとしてのコンフィギュレーション ビットの位置について説明しています。この情報は、DRP リファレンス デザインを使用する場合は必要ありませんが、レジスタ位置に伴って変更しなければならない内部 MMCM の属性について説明するために提供しています。属性の計算方法に関する具体的な情報は、リファレンス デザインで提供されます。リファレンス デザインの機能および使用方法については、「リファレンス デザイン」および「リファレンス デザインの使用」セクションで解説しています。

MMCM および PLL のコンフィギュレーション ビット グループ

MMCM には ユーザーがアクセス可能なコンフィギュレーション ビット グループが 6 つあり、各クロック出力は個別にリコンフィギュレーションできます。6 つのグループは、分周器グループ、位相グループ、分数グループ、ロック グループ、フィルター グループ、パワー グループです。これらのコンフィギュレーション ビット グループは、MMCM プリミティブに内在し、MMCM_DRP リファレンス デザイン モジュールの動作を明確にするものです。このユーザー指定可能な MMCM_DRP モジュールのパラメーターについては、「リコンフィギュレーション モジュールのポートと属性」セクションで説明しています。

分周器グループ

すべてのクロック出力それぞれに関連する分周器グループがあります。このグループには次のパラメーターがあります。

- High Time
- Low Time
- No Count
- Edge

上記の最初の 2 つのパラメーターは、High 時間および Low 時間のカウンターです。これらのカウンターは、出力クロックが High または Low を保持しなければならない時間を VCO (電圧制御オシレーター) クロック サイクル数で指定します。たとえば、High Time と Low Time の両パラメーターを 2 に設定した場合の有効な分周値は 4 となり、デューティ サイクルは 50% です。

No Count パラメーターは、High Time および Low Time カウンターを両方無効にし、分周器が出力するクロック分周値を事実上 1 にします。

Edge パラメーターは、High から Low への遷移を制御します。High Time カウンターを最後のカウントの立ち下がりエッジで強制的に遷移させます。これは、High Time を増加させて、Low Time を減少させるという作用があります。つまり、エッジ ビットは、High Time に 1/2 VCO クロック サイクル分を追加して、Low Time から 1/2 クロック サイクル分を差し引きます。

たとえば、分周値が 3 で 50/50 のデューティ サイクルが要求される場合にエッジ ビットを設定します。High Time カウンターが 1 、Low Time カウンターが 2 に設定された場合、エッジ ビットを使用することで、Hign Time と Low Time それぞれのサイクル数が結果として 1.5 クロック サイクルになります。

位相グループ

DIVCLK を除くすべてのクロック出力それぞれに関連する位相グループがあります。このグループには、次のパラメーターがあります。

- Phase MUX
- Delay Time
- MX

Phase MUX は、VCO クロック周期に対して分解能 45° (360°/8) のクロック出力を生成するために、VCO からコース位相を選択します。

Delay Time は、出力を遅延させる VCO クロック サイクル数を数えるカウンターです。つまり、クロック出力で可能な位相シフトとその特定出力の分周値には直接的な相関関係があります。分周値が増加するほど、より細かい位相シフトが可能です。この Delay Time カウンターでは、最大 64 の VCO クロック サイクルの位相オフセットが可能です。

MX は、前の値とは無関係に、リコンフィギュレーション中は `2'b00` に設定する必要があります。このパラメーターによって、予想どおりの位相が確実に出力されます。

分数グループ

MMCM は、CLKOUT0 および CLKFBOUT カウンターの分数 (非整数) 値をサポートしています。分数値を使用する場合、CLKOUT0 および CLKFBOUT は次のパラメーターを追加します。

- FRAC_EN (CLKOUT0 または CLKFBOUT の分数値)
- FRAC (CLKOUT0 または CLKFBOUT の分数値)
- PHASE_MUX_F (CLKOUT0 または CLKFBOUT の分数値)
- FRAC_WF_R (CLKOUT0 または CLKFBOUT の分数値)
- FRAC_WF_F (CLKOUT0 または CLKFBOUT の分数値)

FRAC_EN は分数分周回路を有効にします。分数カウンターを有効にする場合、分周器グループおよび位相グループのパラメーターを再計算する必要があります。

FRAC パラメーターは、0.125 単位で増分する分周器の分数分周部分を表します。たとえば、FRAC(4) は 0.500 となります。

PHASE_MUX_F は、VCO クロック周期を基準とした、分解能 45° の立ち下がりエッジのコース位相です。また、PHASE_MUX_F を Low Time および High Time パラメーターと使用してデューティ サイクルを調整します。奇数の分数分周値 (0.125 または 0.375 など) については、正確に 50% のデューティ サイクルで出力できないため、1/8 VCO 周期シフトされたデューティ サイクルとなります。

FRAC_WF_R および FRAC_WF_F は、分数値に必要な内部 MMCM のタイミングを調整します。

CLKOUT0 の PHASE_MUX_F および FRAC_WF_F パラメーターは CLKOUT5 の ClkReg2 にあります (表 5 参照)。CLKOUT0 の分数の設定は CLKOUT5 に影響を与えません。同様に、CLKFBOUT の PHASE_MUX_F および FRAC_WF_F パラメーターは CLKOUT6 に影響を与えません (表 6 参照)。

ロック グループ

このグループは、アルゴリズムを使用して計算されるのではなく、デバイスの特性評価で作成されたルックアップ テーブルに基づきます。ロック ビットの適切な設定値は、フィードバック分周器の設定によって異なります。この分周器は、MMCM_DRP モジュールのインスタンシエート時に、CLKFBOUT_MULT 属性で設定されます。ロック グループは、MMCM のロックを検出する MMCM の性能に影響を与えます。ルックアップ テーブルは、リファレンス デザインの `mmcm_drp_func.h` にあります。

フィルター グループ

このグループは計算されるのではなく、デバイスの特性評価で作成されたルックアップ テーブルに基づきます。各帯域幅設定に対して 1 つ、実際に 2 つのテーブルがあります。フィードバック分周器の設定 (CLKFBOUT_MULT) が、選択されたテーブルのインデックスとして機能します。ツールには 3 種類の帯域幅設定 (High、Low、および Optimized) がありますが、実際には 2 つのみです。High と Optimized は同じテーブルを使用し、Low は別のテーブルを使用します。フィルター グループは、MMCM の位相スキューやジッター フィルタリングの性能に影響を与えます。ルックアップ テーブルは、リファレンス デザインの `mmcm_drp_func.h` にあります。

パワー グループ

このグループによって、動的リコンフィギュレーション動作が正常に機能します。リコンフィギュレーション実行時には、このグループに関連するすべてのビットを有効にする必要があります。

DRP レジスタ

MMCM では、17 個のコンフィギュレーション レジスタが分周ビットおよび位相ビットのグループを格納します。8 つのクロック出力 (CLKOUT[6:0] と CLKFBOUT) それぞれに 2 つのコンフィギュレーション レジスタがあり、合計 16 個のレジスタがあります。16 個のレジスタは、図 1 に O[6:0] と M で表しています。その他に DIVCLK_DIVIDE と関連付けられたレジスタが 1 つあり、これは MMCM の入力パス上に配置されています。DIVCLK_DIVIDE は、図 1 に D として表しています。

PLL は MMCM とほぼ同じ構成ですが、異なる点については図 1 のブロック図および以降の表で説明します。

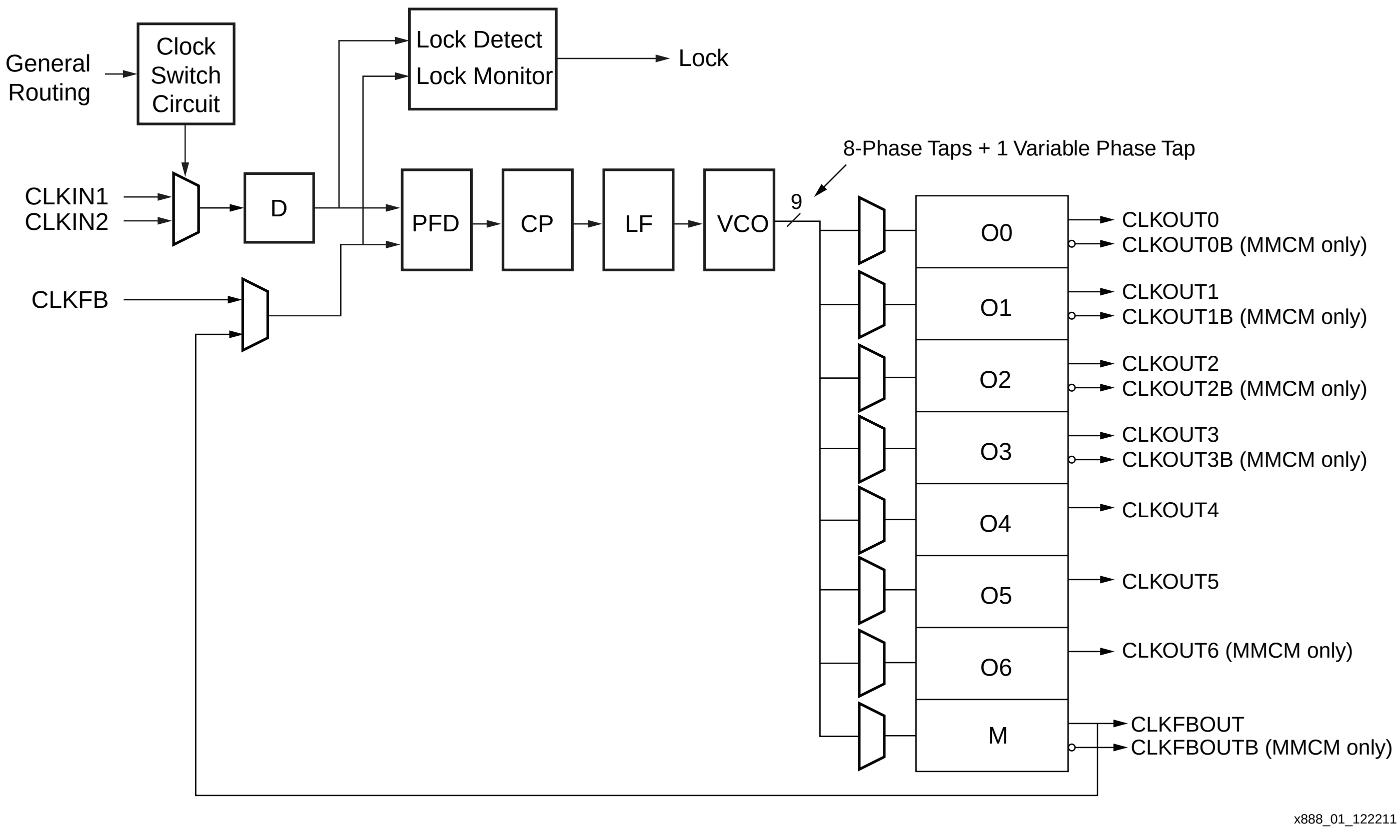

図 1: MMCM および PLL のブロック図

同じビット配置を持つ 16 個のレジスタは、CLKREG1 と CLKREG2 の 2 つのレジスタに分けられます。CLKREG1 と CLKREG2 のビットマップを表 1 〜表 7 に示します。表 1 〜表 14 に、レジスタのビットマップを示します。

表 1: CLKOUT[6:0] および CLKFBOUT 用 ClkReg1 のビットマップ

ClkReg1	7 シリーズ ビット	UltraScale ビット	説明
PHASE MUX	[15:13]	[15:13]	クロック出力に対して最初の位相オフセット値を選択します。分解能は 1/8 VCO 周期です。UltraScale PLLE3 では使用できません。
RESERVED	[12]	[12]	ここに格納された前の値を保持します。
HIGH TIME	[11:6]	[11:6]	クロック出力が High を保持する時間を VCO 周期を単位として設定します。
LOW TIME	[5:0]	[5:0]	クロック出力が Low を保持する時間を VCO 周期を単位として設定します。

表 2: CLKOUT[0] 用 ClkReg2 のビットマップ

ClkReg2	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15]	[15]	CDDC 用に予約されています。
FRAC	[14:12]	[14:12]	CLKOUT0 の分数分周カウンターの設定です。1/8 の分周増分に相当します。
FRAC_EN	[11]	[11]	CLKOUT0 の分数分周回路を有効にします。
FRAC_WF_R	[10]	[10]	分数カウンターの使用時にデューティ サイクルの精度を向上するため CLKOUT0 の立ち上がりエッジを調整します。
MX	[9:8]	[9:8]	`2'b00` に設定する必要があります。
EDGE	[7]	[7]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[6]	[6]	High Time および Low Time カウンターを迂回します。
DELAY TIME	[5:0]	[5:0]	VCO 周期と同じ分解能の位相オフセットです。

表 3: CLKOUT[1] 用 ClkReg2 のビットマップ

ClkReg2	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15:10]	[15]	ここに格納された前の値を保持します。
CLKOUTPHY_MODE		[14:13]	PLLE3 の場合、VCO 周波数に基づいて CLKPHYOUT 周波数を決定します。
RESERVED		[12:11]	ここに格納された前の値を保持します。
RESERVED		[10]	CDDC 用に予約されています。
MX	[9:8]	[9:8]	`2'b00` に設定する必要があります。
EDGE	[7]	[7]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[6]	[6]	High Time および Low Time カウンターを迂回します。
DELAY TIME	[5:0]	[5:0]	VCO 周期と同じ分解能の位相オフセットです。

表 4: CLKOUT[4:2] 用 ClkReg2 のビットマップ

ClkReg2	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15:10]	[15:11]	ここに格納された前の値を保持します。
RESERVED		[10]	CDDC 用に予約されています。
MX	[9:8]	[9:8]	`2'b00` に設定する必要があります。
EDGE	[7]	[7]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[6]	[6]	High Time および Low Time カウンターを迂回します。
DELAY TIME	[5:0]	[5:0]	VCO 周期と同じ分解能の位相オフセットです。

表 5: CLKOUT[5] および CLKOUT[0] (分数) 用 ClkReg2 のビットマップ

ClkReg2	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15:14]		ここに格納された前の値を保持します。
PHASE_MUX_F_CLKOUT0	[13:11]	[15:13]	分数カウンターの使用時に必要は CLKOUT0 データです。クロック出力の立ち下がりエッジに対する最初の位相オフセットを選択します。分解能は 1/8 VCO 周期です。UltraScale PLLE3 ではサポートされていません。

表 5: CLKOUT[5] および CLKOUT[0] (分数) 用 ClkReg2 のビットマップ (続き)

ClkReg2	7 シリーズ ビット	UltraScale ビット	説明
FRAC_WF_F_CLKOUT0	[10]	[12]	分数カウンターの使用時にデューティ サイクルの精度を向上するため CLKOUT0 の立ち下がりエッジを調整します。
RESERVED		[11]	ここに格納された前の値を保持します。
RESERVED		[10]	CDDC 用に予約されています。
MX	[9:8]	[9:8]	`2'b00` に設定する必要があります。
EDGE	[7]	[7]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[6]	[6]	High Time および Low Time カウンターを迂回します。
DELAY TIME	[5:0]	[5:0]	VCO 周期と同じ分解能の位相オフセットです。

表 6: CLKOUT[6] および CLKFBOUT (分数) 用 ClkReg2 のビットマップ

ClkReg2	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15:14]		ここに格納された前の値を保持します。
PHASE_MUX_F_CLKFB	[13:11]	[15:13]	分数カウンターの使用時に必要は CLKFBOUT データです。クロック出力の立ち下がりエッジに対する最初の位相オフセットを選択します。分解能は 1/8 VCO 周期です。
FRAC_WF_F_CLKFB	[10]	[12]	分数カウンターの使用時にデューティ サイクルの精度を向上するため CLKFBOUT の立ち下がりエッジを調整します。
RESERVED		[11]	ここに格納された前の値を保持します。
RESERVED		[10]	CDDC 用に予約されています。
MX	[9:8]	[9:8]	`2'b00` に設定する必要があります。
EDGE	[7]	[7]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[6]	[6]	High Time および Low Time カウンターを迂回します。
DELAY TIME	[5:0]	[5:0]	VCO 周期と同じ分解能の位相オフセットです。

表 7: CLKFBOUT 用 ClkReg2 のビットマップ

ClkReg2	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15]	[15]	ここに格納された前の値を保持します。
FRAC	[14:12]	[14:12]	CLKFBOUT の分数分周カウンターの設定です。1/8 の分周増分に相当します。
FRAC_EN	[11]	[11]	CLKFBOUT の分数分周回路を有効にします。
FRAC_WF_R	[10]	[10]	分数カウンターの使用時にデューティ サイクルの精度を向上するため CLKFBOUT の立ち上がりエッジを調整します。
MX	[9:8]	[9:8]	`2'b00` に設定する必要があります。
EDGE	[7]	[7]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[6]	[6]	High Time および Low Time カウンターを迂回します。
DELAY TIME	[5:0]	[5:0]	VCO 周期と同じ分解能の位相オフセットです。

表 8 に、入力分周器 D に関連するレジスタのビットマップを示します。入力分周器には位相調整がないため、1 つのレジスタのみ必要です。

表 8: DivReg のビットマップ

DivReg	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15:14]	[15:14]	ここに格納された前の値を保持します。
EDGE	[13]	[13]	High Time カウンターが遷移するエッジを選択します。
NO COUNT	[12]	[12]	High Time および Low Time カウンターを迂回します。
HIGH TIME	[11:6]	[11:6]	クロック出力が High を保持する時間を VCO 周期を単位として設定します。
LOW TIME	[5:0]	[5:0]	クロック出力が Low を保持する時間を VCO 周期を単位として設定します。

MMCM のプログラミング内容に基づいて、その他に 3 つの LOCK コンフィギュレーション レジスタも変更が必要です。これらの値は、リファレンス デザインで自動設定されます。

表 9: LockReg1 のビットマップ

LockReg1	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15:10]	[15:10]	ここに格納された前の値を保持します。
LKTABLE[29:20]	[9:0]	[9:0]	これらのビットは、リファレンス デザインにあるルックアップテーブルから取得します。

表 10: LockReg2 のビットマップ

LockReg2	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15]	[15]	ここに格納された前の値を保持します。
LKTABLE[34:30]	[14:10]	[14:10]	これらのビットは、リファレンス デザインにあるルックアップテーブルから取得します。
LKTABLE[9:0]	[9:0]	[9:0]	これらのビットは、リファレンス デザインにあるルックアップテーブルから取得します。

表 11: LockReg3 のビットマップ

LockReg3	7 シリーズ ビット	UltraScale ビット	説明
RESERVED	[15]	[15]	ここに格納された前の値を保持します。
LKTABLE[39:35]	[14:10]	[14:10]	これらのビットは、リファレンス デザインにあるルックアップテーブルから取得します。
LKTABLE[19:10]	[9:0]	[9:0]	これらのビットは、リファレンス デザインにあるルックアップテーブルから取得します。

フィルター グループは 10 ビットで構成されており、これらは 2 つのレジスタに格納されています。表 12 および表 13 に、レジスタのビットマップを示します。

表 12: FiltReg1 のビット マップ

FiltReg1	7 シリーズ ビット	UltraScale ビット	説明
TABLE[9]	[15]	[15]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[14:13]	[14:13]	ここに格納された前の値を保持します。
TABLE[8:7]	[12:11]	[12:11]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[10:9]	[10:9]	ここに格納された前の値を保持します。
TABLE[6]	[8]	[8]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[7:0]	[7:0]	ここに格納された前の値を保持します。

表 13: FiltReg2 のビット マップ

FiltReg2	7 シリーズ ビット	UltraScale ビット	説明
TABLE[5]	[15]	[15]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[14:13]	[14:13]	ここに格納された前の値を保持します。
TABLE[4:3]	[12:11]	[12:11]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[10:9]	[10:9]	ここに格納された前の値を保持します。
TABLE[2:1]	[8:7]	[8:7]	これらのビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[6:5]	[6:5]	ここに格納された前の値を保持します。
TABLE[0]	[4]	[4]	このビットは、リファレンス デザインにあるルックアップ テーブルから取得します。
予約済み	[3:0]	[3:0]	ここに格納された前の値を保持します。

パワー ビットは、表 14 にビットマップを示す 1 つのレジスタに格納されます。

表 14: PowerReg のビット マップ

PowerReg	7 シリーズ ビット	UltraScale ビット	説明
POWER	[15:0]	[15:0]	DRP を実行している間、これらのビットはすべて High に設定されていなければなりません。

表 15 に、DRP レジスタのアドレスを示します。

表 15: DRP のアドレス マップ

アドレス	配置	説明
`0x06`	ClkReg1	CLKOUT5 レジスタ 1
`0x07`	ClkReg2	CLKOUT5 レジスタ 2
`0x08`	ClkReg1	CLKOUT0 レジスタ 1
`0x09`	ClkReg2	CLKOUT0 レジスタ 2

表 15: DRP のアドレス マップ (続き)

アドレス	配置	説明
0x0A	ClkReg1	CLKOUT1 レジスタ 1
0x0B	ClkReg2	CLKOUT1 レジスタ 2
0x0C	ClkReg1	CLKOUT2 レジスタ 1 (PLLE3 では利用不可)
0x0D	ClkReg2	CLKOUT2 レジスタ 2 (PLLE3 では利用不可)
0x0E	ClkReg1	CLKOUT3 レジスタ 1 (PLLE3 では利用不可)
0x0F	ClkReg2	CLKOUT3 レジスタ 2 (PLLE3 では利用不可)
0x10	ClkReg1	CLKOUT4 レジスタ 1 (PLLE3 では利用不可)
0x11	ClkReg2	CLKOUT4 レジスタ 2 (PLLE3 では利用不可)
0x12	ClkReg1	CLKOUT6 レジスタ 1 (PLLE2 または PLLE3 では利用不可)
0x13	ClkReg2	CLKOUT6 レジスタ 2 (PLLE2 または PLLE3 では利用不可)
0x14	ClkReg1	CLKFBOUT レジスタ 1
0x15	ClkReg2	CLKFBOUT レジスタ 2
0x16	DivReg	DIVCLK レジスタ
0x18	LockReg1	ロック レジスタ 1
0x19	LockReg2	ロック レジスタ 2
0x1A	LockReg3	ロック レジスタ 3
0x27	PowerReg	パワー レジスタ (UltraScale)
0x28	PowerReg	パワー レジスタ (7 シリーズ)
0x4E	FiltReg1	フィルター レジスタ 1
0x4F	FiltReg2	フィルター レジスタ 2

リファレンス デザイン

リファレンス デザイン ファイルには、Verilog の MMCM リコンフィギュレーション モジュールが含まれています。このモジュールは、24 個のスライスのみを使用してリコンフィギュレーション ロジックとステート マシン メモリを構成しています。

リファレンス デザインは、ステート マシンで DRP ポートを駆動します。ステート マシンは、MMCM のアドレスを指定して前の値を読み出し、変更が必要なビットをマスクしてから新しい値を設定して、最後に MMCM DRP ポートへ値を書き込みます。アドレス値、マスク値、および新しい値は、あらかじめ初期化されている ROM に格納されます。この ROM へは合成プロセスのエラボレーション中に書き込まれます。ROM は、リファレンス デザインで提供されている定数関数で初期化されます。

図 2 に、リコンフィギュレーション モジュールのブロック図を示します。

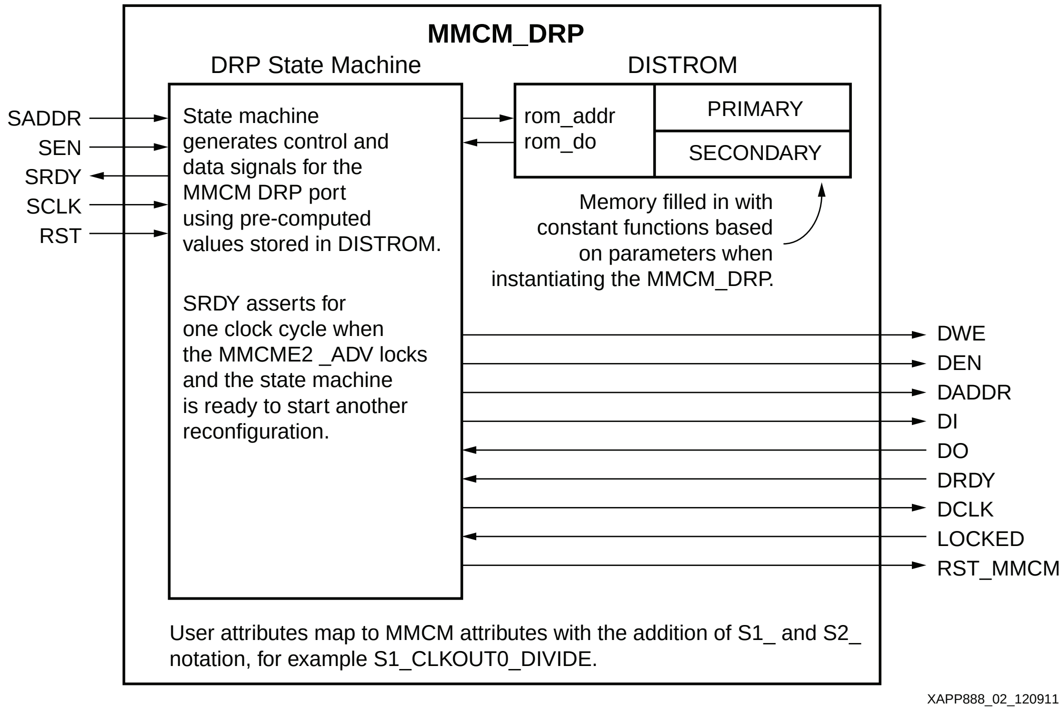

図 2: MMCM_DRP の内部ブロック図

mmcm_drp.v モジュールには、ステート マシンと ROM が含まれており、mmcm_drp_func.h で定義されている定数関数を呼び出します。

図 3 に、mmcme2_adv プリミティブおよび mmcm_drp モジュールが接続されたシステムのブロック図を示します。

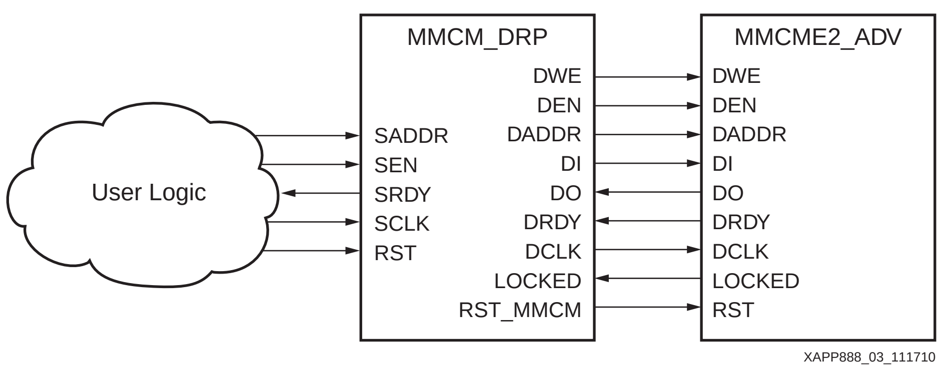

図 3: リファレンス デザインのブロック図

DRP ステート マシン

DRP ステート マシンは、表 16 に示す 9 個のステートで構成されており、`mmcm_drp` モジュールから送信されるすべての信号を制御します。

表 16: DRP ステート

State	説明	次のステート	遷移の条件
RESTART	SRST ピンがアサート、または current_state が未定義ステートに遷移すると、このステートへ遷移します。	WAIT_LOCK	SRST = 0
WAIT_LOCK	MMCM からの LOCK 信号がアサートされるまで待機します。LOCK 信号がアサートされると、SRDY = 1 となります。	WAIT_SEN	LOCK = 1
WAIT_SEN	SEN がアサートされるまで待機し、SADDR に従って適切な ROM アドレスを設定します。	ADDRESS	SEN = 1
ADDRESS	WAIT_SEN または WAIT_DRDY のいずれかのステートから遷移します。ROM に格納された現在値に基づいて DADDR を設定し、DEN をアサートします。	WAIT_A_DRDY	<always>
WAIT_A_DRDY	常に ADDRESS ステートから遷移します。MMCM が DRDY 信号をアサートするまで待機します。	BITMASK	DRDY = 1
BITMASK	WAIT_A_DRDY ステートから遷移します。MMCM の DO で、ROM に格納されているマスク値とビット単位の論理積 (AND) を計算します。	BITSET	<always>
BITSET	常に BITMASK ステートから遷移します。ROM に格納されているビットセットと BITMASK 動作の出力からビット単位の論理和 (OR) を計算します。	WRITE	<always>
WRITE	DEN、DWE、および RST_MMCM をアサートします。フル リコンフィギュレーションを 1 回実行するのに必要なレジスタ書き込み数を把握するためのステート カウンターを更新します。	WAIT_DRDY	<always>
WAIT_DRDY	MMCM が DRDY 信号をアサートするまで待機します。	ADDRESS (state_count > 0) WAIT_LOCK (state_count ≤ 0)	DRDY = 1

MMCM の値を 1 つの値にリコンフィギュレーションするには、次を実行する必要があります。

- MMCM に対して RST をアサートする (ディアサートしない)
- MMCM の DADDR を設定して DEN を 1 クロック サイクル間アサートする
- MMCM が DRDY 信号をアサートするまで待機する
- DO ポートと MASK のビット単位の論理積 (AND) を実行する (DI = DO AND MASK)
- DI 信号と BITSET のビット単位の論理和 (OR) を実行する (DI = DI | BITSET)
- MMCM で DEN と DWE を 1 クロック サイクル間アサートする
- MMCM が DRDY 信号をアサートするまで待機する
- MMCM に対して RST をディアサートする
- MMCM がロックするまで待機する

リコンフィギュレーション モジュールのポートと属性

リコンフィギュレーション モジュールには、表 17 に示すポートがあります。

表 17: ダイナミック リコンフィギュレーション ポート

ポート	方向	説明
SADDR	入力	MMCM をリコンフィギュレーションするステートを選択します。0 はステート 1 、1 はステート 2 に相当します。
SEN	入力	リコンフィギュレーション ステート マシンを有効にします。SCLK の立ち上がりエッジでこのポートがアサートされると、リコンフィギュレーション動作が開始されます。
SCLK	入力	リコンフィギュレーション モジュールのクロックです。DCLK 出力へ接続されています。
RST	入力	ステート マシンと下位の MMCM をリセットします。
SRDY	出力	リコンフィギュレーション シーケンス完了時に、1 クロック サイクル間アサートします。新しいリコンフィギュレーションが開始できることをユーザーに知らせます。
DO[15:0]	入力	MMCM DO ポートへ直接接続する必要があります。MMCM からのレジスタ値の読み出しに使用されます。
DRDY	入力	MMCM DRDY ポートへ直接接続する必要があります。MMCM の読み出し準備または新しい値の書き込み準備が整ったことをリファレンス デザインに伝えます。
LOCKED	入力	MMCM LOCKED ポートへ直接接続する必要があります。MMCM がロックされ、WAIT_LOCK ステートから遷移したことをリファレンス デザインに伝えます。
DWE	出力	MMCM DWE ポートへ直接接続する必要があります。レジスタへの書き込みを有効にします。
DEN	出力	MMCM DEN ポートへ直接接続する必要があります。レジスタの読み出しまたは書き込みの開始に使用されます。
DADDR[6:0]	出力	MMCM DADDR ポートへ直接接続する必要があります。読み出しまたは書き込みのレジスタ位置のアドレス指定に使用されます。
DI[15:0]	出力	MMCM DI ポートへ直接接続する必要があります。書き込み用の新しいレジスタ値の出力に使用されます。
DCLK	出力	MMCM DCLK ポートへ直接接続する必要があります。MMCM のリコンフィギュレーション ポートへのクロック供給に使用されます。MMCM リコンフィギュレーション モジュールから渡される SCLK 信号です。
RST_MMCM	出力	MMCM RST ポートへ直接接続する必要があります。リコンフィギュレーション中、または RST 入力ポートがアサートされた場合の MMCM のリセットに使用されます。

リコンフィギュレーション モジュールには、表 18 に示す属性もあります。MMCM_DRP の属性は、標準の MMCM プリミティブの属性と関連していますが、一部の名前が異なります。

表 18: ダイナミック リコンフィギュレーションの属性

属性	説明	有効値
CLKFBOUT_MULT	MMCM の VCO 出力周波数を変更するために、入力クロックの乗算器を変更します。	2 ～ 64 (整数値のみ)
CLKFBOUT_PHASE	入力クロックの位相を変更します。この属性は、すべての MMCM 出力に影響を与えます。	1000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。

表 18: ダイナミック リコンフィギュレーションの属性 (続き)

属性	説明	有効値
CLKFBOUT_FRAC	CLKFBOUT の分数分周値	0 ～ 875 の値を設定できます。1000 を掛けた分数乗算値を示します。たとえば、CLKFBOUT_DIVIDE(8) および CLKFBOUT_FRAC(125) の場合は 8.125 となります。
CLKFBOUT_FRAC_EN	分数分周の CLKFBOUT イネーブル	1 の場合、分数分周アルゴリズムを使用してレジスタの設定値を計算します。0 の場合、デフォルトの計算値が使用され、CLKFBOUT_FRAC は無視されます。
CLKOUTPHY_MODE	VCO 周波数に基づいて CLKOUTPHY 周波数を決定します。	VCO_2X、VCO、VCO_HALF
BANDWIDTH	MMCM のバンド幅を設定します。	OPTIMIZED、HIGH、または LOW
DIVCLK_DIVIDE	DIVCLK 出力の分周値を設定します。	1 ～ 106 (MMCM)、1 ～ 56 (PLL) (整数値のみ)
CLKOUT0_DIVIDE	CLKOUT0 出力の分周値	1 ～ 128 (整数値のみ)
CLKOUT0_PHASE	CLKOUT0 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。
CLKOUT0_FRAC	CLKOUT0 の分数分周値	0 ～ 875 の値を設定できます。1000 を掛けた分数分周値です。たとえば、CLKOUT0_DIVIDE(8) および CLKOUT0_FRAC(125) の場合は 8.125 となります。
CLKOUT0_FRAC_EN	分数分周の CLKOUT0 イネーブル	1 の場合、分数アルゴリズムを使用してレジスタの設定値を計算します。0 の場合、デフォルトの計算値が使用され、CLKOUT0_FRAC は無視されます。
CLKOUT0_DUTY	CLKOUT0 デューティ サイクルの Low 時間を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT1_DIVIDE	CLKOUT1 出力の分周値	1 ～ 128 (整数値のみ)
CLKOUT1_PHASE	CLKOUT1 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。
CLKOUT1_DUTY	CLKOUT1 デューティ サイクルの Low 時間を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT2_DIVIDE	CLKOUT2 出力の分周値	1 ～ 128 (整数値のみ)
CLKOUT2_PHASE	CLKOUT2 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。
CLKOUT2_DUTY	CLKOUT2 デューティ サイクルの Low 時間を変更します。	1,000 を掛けた整数値。たとえば、60/40 デューティ サイクルの場合は 60000 となります。
CLKOUT3_DIVIDE	CLKOUT3 出力の分周値	1 ～ 128 (整数値のみ)
CLKOUT3_PHASE	CLKOUT3 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。
CLKOUT3_DUTY	CLKOUT3 デューティ サイクルの Low 時間を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT4_DIVIDE	CLKOUT4 出力の分周値	1 ～ 128 (整数値のみ)

表 18: ダイナミック リコンフィギュレーションの属性 (続き)

属性	説明	有効値
CLKOUT4_PHASE	CLKOUT4 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。
CLKOUT4_DUTY	CLKOUT4 デューティ サイクルの Low 時間を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT5_DIVIDE	CLKOUT5 出力の分周値	1 〜 128 (整数値のみ)
CLKOUT5_PHASE	CLKOUT5 出力の位相値	1000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。
CLKOUT5_DUTY	CLKOUT5 デューティ サイクルの Low 時間を変更します。	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。
CLKOUT6_DIVIDE	CLKOUT6 出力の分周値(MMCM のみ)	1 〜 128 (整数値のみ)
CLKOUT6_PHASE	CLKOUT6 出力の位相値(MMCM のみ)	1,000 を掛けた整数値。たとえば、45° の位相シフトは 4500 となります。
CLKOUT6_DUTY	CLKOUT6 デューティ サイクルの Low 時間を変更します。(MMCM のみ)	100,000 を掛けた整数値。たとえば、0.60 デューティ サイクルの場合は 60000 となります。

リファレンス デザインの使用

デザインの機能性

`mmcm_drp.v` ファイルは、2 種類のリコンフィギュレーション可能なステートで記述されています。それらは、表 18 に示す属性名の始めに S1_ または S2_ を付けて区別されています。各ステートのパラメーターは個別に変更できます。また、「デザインの検証」セクションで説明されているように、別のステートを追加したり、レジスタへの書き込みを削除することも可能です。

この 2 つのステート間を切り替える場合は、まず SRDY がアサートされるまで待機します。SRDY がアサートされると、ステートマシンのリコンフィギュレーション開始準備が整います。SADDR ポートは、DRP ポートを介して MMCM へロードするステートを指定します。デザインが未変更の場合、0 はステート 1 をロードし、1 はステート 2 をロードします。SEN を 1 クロック サイクル間パルスすると、リコンフィギュレーションがトリガーされ、MMCM DRP デザインに設定されたすべての属性がロードされます。リコンフィギュレーション完了後、SRDY ポートがアサートされて MMCM は新しいステートの属性を持った状態となります。

デザインの検証

リファレンス デザインは、デザインの特定要件に合せて変更することを前提としています。変更プロセスはユーザーに委ねられていますが、そのプロセスにおいて一般的な手順を正当なものとする共通要件があります。まず、ヘッダー ファイル `mmcm_drp_func.h` は変更できないことに注意してください。デザインの特定要件に合せて変更する主なファイルは、`mmcm_drp.v` です。デザインを変更する際には、付属資料を熟読して、`mmcm_drp.v` のリコンフィギュレーション インターフェイスの機能を十分理解しておく必要があります。

一般的な状況の 1 つ目として、両ステートの以前の CLKOUT# コンフィギュレーションを保持する場合があります。たとえば、CLKOUT4 の前のコンフィギュレーションを保持するには、`mmcm_drp.v` を 2 箇所変更する必要があります。

- ROM の初期設定を変更して 2 つの CLKOUT4 レジスタを削除します。この場合、MMCM の `0x10` および `0x11` レジスタを変更するエントリを削除する必要があります。レジスタ エントリを削除した場合、初期化アドレスが連続するように ROM の初期設定を変更します。
- ROM の初期設定から 2 つのレジスタが削除されたため、それを反映させるために STATE_COUNT_CONST を変更する必要があります。

次に考えられるデザイン変更には、リファレンス デザインに 3 つ目のステートを追加する場合が挙げられます。この場合、S3_ で開始するパラメーター、定数関数の呼び出し、および ROM の初期設定を作成するために、S#_ (# は数字) を含むすべてのパラメーターを複製する必要があります。3 つ目のステートがアドレス指定されるように SADDR ポートを変更し、また SADDR に基づいて最初の ROM リコンフィギュレーション アドレスを設定できるように WAIT_SEN ステートを更新する必要があります。

デザインの検証

リファレンス デザインは、ハードウェア検証およびシミュレーションを実行済みです。したがって、シミュレーション モデルとハードウェア機能は同じになります。検証プロセスでは、一般的なコンフィギュレーションやリコンフィギュレーションに厳しい条件を多数選択し、それぞれの条件で正しく機能するかを検証します。さまざまなビット設定を計算するファンクションに対する解析も実施し、Vivado® および ISE® のバックエンド ツールでインプリメンテーション中に実行された計算値と一致していることを確認しています。

まとめ

このアプリケーション ノートとリファレンス デザインを活用することで、MMCM DRP の機能を完全にインプリメントできます。このデザインはモジュール ベースで組み立てられているため、DRP の完全ソリューションとして使用できるだけでなく、その他のリコンフィギュレーション ステートをサポートするよう簡単に拡張できます。このデザインは、わずか 27 個のスライスで構成され、リソース使用率を最小限に抑えた形で作成されています。

デザインに関するその他の情報

ファイル

リファレンス デザインは、次のリンクからダウンロードできます。

https://secure.xilinx.com/webreg/clickthrough.do?cid=179222

特性

表 19 に、リファレンス デザインの詳細を示します。

表 19: リファレンス デザインの詳細

パラメーター	説明
一般	
開発者	Jim Tatsukawa
ターゲット デバイス	7 シリーズおよび UltraScale デバイス
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード/IP の使用	なし
シミュレーション	
論理シミュレーションの実施	あり

表 19: リファレンス デザインの詳細 (続き)

パラメーター	説明
タイミング シミュレーションの実施	あり
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	あり
テストベンチの形式	Verilog
使用したシミュレータ/バージョン	Vivado シミュレータ
インプリメンテーション	
使用した合成ツール/バージョン	Vivado 2014.1
使用したインプリメンテーション ツール/バージョン	Vivado 2014.1
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	7 シリーズ FPGA 特性評価ボード

デバイスのリソース使用率

表 20 に、リファレンス デザインの使用リソースをまとめています。

表 20: MMCM_DRP のデバイス使用率

パラメーター	仕様/詳細	
デバイス使用率 (テストベンチなし)	LUT フリップフロップ ペア	67
	GCLK バッファー	0
	ブロック RAM	0
サポートする HDL 言語	Verilog	

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012 年 1 月 4 日	1.0	初版
2012 年 5 月 22 日	1.1	リファレンス デザイン ファイルの更新 (「ファイル」)。
2013 年 8 月 7 日	1.2	「概要」の第 3 段落と「はじめに」の第 2 段落を更新。「MMCM および PLL のコンフィギュレーション ビット グループ」で、ユーザーがアクセス可能なコンフィギュレーション ビット グループの数を更新、分数グループを追加。「分数グループ」を追加。表 2 を更新、表 3 ～表 7 を追加。表 18 で、CLKFBOUT_MULT と DIVCLK_DIVIDE を更新、CLKFBOUT_FRAC、CLKFBOUT_FRAC_EN、CLKOUT0_FRAC、CLKOUT0_FRAC_EN を追加。「デザインの検証」の 2 番目の箇条書きを更新。表 20 の「シミュレーション」と「インプリメンテーション」セクションを更新。

日付	バージョン	内容
2014 年 10 月 8 日	1.3	UltraScale デバイスの情報を追加するために文書全体を更新。表 1 ～表 14 に「UltraScale ビット」列を追加。表 3 を表 3 と表 4 に分割。表 15 で、UltraScale に関する 1 行を追加、アドレス `0x0C` ～ `0x13` の説明を更新。表 17 に CLKOUTPHY_MODE 属性を追加。「デザインの機能性」の第 3 段落を削除。「デザインの検証」に Vivado を追加。表 19 で、Vivado ツール バージョンを追加、ISE Design Suite と XST のサポートを削除。「デバイスのリソース使用率」から「および性能」という記述を削除。表 20 で、表のタイトルを更新、最大周波数の行を削除、スライスを LUT フリップフロップ ペアに置き換え。
2015 年 7 月 23 日	1.4	表 1 の「PHASE MUX」および表 5 の「PHASE_MUX_F_CLKOUT0」の説明の欄に「UltraScale PLLE3 では使用できません」という説明を追加。
2015 年 11 月 12 日	1.5	表 7 の FRAC_EN に関する説明で、CLKOUT0 を CLKFBOUT に置き換え。
2016 年 5 月 16 日	1.6	表 6 に、RESERVED[15:14] の行を追加し、PHASE_MUX_F_CLKFB、FRAC_WF_F_CLKFB、および RESERVED の 7 シリーズ ビットを更新。
2016 年 6 月 1 日	1.6.1	誤植を修正。

お読みください: 重要な法的通知

自動車用のアプリケーションの免責条項

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。