



XAPP895 (v1.0) 2014 年 2 月 4 日

# 7 シリーズ FPGA GTX/GTH トランシーバーの 適応型ロック デザイン

著者 : Jayesh Patil

## 概要

このアプリケーション ノートは、ザイリンクス 7 シリーズ FPGA の GTX/GTH トランシーバーを対象とした適応型ロック デザインについて説明します。このデザインは、リンクの動的なエラーフリー動作を維持しながら帯域幅を変化させることで、判定帰還等化器 (DFE) モードの自動ゲイン制御 (AGC) の収束、および低消費電力モード (LPM) における低/高周波ループ補正 (KL と KH) のループ収束を高速化します。適応型ロック デザインは、チャンネルのダイナミック リコンフィギュレーション ポート (DRP) を使用して、ユーザー クロックとライン レートに基づく特定の時間間隔で、AGC、KL、KH 帯域幅の値を設定します。デザインはウィザードに組み込まれ、Verilog ファイルはツールから生成できます。

## はじめに

7 シリーズ FPGA の RX 物理媒体アタッチメント (PMA) DFE モードでは、AGC がほかの適応ループすべての上位にある、最も外側のループです。したがって、このループが最も低速です。ただし、AGC の推奨設定では、AGC ループ収束の整定時間が増加します。同様に、LPM モードでは、KL および KH ループが最も低速の帯域幅に設定されます。ライン レートに基づいて適応型ロック デザインを追加することで、収束時間を短縮できます。適応型ロック デザインの設計、コンパイル、シミュレーションには、ザイリンクス ISE® Design Suite 14.1 を使用しました。また、ChipScope™ およびインテグレイテッド ロジック アナライザ (ILA) を使用してハードウェア上で検証しました。

## インプリメンテーションの詳細

図 1 に、適応型ロック デザインの実装概略図を示します。デザインは、特定のカウンタ値で信号を生成するダウン シフター、帯域幅属性の変更のみをする Read-Modify-Write 有限ステート マシン (FSM)、および DRP アクセス モジュールから構成されます。

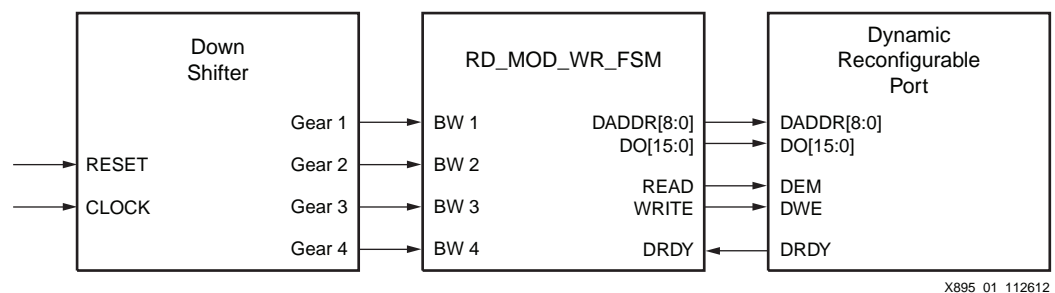


図 1 : 適応型ロック デザインのブロック図

この後のセクションでは、これらのブロックについて説明します。

## ダウン シフター

ダウン シフターは 32 ビット カウンターによって構成され、ユーザー クロック、動作モード (DFE/LPM)、ライン レートに基づくカウント値で 4 つの信号を生成します。カウントは、式 1 で計算されます。

$$\text{Timer} = \text{DCLK Frequency (in MHz)} \times \frac{12.5}{\text{Line Rate in Gb/s}} \quad \text{式 1}$$

初期セットアップ時に、式 1 から得られた値をウィザードで指定します。

## RD\_MOD\_WR\_FSM

ギア シフターによってギア信号がアサートされるたびに、有限ステート マシン (FSM) が実行されます。ギア信号 1 ~ 4 は、この順で最大設定~最小設定へと帯域幅を変更する FSM をトリガーします。FSM はループの DRP アドレスから内容を読み出し、ほかのユーザー固有情報を変化させることなく帯域幅関連のポートを変更し、同じアドレスに変更した値を書き戻します。複数のループが存在する場合 (例: LPM、KL、KH)、対象となる各ループに対して、同じシーケンスを順次実行する必要があります。図 2 に Read-Modify-Write のステート マシンを示します。

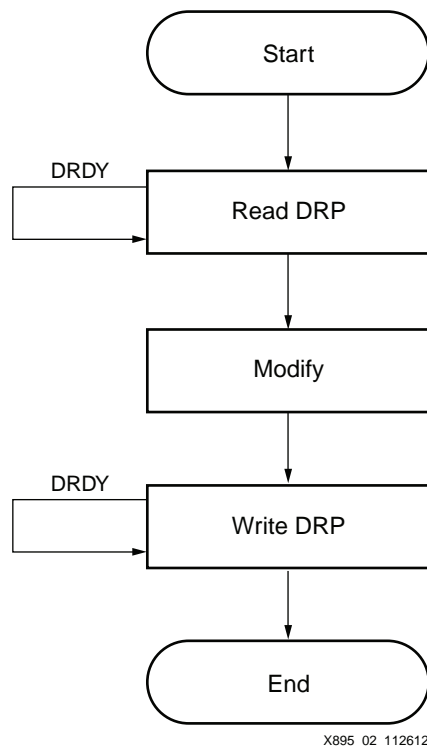


図 2：帯域幅調整のための Read-Modify-Write ステート マシン

### 開始 (Start) ステート

開始ステートでは、DFE モードの動作時にステート マシンが KL および KH ループに対してホールド信号をアサートします。

### DRP 読み出し (Read DRP) ステート

DRP 読み出しステートでは、ステート マシンが DRP の読み出しシーケンスを開始します。DEN 信号をパルスし、DRP からの DRDY 信号がアサートされるのを待ちます。この信号がアサートされると、DRP の内容が変更のためにローカルレジスタに格納されます。DRP 読み出しシーケンスの概要は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG472) に記載されています。

### DRP 変更 (Modify) ステート

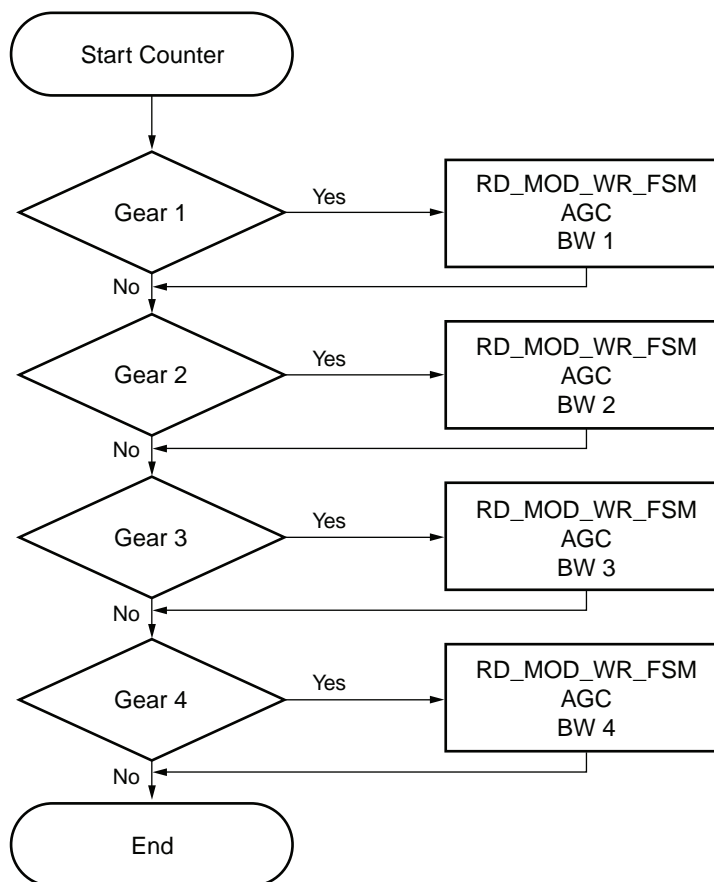
DRP 変更ステートでは、ローカルレジスタの内容のうちユーザー情報は保持したまま、帯域幅を制御するビットだけが変更されます。

### 書き込み (Write DRP) ステート

書き込みステートでは、DRP への書き込みシーケンスが開始されます。DWE 信号をパルスし、DRP からの DRDY 信号がアサートされるのを待ちます。この信号がアサートされると、ローカルレジスタの内容が DRP に書き込まれます。DRP 書き込みシーケンスの概要は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG472) に記載されています。

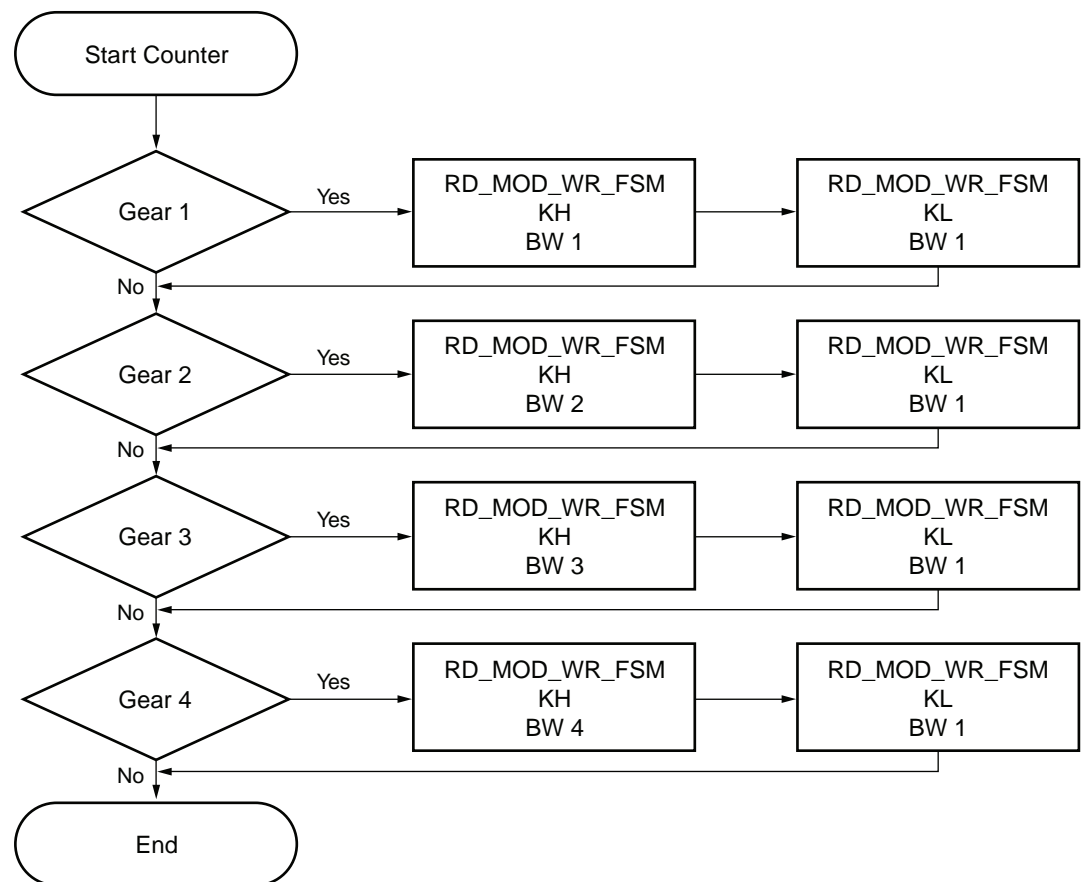
### 終了 (End) ステート

終了ステートでは、AGC ループの収束後に RXAGCHOLD に対して、さらに KL および KH ループに対してホールド信号がアサートされます。図 3 に DFE モードの FSM、図 4 に LPM モードの FSM を示します。



X895\_05\_112612

図 3 : DFE モードの FSM



X895\_06\_112612

図 4 : LPM モードの FSM

## 物理インターフェイス

デザインは、現在ウィザードに組み込まれています。使用される FPGA リソースは、使用する GTX/GTH クラウド数と選択するモード (LPM/DFE) によって異なります。

### 特性

表 1 に、デザインの詳細を示します。

表 1 : デザインの詳細

パラメーター	説明
<b>全般</b>	
開発者	Jayesh Patil
ターゲット デバイス	GTX/GTH トランシーバー搭載の7 シリーズ デバイス
ソース コードの提供	あり
ソース コードの形式	Verilog
<b>シミュレーション</b>	
論理シミュレーションの実施	あり
タイミングシミュレーションの実施	あり
テストベンチの形式	Verilog/ChipScope
使用したシミュレータ/バージョン	ISE Design Suite 14.1 またはそれ以降
SPICE/IBIS シミュレーションの実施	なし

表 1：デザインの詳細 (続き)

パラメーター	説明
<b>インプリメンテーション</b>	
使用した合成ツール/バージョン	ISE Design Suite 14.1 またはそれ以降
使用したインプリメンテーション ツール/バージョン	ISE Design Suite 14.1 またはそれ以降
スタティック タイミング解析の実施	あり
<b>ハードウェア検証</b>	
ハードウェア検証の実施	あり
使用したハードウェアプラットフォーム	VC7203

## まとめ

デザインはロジック シミュレーションとラボでのテストによって検証しました。デザインはウィザードに組み込まれ、Verilog ファイルはツールから生成できます。このロジックは、DFE モードの 10G では適用前の時間 2.9ms に対して 4 倍高速化、LPM モードの 10G では適用前の 10ms に対して 2 倍高速化を実現します。表 2 および表 3 に結果をまとめます。第 1 列は、帯域幅の倍率を示し、1x は最小帯域幅設定、64x は最大帯域幅設定です。N1 は DRP クロック サイクル数を表します。

表 2：DFE モード — AGC ループの結果

スピード	サイクル	時間 (秒)
64x	N1 = 100	$4.00 \times 10^{-5}$
16x	4 x N1 = 400	$1.60 \times 10^{-4}$
4x	16 x N1 = 1600	$6.40 \times 10^{-4}$
1x	無限大	$\infty$

表 3：LPM モード — KL または KH ループの結果

スピード	サイクル	時間 (秒)
16x	N1 = 4500	$1.80 \times 10^{-3}$
8x	2 x N1 = 9000	$3.60 \times 10^{-3}$
4x	3 x N1 = 13500	$5.40 \times 10^{-3}$
1x	無限大	$\infty$

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 2 月 4 日	1.0	初版

## Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at [www.xilinx.com/legal.htm#tos](http://www.xilinx.com/legal.htm#tos); IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at [www.xilinx.com/legal.htm#tos](http://www.xilinx.com/legal.htm#tos).

## Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。