



XAPP899 (v1.0) 2010 年 1 月 5 日

## Virtex-6 FPGA と 3.3V I/O 規格の接続

著者 : Austin Tavares

### はじめに

Virtex<sup>®</sup>-6 ファミリのすべてのデバイスは 3.3V I/O 規格との互換性を持ち、この規格をサポートしています。このアプリケーション ノートでは、Virtex-6 デバイスを 3.3V システムに接続する方法について説明します。ここでは、入力、出力、および双方向バスを取り上げ、シグナル インテグリティの問題や設計ガイドラインについても解説します。

Virtex-6 FPGA の I/O は高い性能と柔軟性を備えるよう設計されています。これらの I/O は均質、つまりすべての I/O が同じ機能および特長を持ちます。この高性能 I/O によって、幅広いアプリケーションに最大限柔軟に対応できます。Virtex-6 FPGA の I/O を 3.3V デバイスに接続する場合、いくつかのオプションがあります。

### インターフェイス 接続オプション

インターフェイスの接続オプションは、性能、機能、および信号の種類(入力、出力、双方向)によって異なります。このアプリケーション ノートでは、外部コンポーネントを使用しない場合と、追加抵抗、FET スイッチ、レベル変換器を使用する場合それぞれについて説明します。

### 外部コンポーネン トなしの場合

3.3V レシーバーの負荷容量および  $V_{IH}$  レベルにもよりますが、Virtex-6 FPGA はほとんどの 3.3V ロジックを外部コンポーネントを追加せずに駆動できます (図 1)。オーバーシュート/アンダーシュートを最小限に抑える方法の 1 つとして、FPGA の出力駆動インピーダンスと伝送ラインの特性インピーダンスを整合させます。Virtex-6 FPGA では、LVCMOS25 6mA/8mA ドライバー、または VRN と VRP に 50Ω 抵抗を接続した LVDCI25 ドライバーを 50Ω の特性インピーダンスに整合させます。ドライバーを伝送ラインに整合させると、FPGA は 5KΩ 負荷で  $V_{OH}$  を  $V_{CCO}$  (2.5V) に駆動します。標準的な LVCMOS 3.3V タイプのレシーバーの  $V_{IH}$  しきい値は 2.0V です。 $V_{OH} = 2.5V$  で  $V_{IH} = 2.0V$  の場合、同時スイッチング ノイズ (SSN)、インピーダンス不連続による反射、クロストーク、シンボル間干渉 (ISI) に対して 500mV のマージンが確保されます。 $V_{CCO}$  を大きくするとさらにマージンを増やすことができますが、電源レギュレータの出力許容差に対する要件も厳しくなります。最大許容差  $\pm 2\%$  のレギュレータを選択すれば、 $V_{CCO}$  を 2.575V に設定できます。この許容差と  $V_{CCO}$  の場合、レギュレータの動作電圧範囲を推奨値の 2.625V 未満に抑えることができます。 $V_{CCO}$  の値が大きくなることで、システムのマージンは 75mV 増加します。



x899\_01\_112509

図 1 : 外部コンポーネントを使用しない場合の例

伝送ラインの充電時間はレシーバーの負荷容量とドライバーの出力インピーダンスによって決まります。このアプリケーション ノートでは、出力インピーダンスと伝送ラインの特性インピーダンスが整合していることを前提としています。ドライバーが整合していない場合は、HSPICE または IBIS モデルを使用して充電時間およびオーバーシュート/アンダーシュートを計算してください。

充電時間は、式 1 で定義します。

$$\tau = Z_{DRIVER} \times C_{RECEIVER} \quad \text{式 1}$$

$5\tau$  が経過すると、レシーバーの電圧は  $V_{CC0}$  (2.5V) の 99% に達します。式 1 でドライバーの出力インピーダンスを  $50\Omega$ 、レシーバーの容量を  $9\text{pF}$  とすると、レシーバーのエッジレートは  $2.25\text{ns}$  となります。この方法で十分なマージンを確保できない場合、またはレシーバーの入力容量が大きすぎてタイミング要件を満たすことができない場合は、別の方法を検討する必要があります。

## プルダウン抵抗を使用する抵抗分割回路

シンプルな抵抗負荷を使用することによって、過度の信号振幅を FPGA が耐えられるレベルまで抑えることができます。図 2 のように、伝送ラインから GND へ抵抗を配置すると、High 電圧のみ減衰されます。このソリューションの場合、プルダウン抵抗が伝送ラインのインピーダンスと整合していないことが原因で、理想的なシグナルインテグリティを達成できないことがあります。このようなプルダウン抵抗は、レシーバーの近くに配置することで不要な反射を削減できます。

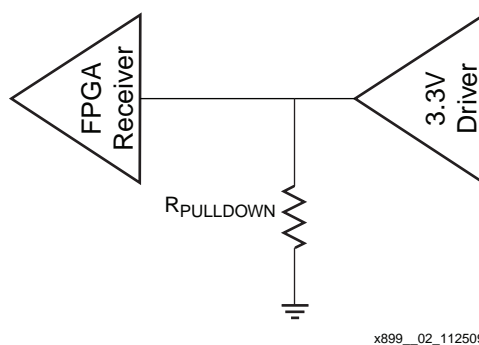


図 2：プルダウン抵抗の例

プルダウン抵抗の正しい値を算出するには、ドライバーの出力インピーダンス値が必要です。この値を求めるには、値が既知の抵抗をドライバーの出力に接続します。図 3 に示すように抵抗ノードでドライバー出力をプローブし、ロジック 1 を駆動している間の DC 電圧レベルを計測します。

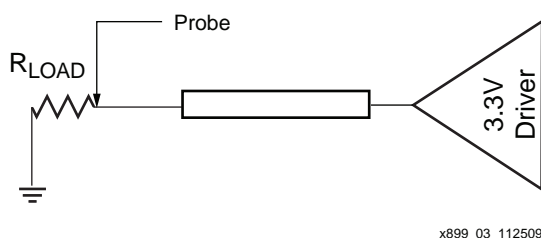


図 3：プローブ接続した回路の例

ドライバーと負荷は図 4 に示すような分圧器として表すことができ、出力インピーダンスは式 2 から求めることができます。

$$Z_{DRIVER} = R_{LOAD} \times \left( \frac{V_{CC} - V_{PROBE}}{V_{PROBE}} \right) \quad \text{式 2}$$

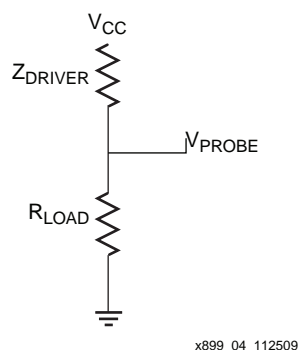


図 4：プローブ負荷を使用してロジック 1 を駆動するドライバー

ドライバーの出力インピーダンスを算出後、式 3 を用いてプルダウン抵抗の適正値を求めます。図 5 に、この回路を示します。

$$R_{PULLDOWN} = \left( \frac{V_{RECEIVER} \times Z_{DRIVER}}{V_{CC} - V_{RECEIVER}} \right) \quad \text{式 3}$$

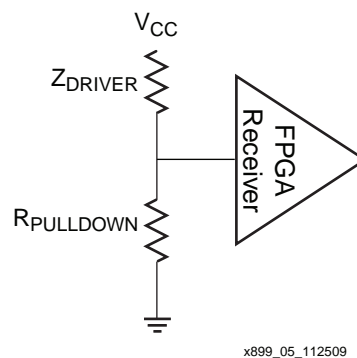
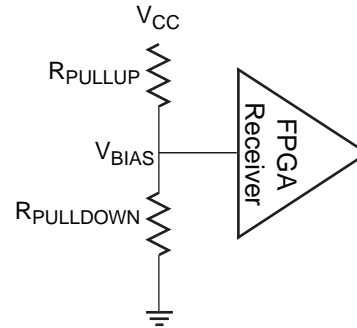


図 5：プルダウン抵抗を使用してロジック 1 を駆動するドライバー

たとえば、FPGA の  $V_{RECEIVER}$  が 2.625V で  $Z_{DRIVE}$  が  $50\Omega$  の場合、 $R_{PULLDOWN}$  は  $194\Omega$  となります。この方法で、ライン電圧を  $V_{RECEIVER}$  以下に制限するのに必要なプルダウン抵抗の適正な近似値を求めることができます。ドライバーは一定の法則で動作しない可能性があるため、算出値と実際の値が一致しないことがあります。したがって、HSPICE モデルを使用してシミュレーションを実行することを推奨しています。IBIS モデルでは、シミュレーションでの終端値の精度が前提となっています。

## トータムポール型の抵抗分割回路

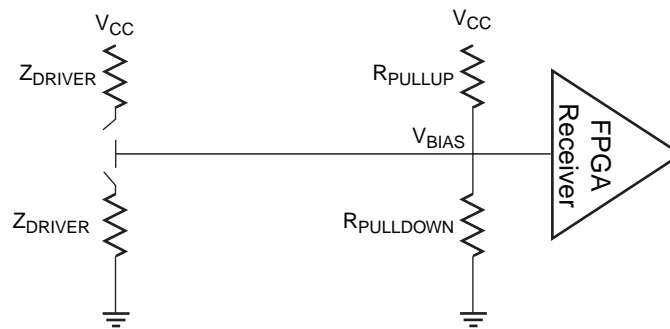
図 6 に示すように 2 つの抵抗を用いるトータムポール型ソリューションでは、終端を伝送ラインに整合させることができます。これによって、反射が最小限に抑えられます。プルアップ抵抗およびプルダウン抵抗は伝送ライン上の任意の位置に接続できますが、これらは常に対して同じ位置に配置する必要があります。プルアップ抵抗とプルダウン抵抗をレシーバー近くに配置すると、反射が最小限になります。



x899\_06\_112409

図 6：例：トータムポール型抵抗のトポグラフィ

使用するプルダウン抵抗が 1 つだけの場合と異なり、トータムポール型のソリューションでは各 I/O に DC バイアス電流が必要です。立ち上がりエッジと立ち下がりエッジ間でドライバーの出力インピーダンスのバランスがとれている場合、電圧バイアスは、レシーバーの  $V_{IH}$  および  $V_{IL}$  に対して  $V_{OH}$  と  $V_{OL}$  のマージンが同じ大きさのときに最適になります。図 7 に示す回路の場合、このバイアスポイントは式 4 から求めることができます。



x899\_07\_120709

図 7：テブナン並列終端を配置したドライバーの回路図

$$V_{BIAS} = \frac{V_{CCDRIVER} \times (V_{IL} - margin)}{V_{CCDRIVER} + (V_{IL} - margin) - (V_{IH} + margin)} \quad \text{式 4}$$

この例で、3.3V ドライバーと  $V_{IH} = 1.7V$  および  $V_{IL} = 0.7V$  の LVCMOS25 レシーバーを使用するとします。300mV のマージンが必要と仮定すると、最適な電圧バイアスは 0.776V です。式 5 に示すように、バイアスポイントをこの値にすると最小の出力インピーダンスでロジック 1 とロジック 0 の両方に対称的なマージンを確保できます。

$$\frac{3.3 \times (0.7 - 0.3)}{3.3 + (0.7 - 0.3) - (1.7 + 0.3)} = 0.776 \quad \text{式 5}$$

電圧バイアスの算出後、式 6 からプルアップ抵抗およびプルダウン抵抗の値を求めます。

$$R_{PULLUP} = \frac{V_{CC} \times Z_0}{V_{BIAS}} \quad R_{PULLDOWN} = \frac{Z_0 \times R_{PULLUP}}{R_{PULLUP} - Z_0} \quad \text{式 6}$$

ここで、 $Z_0$  は伝送ラインの特性インピーダンスです。

この例で  $V_{CC} = 2.5V$  で伝送ラインが  $50\Omega$  とすると、プルアップ抵抗およびプルダウン抵抗の値はそれぞれ  $158\Omega$  と  $73\Omega$  になります (式 7)。

$$158 = \frac{2.5 \times 50}{0.776} \quad 73 = \frac{50 \times 158}{158 - 50} \quad \text{式 7}$$

前述の回路を使用する場合は、レシーバーの  $V_{IH}$  および  $V_{IL}$  しきい値に達するように、出力インピーダンスを小さくする必要があります。また、出力インピーダンスは、レシーバーの推奨動作電圧 ( $V_{IHMAX}$ ) を超えない大きさにする必要があります。Virtex-6 FPGA では、 $V_{IHMAX} = 2.625V$  です。

$$Z_{DRIVER(MAX)} \leq \left( \frac{(V_{CCDRIVER} - V_{BIAS}) \times Z_0}{(V_{IH} + margin) - V_{BIAS}} \right) - Z_0 \quad \text{式 8}$$

$$Z_{DRIVER(MIN)} \leq \left( \frac{(V_{CCDRIVER} - V_{BIAS}) \times Z_0}{V_{IHMAX} - V_{BIAS}} \right) - Z_0 \quad \text{式 9}$$

この例では、最大ドライバー インピーダンスは  $53\Omega$  で、最小ドライバー インピーダンスは  $18\Omega$  です。

$$Z_{DRIVER(MAX)} \leq \left( \frac{(3.3 - 0.776) \times 50}{(1.7 + 0.3) - 0.776} \right) - 50 = 53\Omega \quad \text{式 10}$$

$$Z_{DRIVER(MIN)} \leq \left( \frac{(3.3 - 0.776) \times 50}{2.625 - 0.776} \right) - 50 = 18\Omega \quad \text{式 11}$$

$53\Omega$  では、ロジック 1 とロジック 0 にちょうど  $300mV$  のマージンがあります。出力インピーダンスが低下すると、ロジック 1 のマージンがロジック 0 のマージンよりも速いペースで増加します。ロジック 1 とロジック 0 の正確なマージンは、式 12 および式 13 から求めることができます。

$$\text{Logic 1 Margin} = \frac{(V_{CCDRIVER} - V_{BIAS}) \times Z_0}{Z_0 + Z_{DRIVER}} + V_{BIAS} - V_{IH} \quad \text{式 12}$$

$$\text{Logic 0 Margin} = V_{IL} + \frac{V_{BIAS} \times Z_0}{Z_0 + Z_{DRIVER}} - V_{BIAS} \quad \text{式 13}$$

ここで、 $Z_{DRIVER}$  はドライバーの出力インピーダンスです。

この例でドライバーの出力インピーダンスを  $53\Omega$  とすると、各ロジックのマージンは式 14 および式 15 から求めることができます。

$$\text{Logic 1 Margin} = \frac{(3.3 - 0.776) \times 50}{50 + 53} + 0.776 - 1.7 = 0.301 \text{ mV} \quad \text{式 14}$$

$$\text{Logic 0 Margin} = 0.7 + \frac{0.776 \times 50}{50 + 53} - 0.776 = 300 \text{ mV} \quad \text{式 15}$$

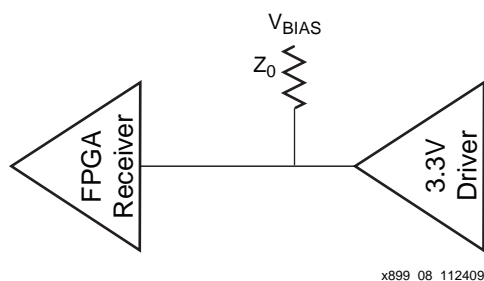
トータムポール終端の各 I/O で消費されるバイアス電力は、式 16 から算出します。

$$\text{Power} = \frac{V_{CC}^2}{R_{PULLDOWN} + R_{PULLUP}} \quad \text{式 16}$$

各 I/O のバイアス電力は  $27mW$  となります。

$$\text{Power} = \frac{2.5^2}{73 + 158} = 27mW \quad \text{式 17}$$

$V_{BIAS}$  への並列終端を使用する場合、電源レールを追加することで、DC バイアスなしで同じ性能を達成できます (図 8)。したがって、入力数が多いアプリケーションほど、このソリューションによって高い電力効率を期待できます。

図 8 :  $V_{BIAS}$  へ接続する並列終端の例

## 直列 FET スイッチ

FET (電界効果トランジスタ) バス スイッチ (図 9) は、簡単に適用できる単一方向のソリューションです。また、シミュレーションと若干の調整を行うだけで双方向にも利用できます。FET バス スイッチを使用することで、3.3V ロジックを 2.5V FPGA と隔てることが可能です。このデバイスは、伝送ラインに置かれた NMOS トランジスタのように機能します。図 10 に示すように、ソースは FPGA に、ドレインは 3.3V ロジックに、ゲートは電源電圧にそれぞれ接続します。

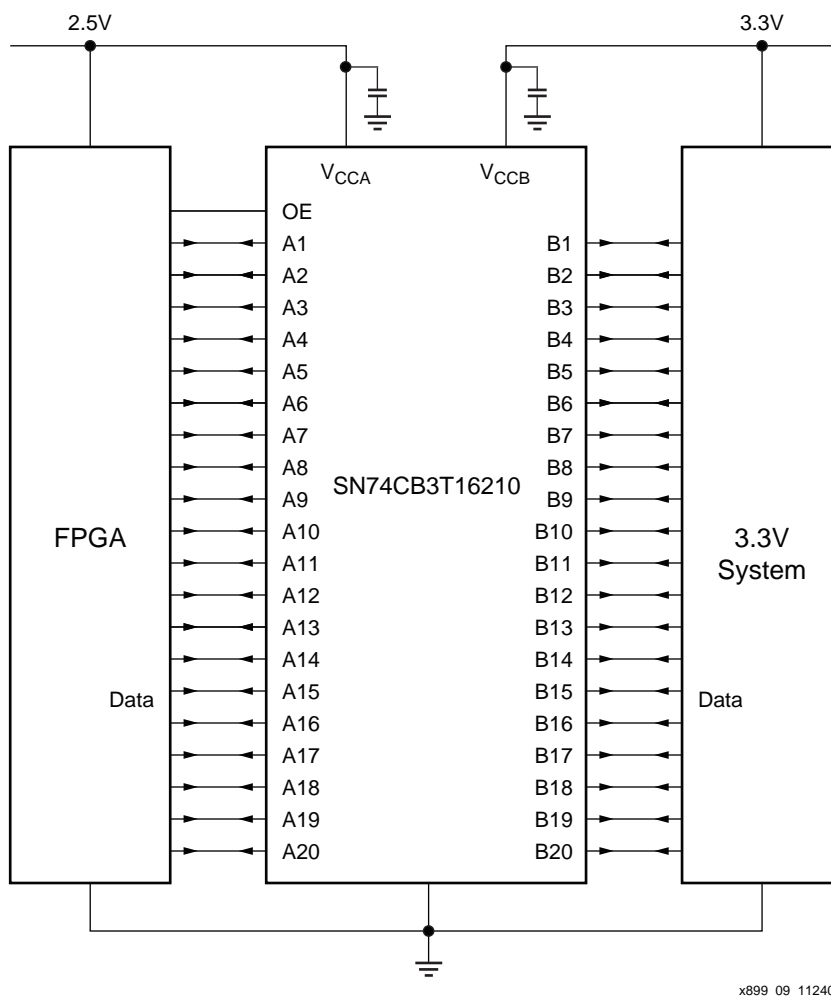
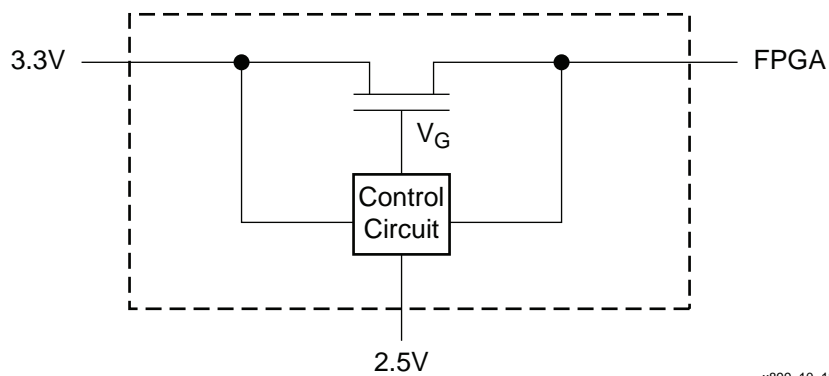


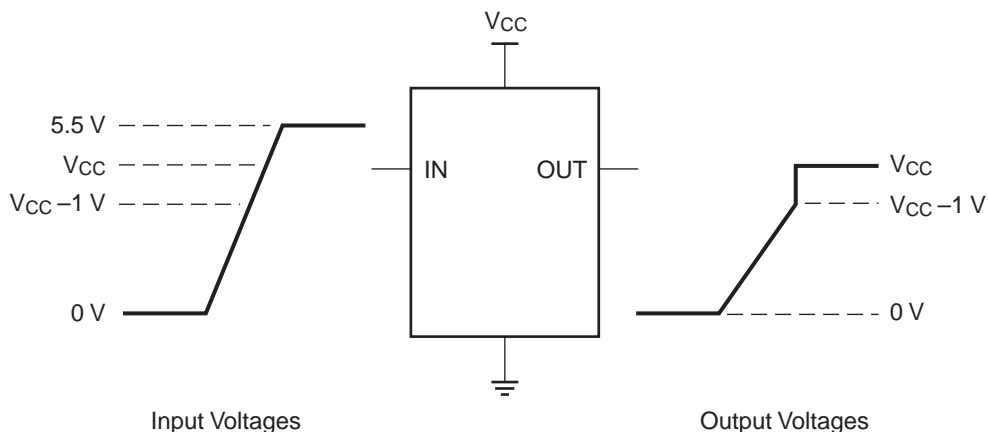
図 9 : FET スイッチ



x899\_10\_120809

図 10 : FET スイッチの簡略図

トランジスタが線形領域にある場合、すなわち  $V_{GS} > V_{TH}$  かつ  $V_{DS} < (V_{GS} - V_{TH})$  の場合、信号はデバイスを通して伝搬します。 $V_{TH}$  はトランジスタのしきい値電圧です。 $V_{GS} < V_{TH}$  になるとトランジスタは遮断状態となり、FPGA の I/O ピンが過電圧から保護されます。SN74CB3T16210 では、チャージポンプによってゲート電圧が  $V_{CC} + V_{TH}$  に設定されます。これにより、デバイスを通過する信号は  $V_{CC}$  までに制限されます (図 11)。  $V_{CC}$  より小さい信号は、そのままデバイスを通過します。

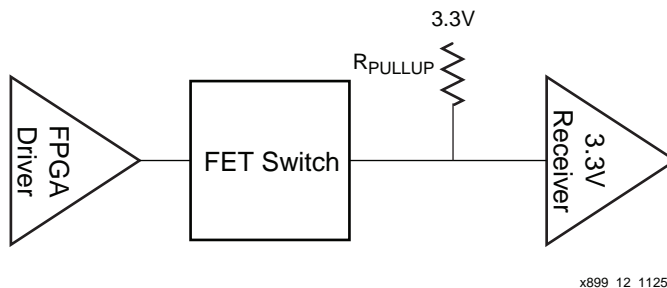


X899\_11\_120809

図 11 : SN74CB3T16210 の回路図と動作

## FET スイッチを使用した双方向インターフェイス

双方向インターフェイスを構築する場合は、各レシーバー側でタイミングおよび電圧の 2 つのマージンについてシミュレーションと計測を行う必要があります。この場合も、まずドライバーの出力インピーダンスと伝送ラインの特性インピーダンスを整合させます。これにより、オーバーシュート/アンダーシュートの量を最小限に抑えることができます。ドライバーを伝送ラインに整合させると、FPGA は  $5K\Omega$  負荷で  $V_{OH}$  を  $V_{CC0}$  (2.5V) に駆動します。LVCMOS 3.3V レシーバーの  $V_{IH}$  しきい値は 2.0V であるため、 $V_{OH} - V_{IH}$  の式により、同時スイッチ ノイズ (SSN)、インピーダンスの不連続による反射、クロストーク、シンボル間干渉 (ISI) に対して 500mV のマージンが確保されます。Virtex-6 FPGA では、LVCMOS25 6mA または 8mA ドライバー、あるいは VRN と VRP に  $50\Omega$  抵抗を接続した LVDCI25 ドライバーを  $50\Omega$  の特性インピーダンスに整合させます。 $V_{CC0}$  を大きくするとさらにマージンを増やすことができますが、電源レギュレータの出力許容差に対する要件も厳しくなります。最大許容差  $\pm 2\%$  のレギュレータを選択すれば、 $V_{CC0}$  を 2.575V に設定できます。この許容差と  $V_{CC0}$  の場合、レギュレータの動作電圧範囲を推奨値の 2.625V 未満に抑えることができます。 $V_{CC0}$  が大きくなることで、システムのマージンが 75mV 増加します。これら 2 つの方法を使用しても十分なマージンが得られない場合は、3.3V レシーバー側にプルアップ抵抗を使用するとマージンを増やすことができます (図 12)。

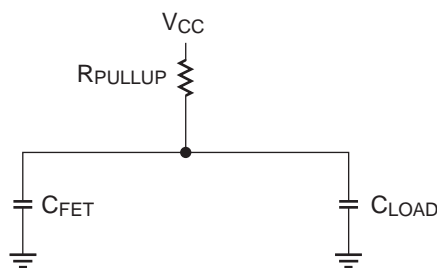


x899\_12\_112509

図 12: プルアップ抵抗を使用した FET スイッチのトポグラフィ

プルアップ抵抗が弱いほど、伝送ラインの 3.3V 側の充電にかかる時間が長くなります。プルアップ抵抗によってロジック 1 のマージンは大きくなりますが、ロジック 0 のマージンが小さくなります。プルアップ抵抗はロジック 0 の要件を満たすだけの大きさが必要ですが、大きすぎるとロジック 1 の電圧およびタイミング マージンの要件を満たすことができません。図 13 に示す回路図の充電にかかる時間は、式 18 から求められます。 $\tau$  は FPGA (2.5V) の  $V_{CC} - V_{OH}$  の 63% です。

$$\tau = R_{PULLUP} \times (C_{FET} + C_{LOAD}) \quad \text{式 18}$$

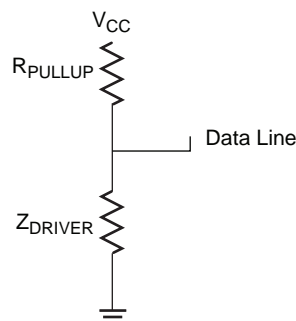


X899\_13\_112509

図 13: FET の 3.3V 側

この例では、 $360\Omega$  のプルアップ抵抗、3.3V の  $V_{CC}$ 、 $4.47\text{pF}$  の  $C_{FET}$ 、 $4\text{pF}$  の負荷を使用しています。電圧マージンを  $500\text{mV}$  増やすのに必要な時間は  $3.05\text{ns}$  です。プルアップ抵抗の定義後、I/O 規格の  $V_{IL}$  要件を満たすようにドライバー インピーダンスを算出する必要があります。図 14 に示す回路図のドライバーの出力インピーダンスは、式 19 から求められます。

$$Z_{DRIVER} = \frac{(V_{IL} - margin) \times R_{PULLUP}}{V_{CC} - (V_{IL} - margin)} \quad \text{式 19}$$



x899\_14\_112509

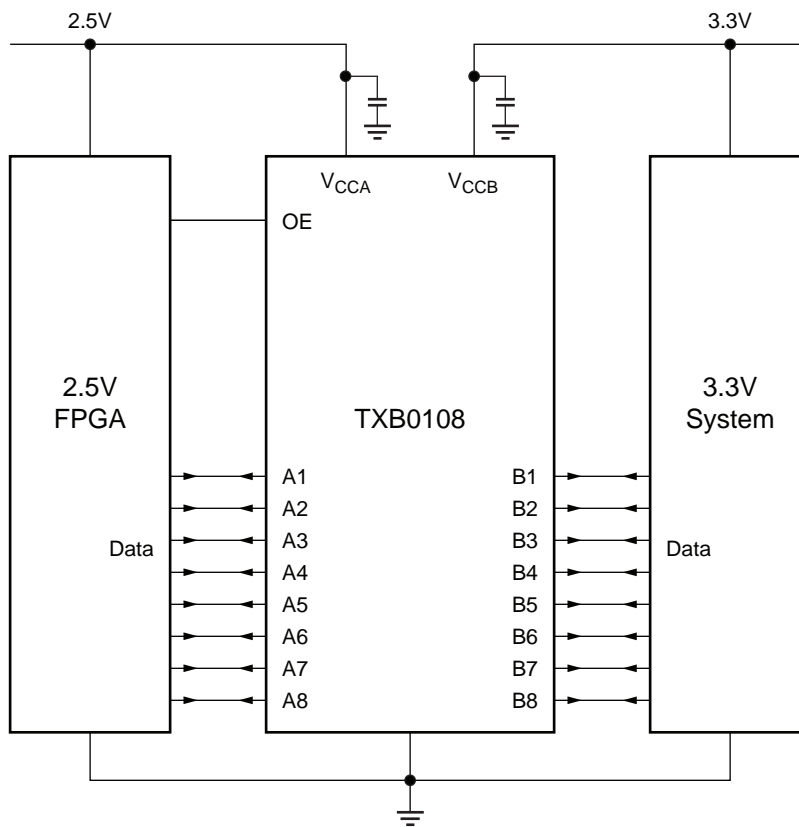
図 14: プルアップ抵抗を使用してロジック 0 を駆動するドライバー



先の例で、 $V_{IL}$  (800mV) の要件を満たすと同時に 400mV のマージンを確保するには、両方のドライバーの出力インピーダンスが  $50\Omega$  以下である必要があります。式 18 および式 19 を使用してシミュレーションを行います。プルアップ抵抗は、伝送ラインへの配置によってはマージンに悪影響を与えることがあります。一般に、終端と FET スイッチを近くに配置するほど反射は少なくなります。

## 自動レベル変換器

図 15 に示す TXB0108 ブロックは、自動方向検知機能が付いたレベル変換器です。これはトラフィックの方向を自動検知できるため、双方向システムに容易に適用できます。各ビットに個別の方向センサーが備わっているため、制御信号を追加する必要はありません。3.3V ロジックに接続する複数の独立した非同期信号を 1 つのデバイスでレベル変換できます。このデバイスは、回路に最大で 5.6ns の伝搬遅延をもたらします。DC 状態では TXB0108 が弱いプルアップ/プルダウンを駆動して、ロジック状態を維持します。バスの方向が変化した場合、外部ロジックによってデバイスをオーバードライブできます。デバイスが遷移を検出すると適切な PMOS/NMOS がオンになり、エッジレートが増加します。その後、ドライバーがオフになり、弱いプルアップ/プルダウンによってロジックレベルが維持されます。終端などの負荷のの大きな要素がラインに存在する場合には、弱いプルアップ/プルダウンによってロジックエラーが生じることがあります。ロジックレベルをエラー回避するために、終端抵抗およびバスの負荷は  $50k\Omega$  以上にする必要があります。バスの負荷が  $50k\Omega$  よりも小さい場合、ロジック状態は弱いプルアップ/プルダウンで維持できません。この理由から、このタイプのレベル変換器は、I2C や 1Wire などのオープンドレインバスには適していません。



x899\_15\_112509

図 15 : 自動レベル変換器

## CPLD と Spartan FPGA

ザイリンクスは、3.3V 耐性のさまざまなデバイスを提供しており、これらは双方向レベル変換アプリケーションに適しています。CPLD は最大 117 個の I/O を備え、最大 58 ビットのバス幅をサポートします。Spartan デバイスは最大 530 個の I/O を備えます。どちらのデバイスも、従来のレベル変換器に比べていくつかの利点があります。プログラマブル ロジックによって、これまで Virtex-6 FPGA のみで処理していたタスクの負荷を軽減できます。方向を特定する制御信号は依然として必要ですが、CPLD や Spartan デバイスは、汎用の方向レベル変換器とは異なり、任意のトラフィック数対制御信号の比を使用するようプログラムできます。CPLD デバイスの Pin-to-Pin 伝搬遅延は 5ns で、Spartan デバイスではデバイス内部の配線によって異なります。

CPLD または Spartan デバイス内部では、Virtex-6 FPGA 側に IOBUF が 1 つインスタンス化され、バス上の各ポートにも 3.3V ロジックがインスタンス化されます (図 16)。トラフィックの (DIR) 方向は、FPGA または 3.3V ロジックのいずれかから信号が送られるかによって認識されます。

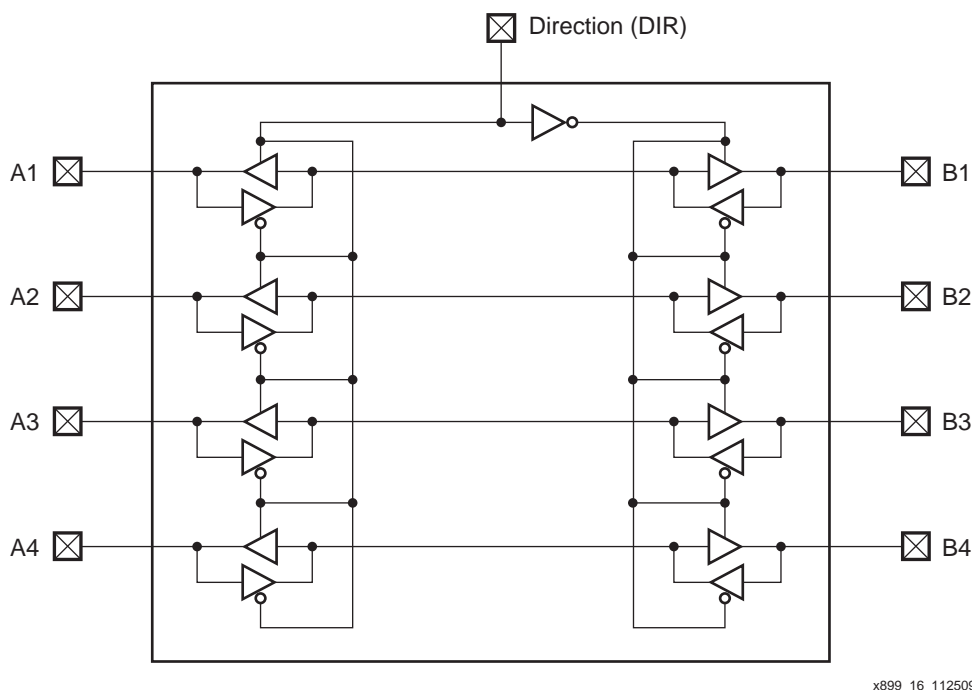
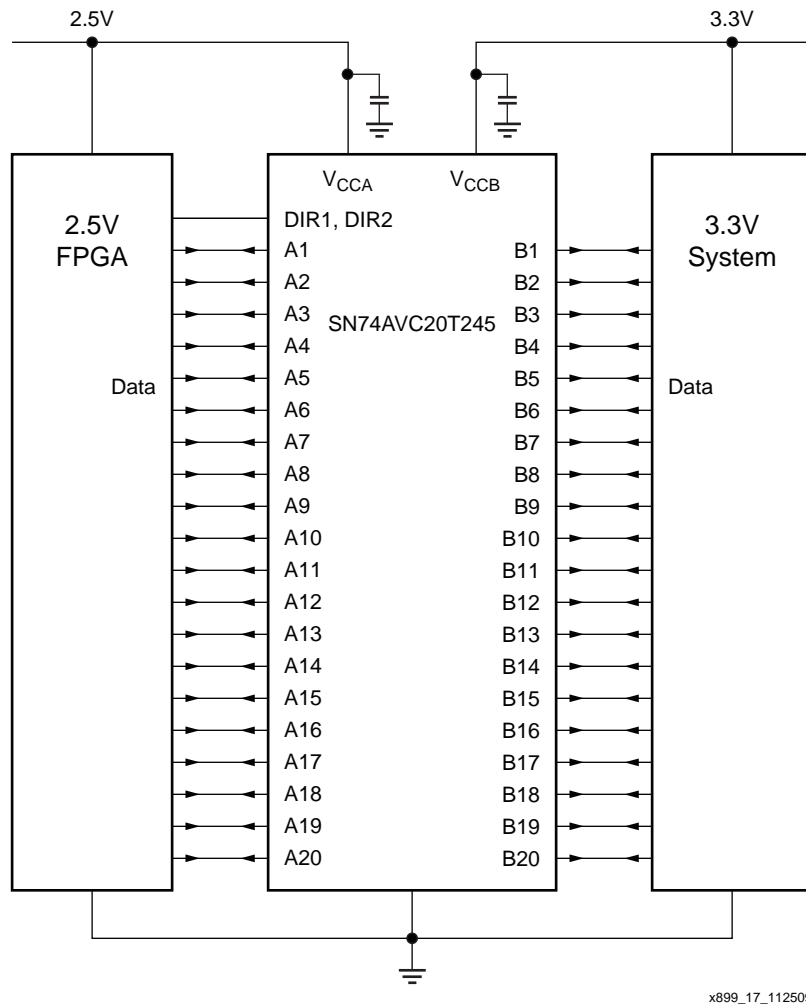


図 16 : CPLD または FPGA デザイン例

## 双方向レベル変換器

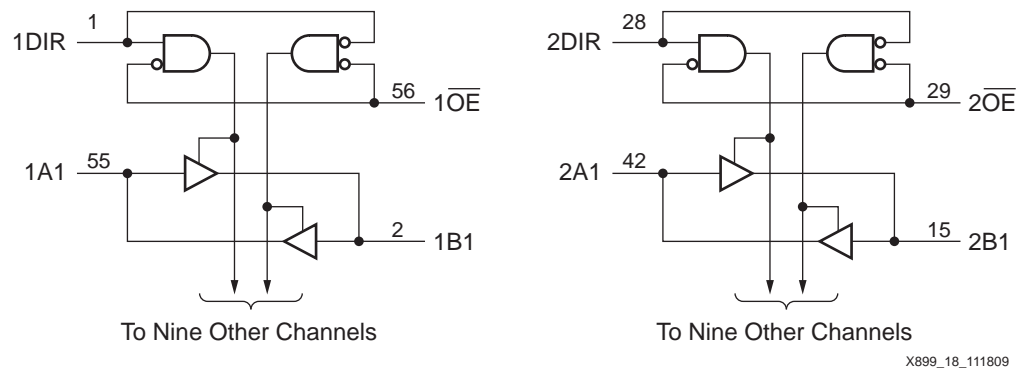
SN74AVC20T245 は 20 ビットの双方向レベル変換器で、DIR のロジックに基づいて A から B または B から A へ流れるデータをレベルシフトします (図 17)。バスの方向を制御する DIR 信号を生成するには、ロジックが必要です。この信号は、FPGA または外部 3.3V ロジックから生成できます。

SN74AVC20T245 は 2 つの 10 ビットバスに分割され、それぞれに独立した制御信号があります。10 ビットブロックに入る信号はすべて DIR 信号と同じ方向である必要があります (図 18)。また、これらのブロックはそれぞれに出力イネーブル信号が 1 つあり、ポート A とポート B を区別しています。この変換器を通過する際の Pin-to-Pin 伝播遅延は 3.4ns です。



x899\_17\_112509

図 17: 20 ビット双方向レベル変換器のトポグラフィ



X899\_18\_111809

図 18: レベル変換器の回路図

設計ガイドライン

表 1 に、3.3V システムと Virtex-6 FPGA を接続する各種インターフェイス オプションをまとめます。目的の条件を考慮して最適なソリューションを選択してください。

表 1: 設計ガイドラインの比較

タイプ	外付けのデバイス番号	ビット幅	双方向	入力	出力	バスが方向信号(DIR)に基づいて制御される	オープンドレインドライバのサポート	終端サポート	コンポーネント数	伝搬遅延
「外部コンポーネントなしの場合」	N/A	N/A	No	No	Yes <sup>(5)</sup>	No	N/A	No <sup>(1)</sup>	0	N/A
「プルダウン抵抗を使用する抵抗分割回路」	N/A	N/A	No	Yes	No	No	Yes	Yes	1	N/A
「トータムボール型の抵抗分割回路」	N/A	N/A	No	Yes	No	No	Yes	Yes	2	N/A
「直列 FET スイッチ」	SN74CB3T16210	20	Yes <sup>(2)</sup>	Yes	Yes <sup>(2)</sup>	No	Yes	Yes	1 <sup>(4)</sup>	0.25ns
「自動レベル変換器」	TXB0108	8	Yes	Yes	Yes	No	No	No	1	5ns
「CPLD と Spartan FPGA」	XC9536XL	16 <sup>(3)</sup>	Yes	Yes	Yes	Yes <sup>(3)</sup>	Yes	Yes	1	5ns
「双方向レベル変換器」	SN74AVC20T245	20	Yes	Yes	Yes	Yes	Yes	Yes	1	3.4ns

注記:

1. 終端を使用できますが、マージンが減少します。
2. 双方向をサポート可能です。負荷が 5K $\Omega$  の場合、500mV のマージンがあります。
3. ビット幅はデバイスサイズによって異なります。
4. マージンを増やすためにプルアップ抵抗を使用する場合は、2つのコンポーネントが必要です。
5. 負荷が 5K $\Omega$  の場合、500mV のマージンがあります。

まとめ

Virtex-6 デバイスは 3.3V I/O 規格との互換性を持ち、この規格をサポートしています。このアプリケーション ノートで紹介したガイドラインに沿った設計を行うことで、デバイスの信頼性と適切なインターフェイス動作が得られます。Virtex-6 デバイスを使用してインターフェイスを設計する際は、DC および AC 入力電圧仕様に従う必要があります。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂の説明
2010 年 1 月 5 日	1.0	初版リリース

## Notice of Disclaimer

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。