



XAPP923 (v1.2) 2007 年 6 月 5 日

リファレンス システム： OPB Central DMA を使用した MCH OPB EMC

著者：Sundararajan Ananthakrishnan

本資料は英語版 (v1.2) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

概要

このアプリケーション ノートには、マルチチャネル (MCH) オンチップ ペリフェラル バス (OPB) 外部メモリコントローラ (EMC) を MicroBlaze™ プロセッサ システムで使用する例を示します。MCH OPB EMC の MCH ポートを MicroBlaze プロセッサのキャッシュ ポートに接続すると、プロセッサがキャッシュラインに効率よくアクセスできるようになります。このシステムには OPB Central DMA コントローラも含まれているため、MCH OPB EMC では、MicroBlaze プロセッサからキャッシュラインにアクセスすると同時に、OPB Central DMA コントローラから、OPB での OPB シーケンシャルアドレス (バースト) トランザクションを処理できるようになっており、その例も示されています。

リファレンス デザインでは、スタティック RAM (SRAM) が外部メモリとして使用されています。SRAM メモリ空間は、キャッシュ可能なメモリのブロックと、キャッシュ不可なメモリのブロックに分割されています。このリファレンス システムで提供されているスタンドアロンのソフトウェア アプリケーションはキャッシュ可能なブロックから実行され、DMA 転送はキャッシュ不可なブロック内で実行されます。

このアプリケーション ノートでは、MicroBlaze プロセッサ、MCH OPB EMC、および OPB Central DMA コントローラのパラメータの設定方法を説明します。このリファレンス システムは、P160 通信モジュール Rev 2 ボード搭載の Memec Spartan™-3 3S1500 ボードをターゲットにしています。

使用するシステム

このアプリケーション ノートでは、P160 通信モジュール Rev 2 ボード搭載の Memec Spartan-3 3S1500 ボード用のリファレンス システムを使用します。

- japan.xilinx.com/bvdocs/appnotes/xapp923.zip

はじめに

FPGA を使用するソフトウェア アプリケーションの多くはメイン メモリから実行されます。メイン メモリには物理的な制限があるため、メイン メモリからのアプリケーションの実行は、オンチップ メモリからの実行よりも速度が遅くなります。メイン メモリの利点はメモリ サイズが大きいことです。オペレーティング システムでは、メイン メモリの命令やデータが多く使用されます。よく使用する命令やデータはキャッシュされ、メイン メモリではなくキャッシュに読み込まれます。キャッシュ命令およびデータを FPGA の高速メモリに格納すると、アクセス時間が短縮されます。MCH OPB EMC、MCH OPB SDRAM、および MCH OPB DDR を使用すると、MicroBlaze プロセッサで外部メモリのキャッシュラインに効率よくアクセスできます。このアプリケーション ノートで説明されているメモリ コントローラ リファレンス システムでは、MCH OPB EMC が使用されています。

© 2006-2007 Xilinx, Inc. All Rights Reserved. XILINX、Xilinx ロゴ、およびその他本文に含まれる商標名は Xilinx の商標です。本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。保証否認の通知：Xilinx ではデザイン、コード、その他の情報を「現状有姿の状態」で提供しています。この特徴、アプリケーションまたは規格の一実施例としてデザイン、コード、その他の情報を提供しておりますが、Xilinx はこの実施例が権利侵害のクレームを全く受けないということを表明するものではありません。お客様がご自分で実装される場合には、必要な権利の許諾を受ける責任があります。Xilinx は、実装の妥当性に関するいかなる保証を行なうものではありません。この保証否認の対象となる保証には、権利侵害のクレームを受けないことの保証または表明、および市場性に対する適合性についての黙示的な保証も含まれます。

ハードウェアとソフトウェア条件

ハードウェアとソフトウェアの条件を次に示します。

- P160 通信モジュール Rev 2 ボード搭載の Memec Spartan-3 3S1500 ボード
- ザイリンクス プラットフォーム USB ケーブルまたはパラレル IV プログラム ケーブル
- RS232 シリアル ケーブルおよびシリアル通信ユーティリティ (ハイパーターミナル)
- Xilinx Platform Studio 9.1.01i
- ISE™ (Xilinx Integrated Software Environment) 9.1.03i

リファレンスシステムの仕様

このリファレンスシステムは、P160 通信モジュール Rev 2 ボード搭載の Memec Spartan-3 3S1500 ボードを使用して構築されています。命令キャッシュ (I-cache) とデータ キャッシュ (D-cache) のいずれにも 8KB の MicroBlaze プロセッサが使用されており、OPB Central DMA コントローラでは、MCH OPB EMC へのバースト トランザクションが生成されます。また、OPB UARTLite (割り込み使用) および OPB GPIO (4 つの LED を制御) が使用されています。

ブロック図は図 1 を、システムのアドレス マップは表 1 を参照してください。

ブロック図

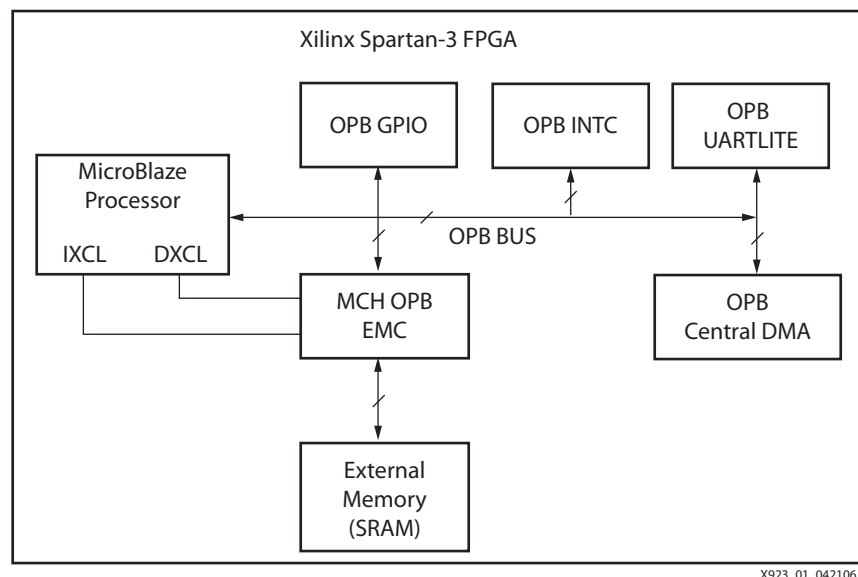


図 1：リファレンス システムのブロック図

アドレス マップ

リファレンス システムの IP コアのアドレス マップを表 1 に示します。

表 1：リファレンス システムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	ハイ アドレス
opb_mdm	debug_module	0x4140000	0x4140FFFF
lmb_v10	dlmb_cntlr	0x00000000	0x00003FFF
lmb_v10	ilmb_cntlr	0x00000000	0x00003FFF
opb_uart16550	RS232	0x40400000	0x4040FFFF
opb_gpio	LEDs_8Bit	0x40000000	0x4000FFFF

表 1: リファレンス システムのアドレス マップ (続き)

ペリフェラル	インスタンス	ベース アドレス	ハイ アドレス
mch_opb_emc	SRAM_256Kx32	0x30000000	0x300FFFFFF
opb_intc	opb_intc_0	0x41200000	0x4120FFFF
opb_central_dma	opb_central_dma_0	0x41E00000	0x41E0FFFF

システム コンフィギュレーション

このシステムでは、ザイリンクス CacheLink (XCL) のキャッシュがサポートされるように MicroBlaze プロセッサをコンフィギュレーションする必要があります。MCH OPB EMC も、MicroBlaze プロセッサでの MCH 接続および OPB バーストがサポートされるようにコンフィギュレーションされています。これは MCH OPB EMC で、OPB バーストとキャッシュライン トランザクションが同時処理できることを示しています。OPB Central DMA コントローラは、レジスタにアクセスできるようにコンフィギュレーションされています。

次に、MicroBlaze プロセッサ、MCH OPB EMC、および OPB Central DMA コントローラのコンフィギュレーションを説明します。

MicroBlaze プロセッサのパラメータ設定

MicroBlaze プロセッサの [Cache] タブで、パラメータを図 2 に示すように設定します。ここではメインメモリのキャッシュ可能なブロックは、0x30000000 ~ 0x3000FFFF に設定されています。命令キャッシュとデータ キャッシュの両方がイネーブルに設定されており、サイズはどちらも 8K です。XCL インターフェイスは命令キャッシュとデータ キャッシュの両方でイネーブルであるため、MicroBlaze プロセッサでのキャッシュライン転送には共有 OPB バスではなく、専用 XCL インターフェイスを使用できます。

メモ：命令キャッシュ書き込みがイネーブルになっているため、命令キャッシュへの書き込みを実行する WIC (Write Instruction Cache) 命令がイネーブルになります。

MicroBlaze プロセッサのキャッシュの詳細は、『MicroBlaze プロセッサ リファレンス ガイド』の「命令キャッシュ」および「データ キャッシュ」を参照してください。

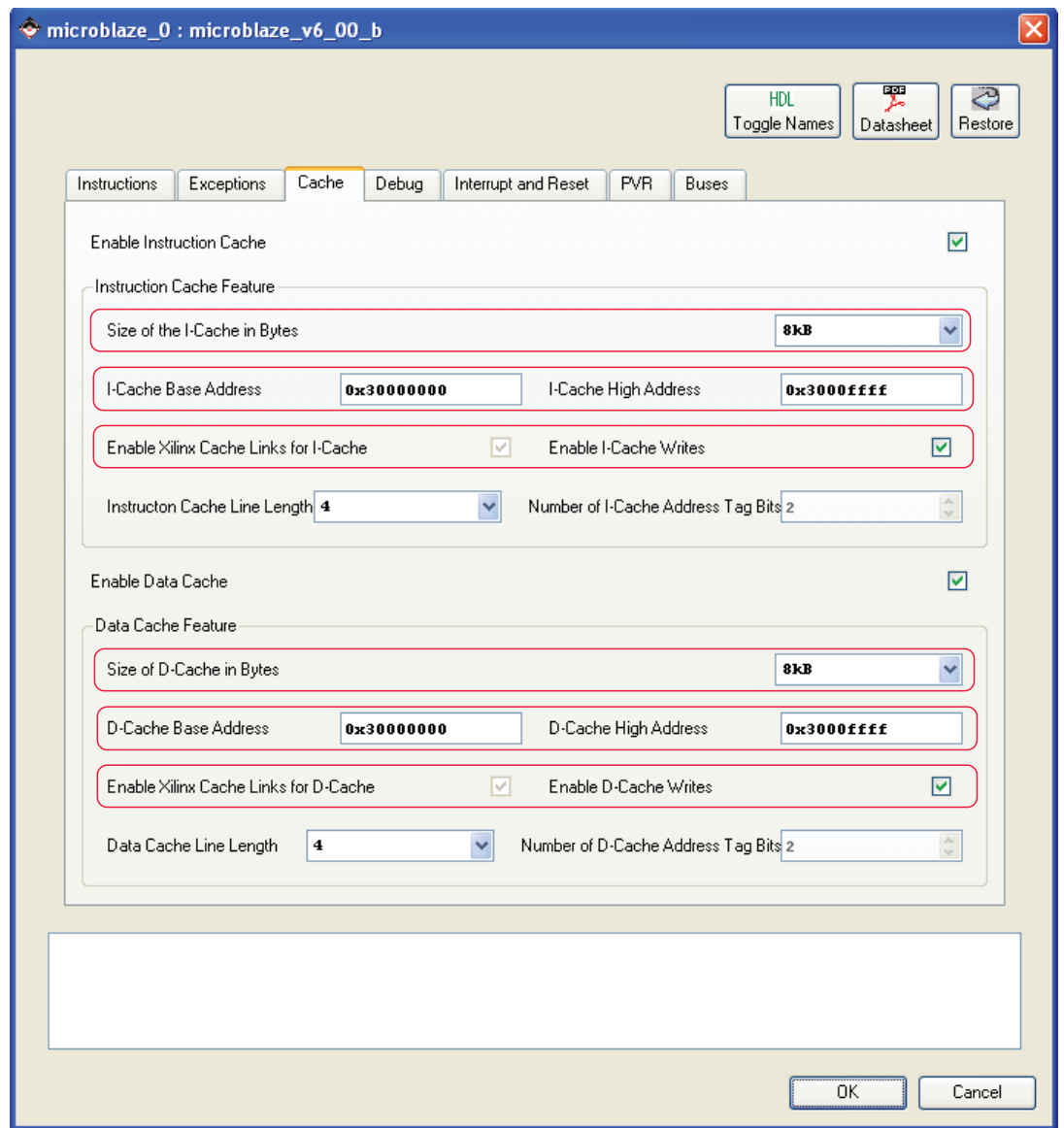


図 2 : MicroBlaze のキャッシュ パラメータの設定

メモ：ベース アドレス、ハイ アドレス、および キャッシュ サイズの実際の値はシステムによって異なり、メイン メモリのベース アドレスに合わせて設定する必要があります。

MCH OPB EMC パラメータの設定

MCH OPB EMC では、MicroBlaze プロセッサの命令キャッシュおよびデータ キャッシュに接続する MCH チャンネルを 2 つサポートするように設定します。これらのチャンネルの XCL プロパティも設定します。また、OPB Central DMA コントローラからのトランザクションを効率よく処理するために、OPB バーストをサポートするように設定します。

[Number of MCH Channels] (C_NUM_CHANNELS) を 2 に設定すると、2 つのチャンネルがサポートされます。図 3 に示すように、MCH OPB EMC コアの [User] タブで [Include OPB Slave Interface] (C_INCLUDE_OPB_IPIF) をオンに、[Support OPB Burst] (C_INCLUDE_OPB_BURST_SUPPORT) を True に設定すると、MCH OPB EMC でバースト トランザクションがサポートされます。

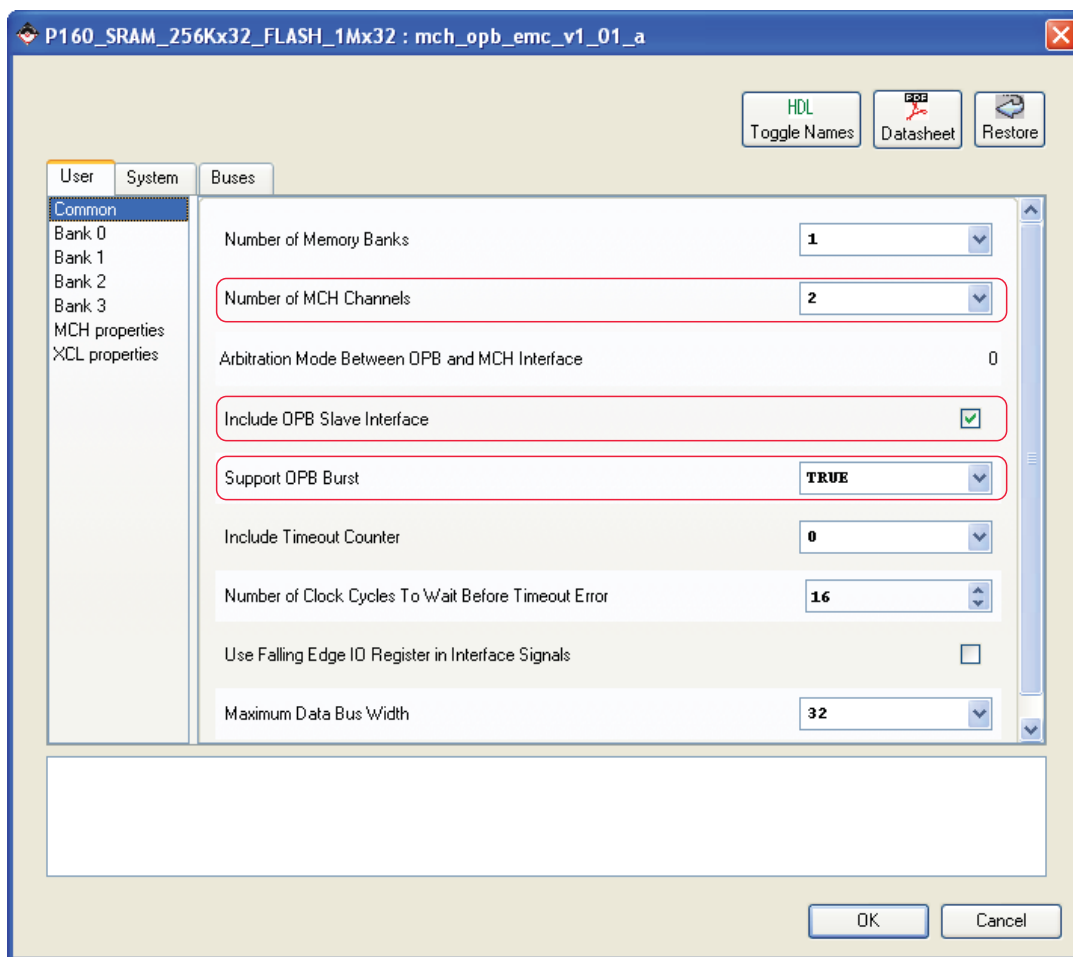


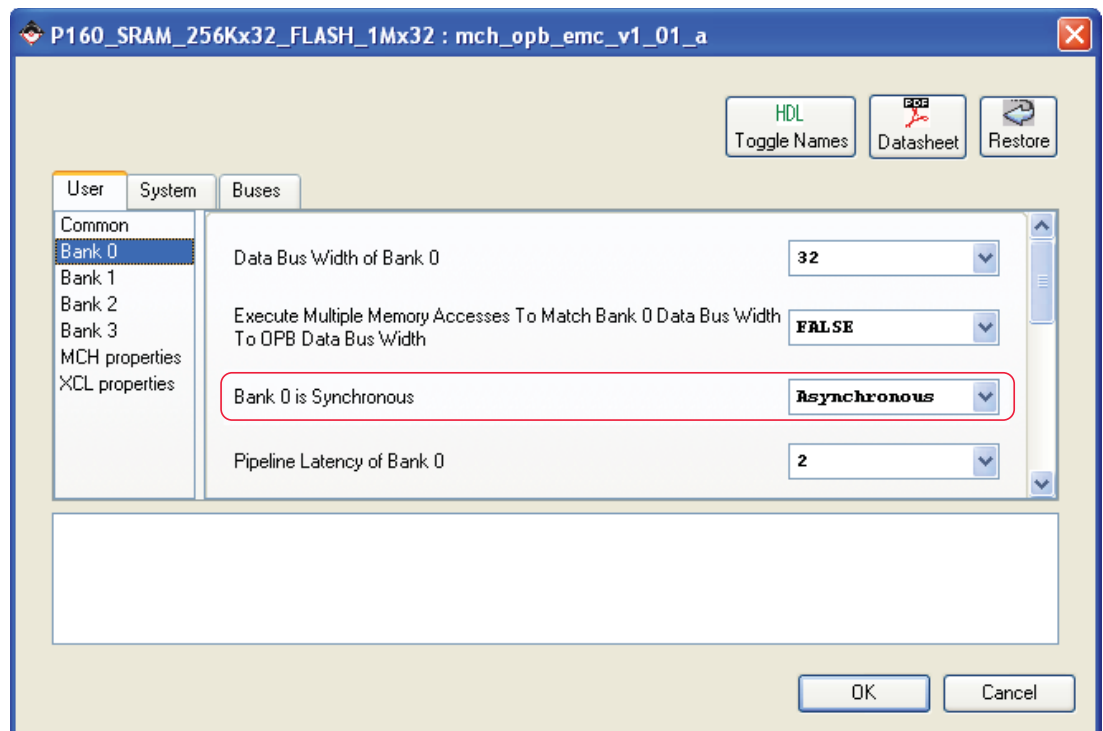
図 3 : MCH OPB EMC パラメータの設定

MCH OPB EMC のメモリ バンク パラメータの設定

MCH OPB EMC では現在、1 メモリ バンクのみがサポートされています。メモリ バンクの幅は 8、16、または 32 で、デフォルトは 32 です。メモリ バンクは非同期または同期です。非同期メモリ タイプは、[Bank 0 is Synchronous] (C_SYNC_MEM_0) を Asynchronous に設定するとサポートされます。

非同期の場合は、メモリ バンクのタイミング パラメータの値を設定する必要があります。タイミング値の設定は、メモリ デバイスのデータシートを参照してください。これらの値は、MCH OPB EMC コアの [User] タブの [Bank 0] で設定できます。

メモリ バンク 0 のパラメータの設定を、[図 4](#) に示します。



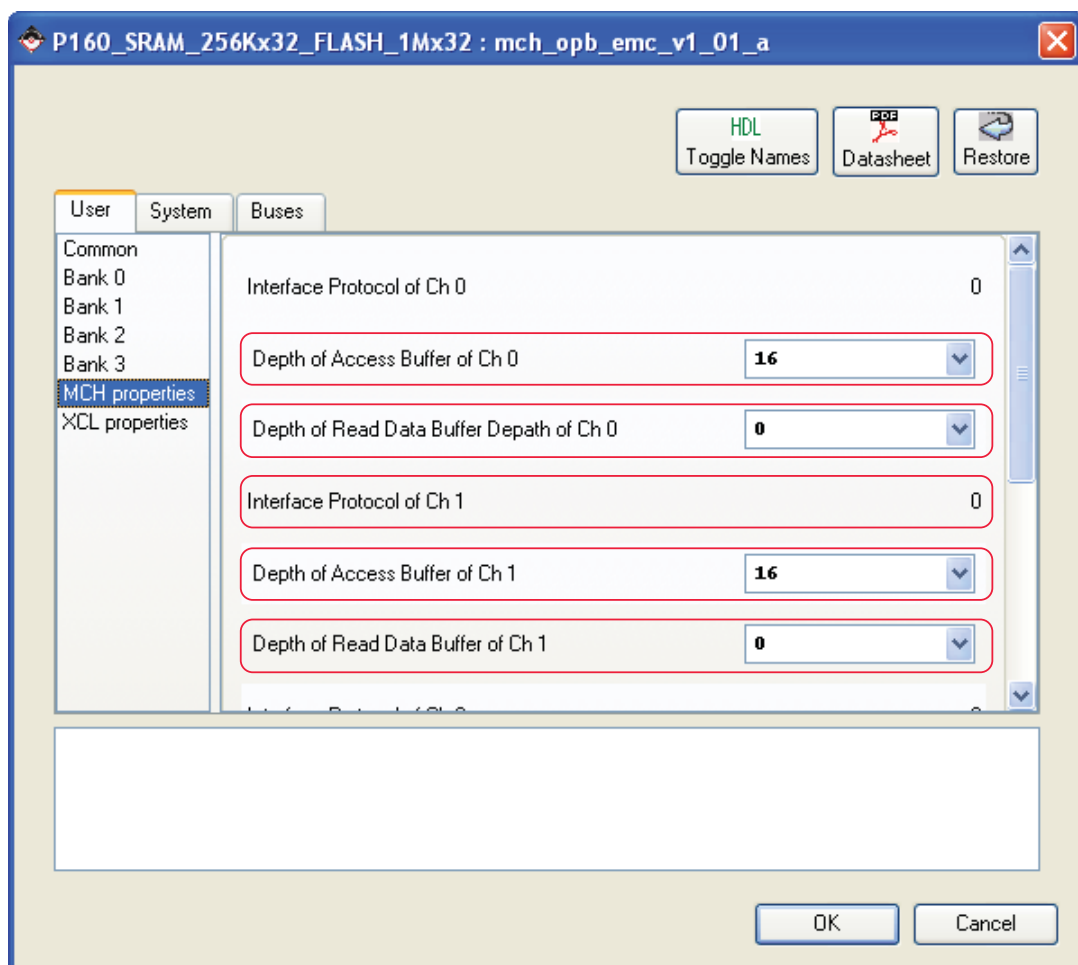
XAPP932_04_051807

図 4 : MCH OPB EMC のメモリ バンク パラメータの設定

MCH OPB EMC の MCH プロパティの設定

MCH インターフェイス プロパティを MCH OPB EMC 用に設定します。MCH OPB EMC では現在 XCL プロトコルのみがサポートされるため、すべてのチャンネルで [Interface Protocol] (C_MCH0_PROTOCOL) パラメータは 0 に設定され、XCL プロトコルが選択されています。[Depth of Access Buffer] (C_MCHx_ACCESSBUF_DEPTH) パラメータは、すべてのチャンネルでデフォルトの 16 に設定します。MicroBlaze プロセッサでは、データが使用可能になるとすぐに処理されるため、命令 キャッシュとデータ キャッシュを接続するチャンネルでは、[Depth of Read Data Buffer] (C_MCHx_RDDATABUF_DEPTH) パラメータは 0 に設定します。このように設定すると、読み出しデータバッファは使用されず、このバッファからデータを読み出す際のレイテンシも削除されます。

図 5 に示すように、これらのパラメータは MCH OPB EMC コアの [User] タブの [MCH properties] で設定できます。



XAPP932_05_051807

図 5 : MCH OPB EMC の MCH プロパティの設定

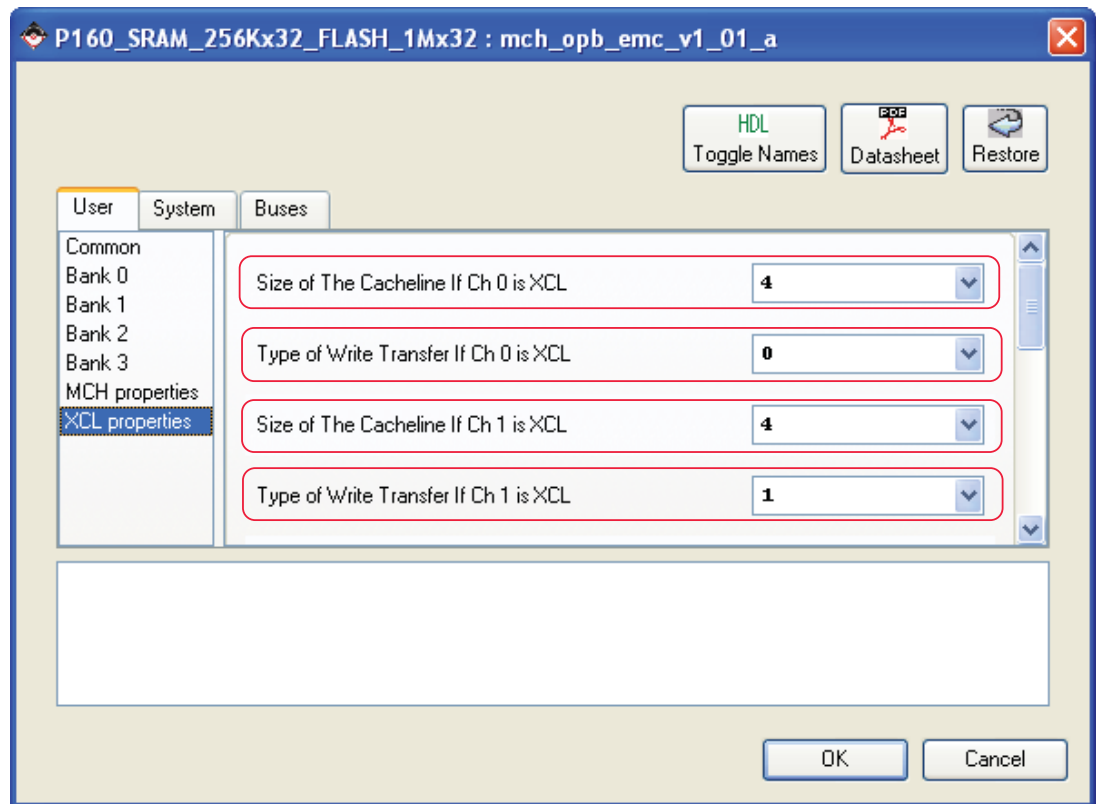
MCH OPB EMC の XCL プロパティの設定

キャッシュラインのサイズは 32 ビット ワードの数で指定し、XCL チャンネルとしてコンフィギュレーションされたチャンネルすべてに対して設定されます。MCH チャンネル 0 が、MicroBlaze プロセッサの命令キャッシュに、MCH チャンネル 1 が、MicroBlaze プロセッサのデータ キャッシュに接続されます。MicroBlaze プロセッサの命令キャッシュおよびデータ キャッシュのキャッシュラインのサイズは 4 ワードであるため、チャンネル 0 および 1 (C_XCLx_LINESIZE) のキャッシュラインのサイズは 4 ワードに設定します。

MicroBlaze プロセッサの命令キャッシュではメモリへの読み出しアクセスのみが実行されるため、MCH チャンネル 0 の [Type of Write Transfer] (C_XCL0_WRITEXFER) パラメータは 0 に設定します。これは、このチャンネルではメモリ書き込み転送は実行されず、このチャンネルでインプリメントされるロジックが削減されることを示します。図 2 では [Enable I-Cache Writes] がオンになっており、命令キャッシュに書き込む WIC 命令がイネーブルになっています。WIC 命令がイネーブルでも MCH チャンネル 0 の [Type of Write Transfer] (C_XCL0_WRITEXFER) パラメータの設定には影響しません。

MicroBlaze プロセッサのデータ キャッシュではメモリへのシングル ビートの書き込みのみが実行されるため、MCH チャンネル 1 の [Type of Write Transfer] (C_XCL1_WRITEXFER) パラメータは 1 に設定します。これは、このチャンネルでシングル ビートの書き込みのみが実行されることを示します。

図 6 に示すように、これらのパラメータは MCH OPB EMC コアの [User] タブの [XCL properties] で設定できます。



XAPP932_06_051807

図 6 : MCH OPB EMC の XCL プロパティの設定

MCH OPB EMC の MicroBlaze プロセッサへの接続

MicroBlaze プロセッサで XCL を介したキャッシュを実行するには、MicroBlaze プロセッサと MCH OPB EMC 間の接続を確立する必要があります。これらの接続は、system.mhs ファイルで確認できます。

MicroBlaze プロセッサでは、次のインターフェイス接続が使用されます。

- BUS_INTERFACE IXCL = ixcl
- BUS_INTERFACE DXCL = dxcl

MHS ファイルの MicroBlaze プロセッサのバス インターフェイス接続を表す部分を 図 7 に示します。

```
BEGIN microblaze
PARAMETER INSTANCE = microblaze_0
PARAMETER HW_VER = 6.00.b
PARAMETER C_DEBUG_ENABLED = 1
PARAMETER C_AREA_OPTIMIZED = 1
PARAMETER C_NUMBER_OF_PC_BRK = 2
PARAMETER C_NUMBER_OF_RD_ADDR_BRK = 1
PARAMETER C_NUMBER_OF_WR_ADDR_BRK = 1
PARAMETER C_USE_ICACHE = 1
PARAMETER C_CACHE_BYTE_SIZE = 8192
PARAMETER C_USE_DCACHE = 1
PARAMETER C_DCACHE_BYTE_SIZE = 8192
PARAMETER C_ICACHE_USE_FSL = 1
PARAMETER C_DCACHE_USE_FSL = 1
PARAMETER C_ICACHE_BASEADDR = 0x30000000
PARAMETER C_ICACHE_HIGHADDR = 0x3000ffff
PARAMETER C_ADDR_TAG_BITS = 2
PARAMETER C_DCACHE_BASEADDR = 0x30000000
PARAMETER C_DCACHE_HIGHADDR = 0x3000ffff
PARAMETER C_DCACHE_ADDR_TAG = 2
BUS_INTERFACE DLMB = dlmb
BUS_INTERFACE ILMB = ilmb
BUS_INTERFACE DOPB = mb_opb
BUS_INTERFACE IOPB = mb_opb
# Microblaze caches connect to the MCH interfaces on the MCH OPE
BUS_INTERFACE IXCL = ixcl
BUS_INTERFACE DXCL = dxcl
PORT CLK = sys_clk_s
PORT RESET = microblaze_rst
PORT DBG_CAPTURE = DBG_CAPTURE_s
PORT DBG_CLK = DBG_CLK_s
PORT DBG_REG_EN = DBG_REG_EN_s
PORT DBG_TDI = DBG_TDI_s
PORT DBG_TDO = DBG_TDO_s
PORT DBG_UPDATE = DBG_UPDATE_s
PORT Interrupt = Interrupt
END
```

XAPP932_07_051t

図 7 : MHS ファイルに示された MicroBlaze XCL 接続

MCH OPB EMC では、次のインターフェイス接続が使用されます。

- BUS_INTERFACE MCH0 = ixcl
- BUS_INTERFACE MCH1 = dxcl

この設定で、MicroBlaze の命令キャッシュは MCH チャンネル 0 に、MicroBlaze のデータ キャッシュは MCH OPB EMC のチャンネル 1 に接続されます。

MHS ファイルの MCH OPB EMC のバス インターフェイス接続を表す部分を 図 8 に示します。

```

BEGIN mch_opb_emc
  PARAMETER INSTANCE = P160_SRAM_256Kx32_FLASH_1Mx32
  PARAMETER HW_VER = 1.01.a
  PARAMETER C_MCH_OPB_CLK_PERIOD_PS = 15151
  PARAMETER C_NUM_BANKS_MEM = 1
  PARAMETER C_NUM_CHANNELS = 2
  PARAMETER C_INCLUDE_OPB_IPIF = 1
  PARAMETER C_INCLUDE_OPB_BURST_SUPPORT = 1
  PARAMETER C_INCLUDE_DATAWIDTH_MATCHING_0 = 0
  PARAMETER C_SYNCH_MEM_0 = 0
  PARAMETER C_MEM0_WIDTH = 32
  PARAMETER C_MAX_MEM_WIDTH = 32
  PARAMETER C_TCEDV_PS_MEM_0 = 60000
  PARAMETER C_TWC_PS_MEM_0 = 60000
  PARAMETER C_TAVDV_PS_MEM_0 = 60000
  PARAMETER C_TWP_PS_MEM_0 = 60000
  PARAMETER C_THZCE_PS_MEM_0 = 10000
  PARAMETER C_TLZWE_PS_MEM_0 = 10000
  PARAMETER C_MEM0_BASEADDR = 0x30000000
  PARAMETER C_MEM0_HIGHADDR = 0x300fffff
  PARAMETER C_MEM1_BASEADDR = 0x30100000
  PARAMETER C_MEM1_HIGHADDR = 0x301fffff
  PARAMETER C_MEM2_BASEADDR = 0x30200000
  PARAMETER C_MEM2_HIGHADDR = 0x302fffff
  PARAMETER C_MEM3_BASEADDR = 0x30300000
  PARAMETER C_MEM3_HIGHADDR = 0x303fffff
  PARAMETER C_SYNCH_PIPEDELAY_0 = 2
# ICACHE
PARAMETER C_MCH0_ACCESSBUF_DEPTH = 16
PARAMETER C_MCH0_RDDATABUF_DEPTH = 0
PARAMETER C_XCL0_LINESIZE = 4
PARAMETER C_XCL0_WRITEXFER = 0
# DCACHE
PARAMETER C_MCH1_ACCESSBUF_DEPTH = 16
PARAMETER C_MCH1_RDDATABUF_DEPTH = 0
PARAMETER C_XCL1_LINESIZE = 4
PARAMETER C_XCL1_WRITEXFER = 1
BUS_INTERFACE SOPB = mb_opb
# MCH Interfaces connect to the Microblaze Caches
BUS_INTERFACE MCH0 = ixcl
BUS_INTERFACE MCH1 = dxcl
PORT MCH_OPB_Clk = sys_clk_s
PORT MCH_OPB_Rst = periph_rst_7
PORT Mem_A = fpga_0_P160_SRAM_256Kx32_FLASH_1Mx32_Mem_A_split
PORT Mem_DQ = fpga_0_P160_SRAM_256Kx32_FLASH_1Mx32_Mem_DQ
PORT Mem_BEN = fpga_0_P160_SRAM_256Kx32_FLASH_1Mx32_Mem_BEN
PORT Mem_WEN = fpga_0_P160_SRAM_256Kx32_FLASH_1Mx32_Mem_WEN
PORT Mem_OEN = fpga_0_P160_SRAM_256Kx32_FLASH_1Mx32_Mem_OEN
PORT Mem_CEN = fpga_0_P160_SRAM_256Kx32_FLASH_1Mx32_Mem_CEN
END

```

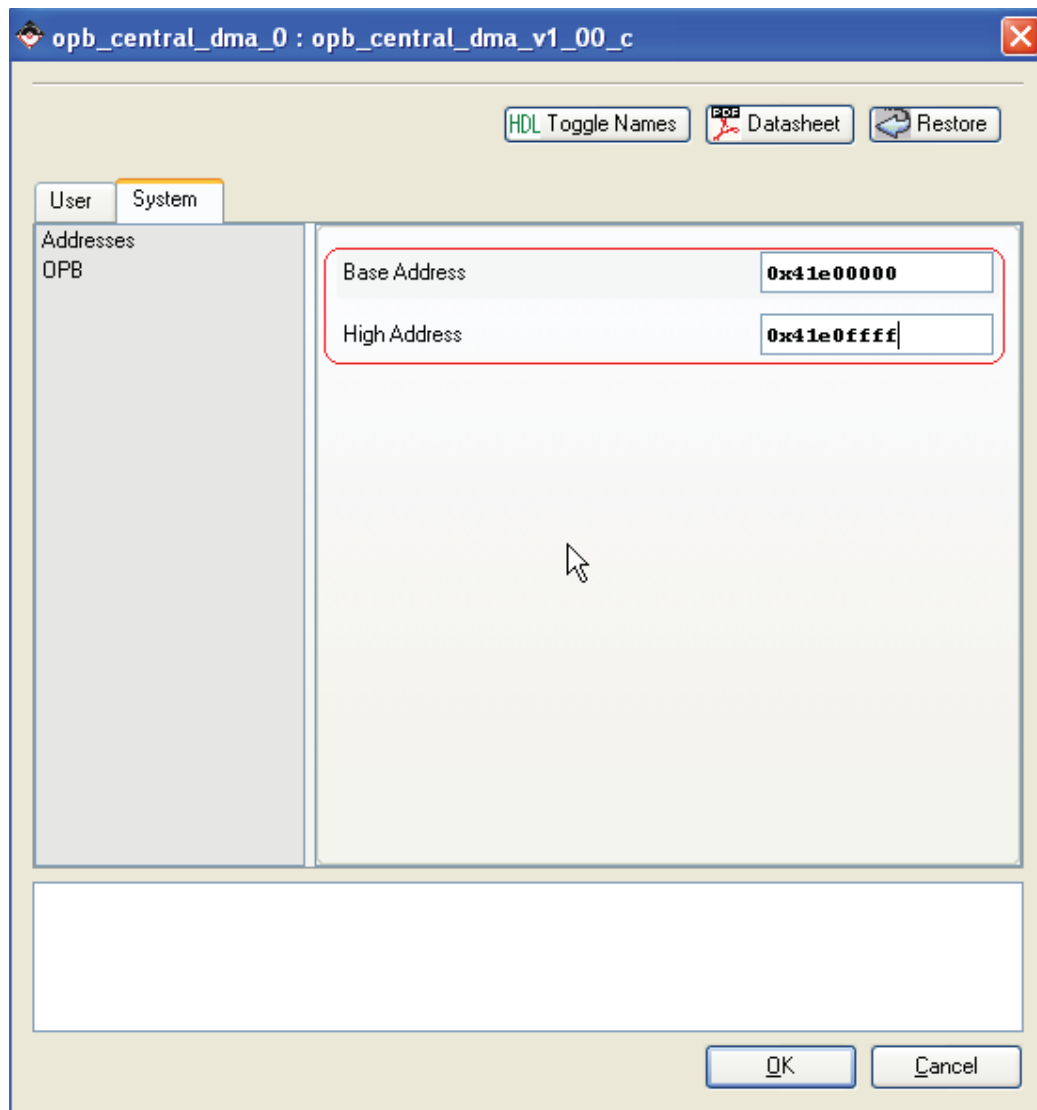
XAPP932_08_051807

図 8 : MHS ファイルに示された MCH OPB EMC インターフェイス接続

OPB Central DMA のシステム パラメータの設定

MicroBlaze プロセッサがレジスタにアクセスできるように、OPB Central DMA コントローラのアドレスを設定します。

図 9 に示すように、OPB Central DMA コアの [System] タブで、ベースアドレスを 0x41E00000 に、ハイアドレスを 0x41E0FFFF に設定します。

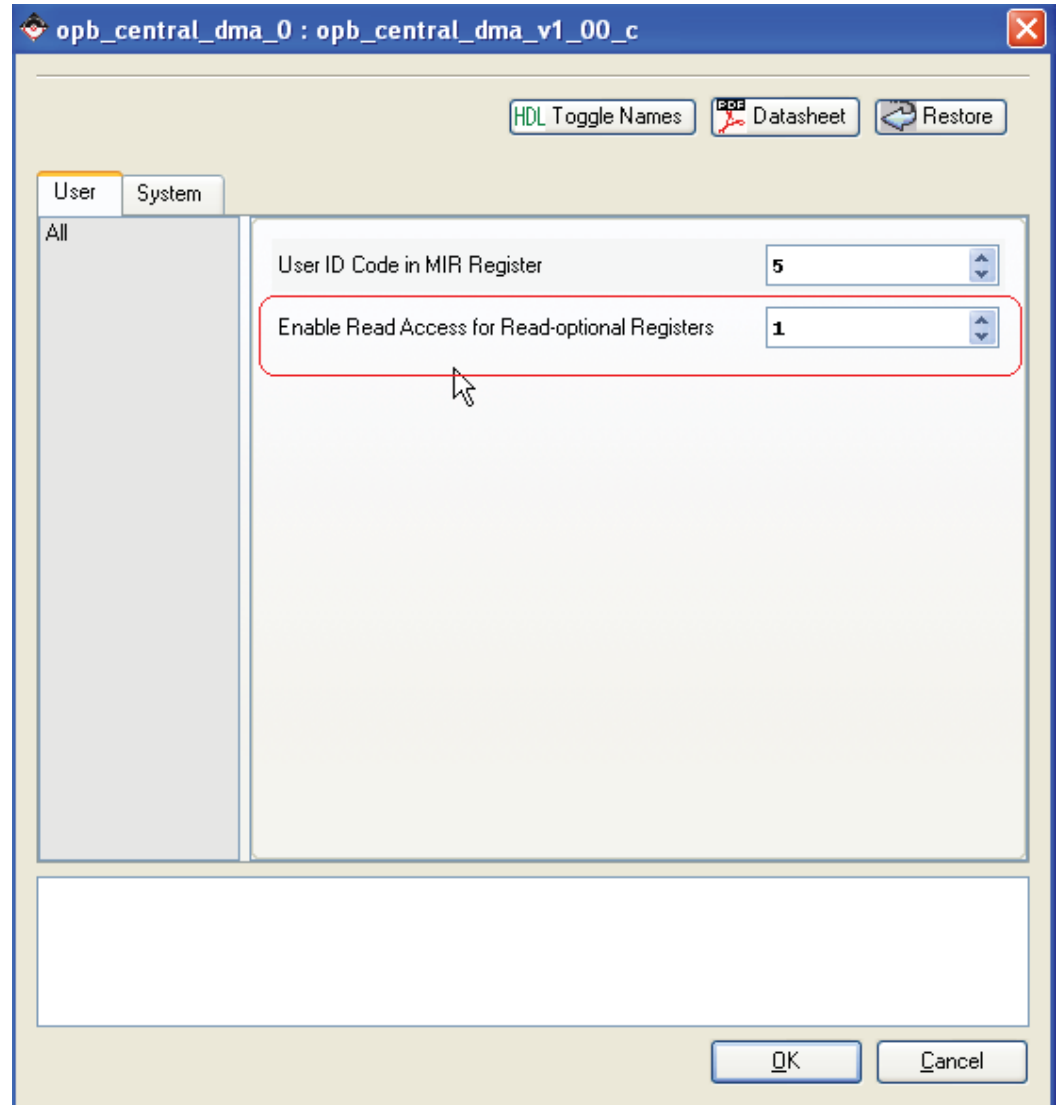


X923_09_042106

図 9 : OPB Central DMA のシステム パラメータの設定

OPB Central DMA のユーザー パラメータの設定

図 10 に示すように、OPB Central DMA コアの [User] タブで、[Enable Read Access for Read -optional Registers] を 1 に設定します。このように設定すると、DMA 操作の完了後に DMA 割り込みが正しくクリアされたかを確認するために、ソフトウェアアプリケーションで OPB Central DMA レジスタを読み込むことができるようになります。



X923_10_042106

図 10 : OPB Central DMA のユーザー パラメータの設定

OPB Central DMA コントローラのシステムへの接続

[Ports] フィルタで、opb_central_dma_0 sopb (スレーブ) および opb_central_dma_0 mopb (マスタ) を OPB バスに接続します。DMA 割り込み信号は、リファレンス システムでは OPB 割り込みコントローラ (OPB INTC) に接続されます。

OPB Central DMA の OPB バスへのポートの接続を表 2 および図 11 に示します。

表 2 : OPB Central DMA ポート接続

ポート名	接続	I/O	説明
SOPB_CLK	sys_clk_s	I	OPB Central DMA スレーブのクロック
MOPB_CLK	sys_clk_s	I	OPB Central DMA マスタのクロック
DMA_Interrupt	DMA_Irpt	O	OPB 割り込みコントローラへの信号

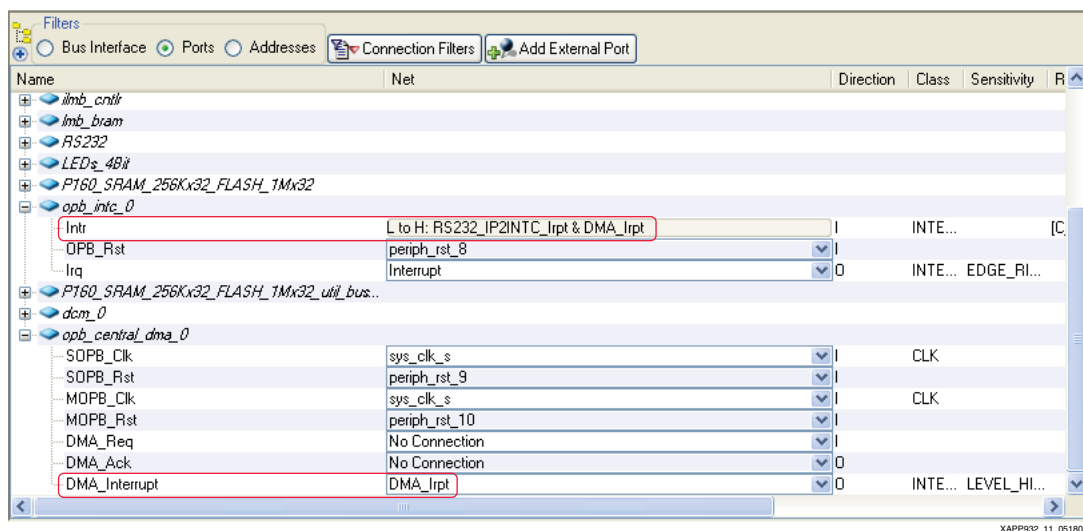


図 11 : OPB Central DMA ポート接続

ソフトウェア アプリケーション

ソフトウェア アプリケーション自体はメイン メモリのキャッシュ可能なブロックより実行されますが、アプリケーションでの DMA 操作のテストはキャッシュ不可なブロックより実行されます。

アプリケーションの開始時に、DMA ソース アドレスおよび DMA デスティネーション アドレスのメモリ ブロックがクリアされます。データは、メモリ ブロックのソース アドレスに書き込まれます。OPB Central DMA は初期化され、割り込みを使用するように設定されます。ソース ベース アドレスおよび デスティネーション ベース アドレスが適切な OPB Central DMA レジスタに書き込まれると、DMA 操作が開始します。DMA 転送が完了すると、割り込みが発生します。

DMA 操作が完了すると、ソース アドレスのデータがデスティネーション アドレスのデータと比較され、データが正しく転送されたかが確認されます。ソフトウェア アプリケーションで、DMA 転送で生成された割り込みがクリアされます。

ソフトウェア アプリケーションで、リンカ スクリプト オプションをすべてメイン メモリに設定し、ブロック RAM を初期化しないように設定します。ソフトウェア アプリケーションのソースをプロジェクトに追加し、ソースを新しいリファレンスシステムのディレクトリにコピーします。ソフトウェア アプリケーションは、プロジェクトのルート ディレクトリ Test_App/TestApp_MemoryCaching.c の下にあります。

リファレンス システムの実行

リファレンス システムを実行するには、ビットストリームを生成し、ソフトウェア アプリケーションをコンパイルする必要があります。このシステムのビットストリームおよびコンパイルされたソフトウェア アプリケーションは、プロジェクトのルート ディレクトリの下にある `ready_for_download/` に生成されます。

ハイパーターミナルまたは類似のプログラムを COM ポートに、ボードの UART を COM ポートに接続する必要があります。ハイパーターミナルのボー レートを 9600、データ ビットを 8、パリティを None、フロー 制御を None に設定します。詳細は、[図 12](#) を参照してください。

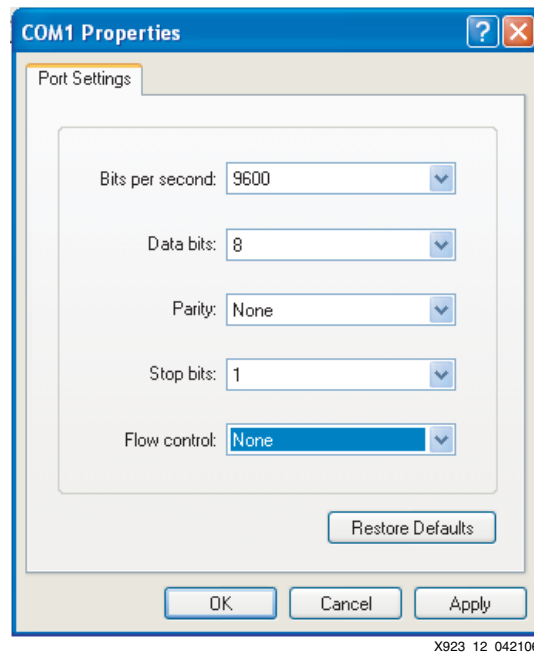


図 12 : ハイパーターミナルの設定

構築前のビットストリームおよびコンパイルされたソフトウェア アプリケーションを使用したリファレンス システムの実行

プロジェクトのルート ディレクトリ内の `ready_for_download/` にあるファイルを使用してシステムを実行するには、次の手順に従ってください。

1. ディレクトリを `ready_for_download` に変更します。
2. `iMPACT` で `impact -batch xapp923.cmd` を使用して、ビットストリームをダウンロードします。
3. `XMD` を起動し、次のコマンドを使用して `MicroBlaze` プロセッサに接続します。

```
xmd -opt xapp923.opt
```
4. 次のコマンドを使用して、実行ファイルをダウンロードします。

```
dow executable.elf
```

EDK でのリファレンス システムの実行

EDK を使用してリファレンス システムを実行するには、次の手順に従います。

1. EDK で `system.xmp` を開きます。
2. [Hardware] → [Generate Bitstream] をクリックし、システムのビットストリームを生成します。
3. [Software] → [Build All User Applications] をクリックし、ソフトウェア アプリケーションを構築します。

4. [Device Configuration] → [Download Bitstream] をクリックし、ビットストリームをボードにダウンロードします。
5. [Debug] → [Launch XMD...] をクリックし、XMD を起動します。
6. 次のコマンドを使用して、実行ファイルをダウンロードします。

```
dow executable.elf
```

ソフトウェア アプリケーションの実行

ソフトウェア アプリケーションを実行するには、XMD の `run` コマンドを使用します。ソフトウェア アプリケーションのステータスが、ハイパーターミナルのデータ スクリーンに表示されます。

OPB Central DMA ソフトウェア アプリケーションの実行

ビットストリームのダウンロード後に、XMD を使用してソフトウェア アプリケーション `executable.elf` をメイン メモリにダウンロードします。ソフトウェア アプリケーションのダウンロード後に、プログラムを実行する必要があります。ソフトウェア アプリケーションのステータスが、ハイパーターミナルに表示されます。DMA 操作が完了し、検証されると、LED が数回点滅し、次のよう出力されます。

```
-- Entering main() --

Starting Writing and Clearing Source and Destination Address.
Finished Writing and Clearing Source and Destination Address.
Starting DMA Transfer
Waiting.
DMA Transfer Complete, Verifying Destination Data
Destination Data is Correct
DMA Interrupt Cleared
Congratulations! DMA Operations Completed Successfully!

-- Exiting main() --
```

ソフトウェア アプリケーションでエラーが発生すると、ハイパーターミナルに次のよう出力されます。

```
-- Entering main() --

Starting Writing and Clearing Source and Destination Address.
Finished Writing and Clearing Source and Destination Address.
Starting DMA Transfer
Waiting.
DMA Transfer Complete, Verifying Destination Data
Read from DMA Destination Address Failed
Interrupt Didn't Clear
DMA Transactions Were Not Successful

-- Exiting main() --
```

まとめ

このアプリケーション ノートでは、MicroBlaze プロセッサ システムで MCH OPB EMC を設定する方法を説明しました。リファレンス システムは、P160 通信モジュール Rev 2 ボード搭載の Memec Spartan-3 3S1500 ボード用に構築されています。システムには、メイン メモリのキャッシュ可能なブロックで実行され、DMA 操作のテストをキャッシュ不可なブロックより実行するソフトウェア アプリケーションが含まれています。

リファレンス

UG081 : 『MicroBlaze プロセッサ リファレンス ガイド』

DS500 : 『Multi-Channel OPB External Memory Controller Product Specification』

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2006年5月23日	1.0	初版リリース
2006年11月14日	1.1	EDK 8.2.02i 用にアップデート
2007年6月5日	1.2	EDK 9.1.01i 用にアップデート